**Міністерство освіти і науки України**

**Національний університет «Запорізька політехніка»**

кафедра програмних засобів

Звіт

З лабораторної роботи №6

з дисципліни “ Верифікація цифрових систем ”

на тему: “Програмування мікроконтролерів  
 у віддаленій лабораторії GOLDi ”

Варіант №2

Виконала: О. В. Терещенко

Студентка групи КНТ-227

Прийняв:

Доцент Т. І. Каплієнко

2019

**Завдання 1**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test1 відповідно до завдання: змінити номер функціонального перемикача і кількість світлодіодів, що світяться, відповідно до номеру варіанту .

**Код**

|  |
| --- |
| library IEEE;  use IEEE.STD\_LOGIC\_1164.ALL;  use IEEE.STD\_LOGIC\_ARITH.ALL;  use IEEE.STD\_LOGIC\_UNSIGNED.all;  entity LAB\_LED\_2 is  port(  pSW: in std\_logic\_vector (7 downto 0);  pLED: out std\_logic\_vector(7 downto 0);  pLED1: out std\_logic\_vector(7 downto 0)  );  end LAB\_LED\_2;  architecture t1 of LAB\_LED\_2 is  begin  pLED(2) <= pSW(2);  pLED(3) <= pSW(2);    end architecture; |

**Результат**



**Завдання 2**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test2 відповідно до завдання: змінити вхідні і вихідні параметри відповідно до таблиці.

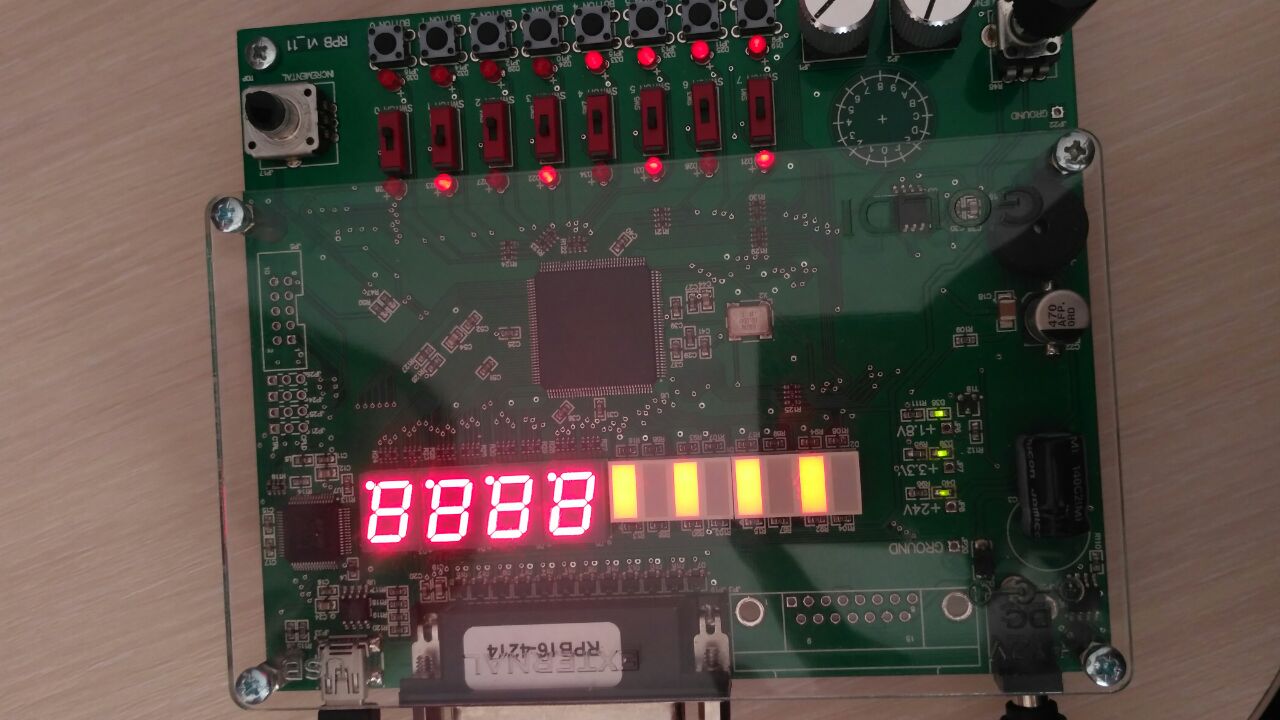
Таблиця вхідних і вихідних параметрів

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№ варіанту** | **Вхідні параметри (перемикачі)** | | | | | | | | **Вихідні параметри (світлодіоди)** | | | | | | | |
| **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| **2** | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

**Код**

|  |
| --- |
| library IEEE;  use IEEE.STD\_LOGIC\_1164.ALL;  use IEEE.STD\_LOGIC\_ARITH.ALL;  use IEEE.STD\_LOGIC\_UNSIGNED.all;  entity LAB\_LED\_2 is  port(  pSW: in std\_logic\_vector (7 downto 0);  pLED: out std\_logic\_vector(7 downto 0);  pLED1: out std\_logic\_vector(7 downto 0)  );  end LAB\_LED\_2;  architecture t1 of LAB\_LED\_2 is  begin  process(pSW)is  begin  if (pSW="10101010")then  pLED <= "00110011";  pLED1 <="00110011" ;  end if;  end process;  end architecture; |

**Результат**

****

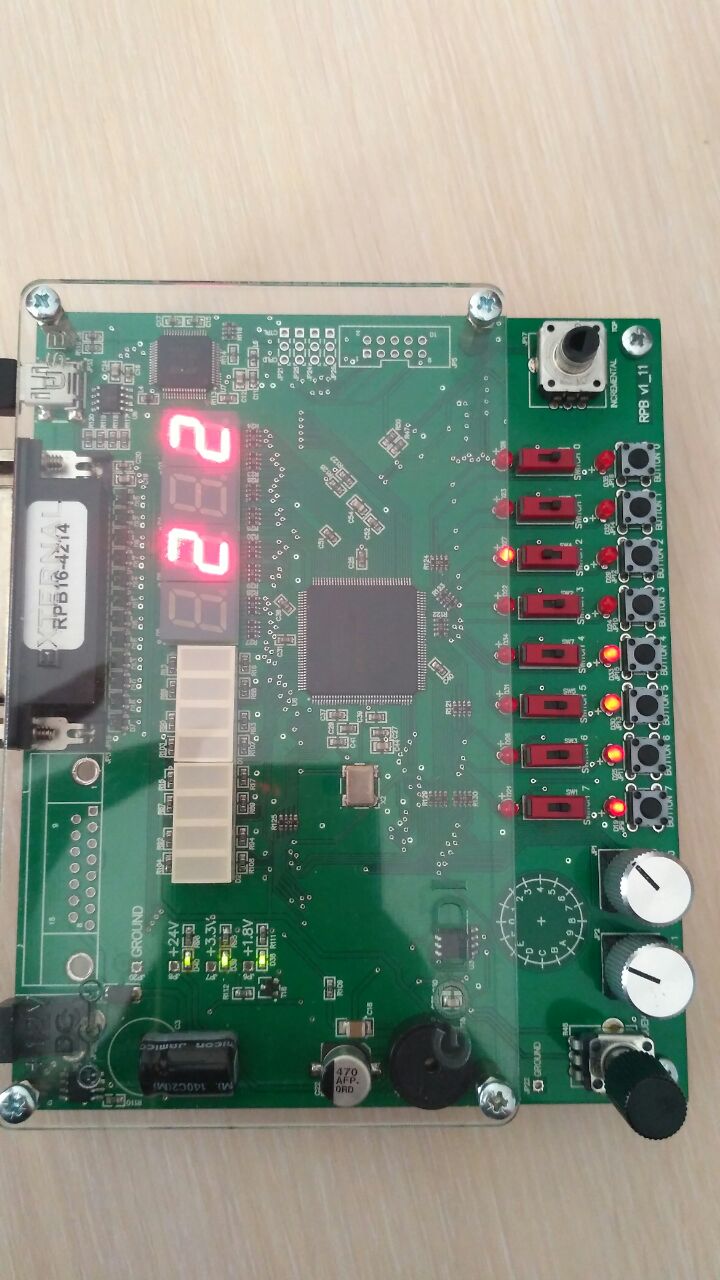
**Завдання 3**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test3 відповідно до завдання: змінити першу виведену цифру на номер варіанту, другу - на число, що дорівнює номеру варіанту плюс 1.

**Код**

|  |
| --- |
| library IEEE;  use IEEE.STD\_LOGIC\_1164.all;  use ieee.std\_logic\_arith.all;  use ieee.std\_logic\_unsigned.all;  entity LAB2\_2 is  port(  pSw: in STD\_LOGIC\_VECTOR( 7 downto 0);  pHex0: out STD\_LOGIC\_VECTOR( 7 downto 0);  pHex1: out STD\_LOGIC\_VECTOR( 7 downto 0);  pHex2: out STD\_LOGIC\_VECTOR( 7 downto 0);  pHex3: out STD\_LOGIC\_VECTOR( 7 downto 0)  );  end LAB2\_2;  architecture numbers of LAB2\_2 is  begin  process(pSW)is  begin  if (pSW(2)='1')then  pHex0 <="10100100";  pHex1 <="11111111";  pHex2 <="10100100";  pHex3 <="11111111";  else  pHex0 <="11111111";  pHex1 <="10110000";  pHex2 <="11111111";  pHex3 <="10110000";    end if;  end process;  end numbers; |

**Результат**

****

****

**Завдання 4**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test4 відповідно до завдання: змінити номер миготливого світлодіода відповідно до варіанта, і частоту миготіння на 1 / варіант сек.

**Код**

|  |
| --- |
| library IEEE;  use IEEE.STD\_LOGIC\_1164.ALL;  use IEEE.STD\_LOGIC\_ARITH.ALL;  use IEEE.STD\_LOGIC\_UNSIGNED.all;  entity LAB\_LED\_2 is  port(  pSW: in std\_logic\_vector (7 downto 0);  pLED: out std\_logic\_vector(7 downto 0);  pLED1: out std\_logic\_vector(7 downto 0);  clk: in std\_logic  );  end LAB\_LED\_2;  architecture t1 of LAB\_LED\_2 is  signal t: integer := 0;  signal state: std\_logic := '0';  begin  process is  begin  wait until rising\_edge(clk);  t<=t+1;  if t>(21e6/2) then  t<=0;  state <=not state;  pLED(2)<=state;  pLED(3)<=state;  end if;  end process;  end architecture; |

**Завдання 5**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera. При підключенні плати на дісплей виводиться число 1989.

**Код**

|  |
| --- |
| library IEEE;  use IEEE.STD\_LOGIC\_1164.all;  use ieee.std\_logic\_arith.all;  use ieee.std\_logic\_unsigned.all;  entity LAB2\_2 is  port(  pSw: in STD\_LOGIC\_VECTOR( 7 downto 0);  pHex0: out STD\_LOGIC\_VECTOR( 7 downto 0);  pHex1: out STD\_LOGIC\_VECTOR( 7 downto 0);  pHex2: out STD\_LOGIC\_VECTOR( 7 downto 0);  pHex3: out STD\_LOGIC\_VECTOR( 7 downto 0)  );  end LAB2\_2;  architecture numbers of LAB2\_2 is  begin  pHex0 <="10010000";  pHex1 <="10000000";  pHex2 <="10010000";  pHex3 <="11111001";    end numbers; |

**Результат**

****