

A thick dark grey vertical bar is on the left. A green arrow points right from it, containing the date. Below the arrow, several thin, curved grey lines sweep upwards from the bottom left.

28/2/2025

Ψηφιακά Ολοκληρωμένα Κυκλώματα VLSI-ASIC σε μεγάλη κλίμακα

Ελένη Σούρλη

Περιεχόμενα

Εισαγωγή.....	4
Άσκηση 1	5
Άσκηση 2	14
Άσκηση 3	18
Άσκηση 4	22
Άσκηση 5	26
Άσκηση 6	31
Άσκηση 7	36
Άσκηση 8	40
Άσκηση 9	42
Άσκηση 10	46

Περιεχόμενα Πινάκων

<u>Table 1 exercise 1 Genus report</u>	6
<u>Table 2 exercise 1 Genus power report</u>	6
<u>Table 3 exercise 1 Innovus preCTS report</u>	9
<u>Table 4 exercise 1 Innovus preCTS power report</u>	9
<u>Table 5 exercise 1 Innovus postCTS report</u>	11
<u>Table 6 exercise 1 Innovus postCTS power report</u>	11
<u>Table 7 exercise 1 Innovus postRoute report</u>	12
<u>Table 8 exercise 1 Innovus postRoute power report</u>	12
<u>Table 9 exercise 2 Genus report</u>	15
<u>Table 10 exercise 2 Genus power report</u>	15
<u>Table 11 exercise 2 Innovus preCTS report</u>	15
<u>Table 12 exercise 2 Innovus preCTS power report</u>	16
<u>Table 13 exercise 2 Innovus postCTS report</u>	16
<u>Table 14 exercise 2 Innovus postCTS power report</u>	16
<u>Table 15 exercise 2 Innovus postRoute report</u>	17
<u>Table 16 exercise 2 Innovus postRoute power report</u>	17
<u>Table 17 exercise 3 area comparison</u>	18
<u>Table 18 exercise 3 wirelength comparison</u>	18
<u>Table 19 exercise 3 Innovus preCTS report</u>	19
<u>Table 20 exercise 3 Innovus preCTS power report</u>	19
<u>Table 21 exercise 3 Innovus postCTS report</u>	20

<u>Table 22 exercise 3 Innovus postCTS power report</u>	20
<u>Table 23 exercise 3 Innovus postRoute report</u>	21
<u>Table 24 exercise 3 Innovus postRoute power report</u>	21
<u>Table 25 exercise 4 Genus report</u>	22
<u>Table 26 exercise 4 Genus power report</u>	23
<u>Table 27 exercise 4 Innovus preCTS report</u>	23
<u>Table 28 exercise 4 Innovus preCTS power report</u>	23
<u>Table 29 exercise 4 Innovus postCTS report</u>	24
<u>Table 30 exercise 4 Innovus postCTS power report</u>	24
<u>Table 31 exercise 4 Innovus postRoute report</u>	25
<u>Table 32 exercise 4 Innovus postRoute power report</u>	25
<u>Table 33 exercise 5 Genus report</u>	26
<u>Table 34 exercise 5 Genus power report</u>	27
<u>Table 35 exercise 5 Innovus preCTS report</u>	27
<u>Table 36 exercise 5 Innovus preCTS power report</u>	27
<u>Table 37 exercise 5 Innovus postCTS report</u>	28
<u>Table 38 exercise 5 Innovus postCTS power report</u>	28
<u>Table 39 exercise 5 Innovus postRoute report</u>	29
<u>Table 40 exercise 5 Innovus postRoute power report</u>	29
<u>Table 41 exercise 6 Genus report</u>	31
<u>Table 42 exercise 6 Genus power report</u>	32
<u>Table 43 exercise 6 Innovus preCTS report</u>	33
<u>Table 44 exercise 6 Innovus preCTS power report</u>	33
<u>Table 45 exercise 6 Innovus postCTS report</u>	34
<u>Table 46 exercise 6 Innovus postCTS power report</u>	34
<u>Table 47 exercise 6 Innovus postRoute report</u>	35
<u>Table 48 exercise 6 Innovus postRoute power report</u>	35
<u>Table 49 exercise 8 postRoute report</u>	40
<u>Table 50 exercise 8 postRoute power report</u>	40
<u>Table 51 exercise 9 Genus steps report</u>	43
<u>Table 52 exercise 9 Genus steps power report</u>	43
<u>Table 53 exercise 10 Innovus postRoute report</u>	47
<u>Table 54 exercise 10 Innovus postRoute power report</u>	47

Περιεχόμενα Εικόνων

Figure 1 exercise 1 check design result	5
Figure 2 exercise 1 rings and stripes result	7
Figure 3 exercise 1 SRoute result	8
Figure 4 exercise 1 SRoute result(preCTS)	8
Figure 5 exercise 1 Power Rail Analysis report	9
Figure 6 exercise 1 Early Global Routing M7-M10	10
Figure 7 exercise 1 clock tree synthesis result(postCTS)	11
Figure 8 exercise 1 clock tree	11
Figure 9 exercise 1 Route result (postRoute)	12
Figure 10 exercise 6 clock gating report	32
Figure 11 exercise 7 report_verification -hier -verbose (elaborate step)	36
Figure 12 exercise 7 report statistics (elaborate step)	37
Figure 13 exercise 7 report_verification -verbose (syn_map step)	38
Figure 14 exercise 7 report statistics (syn_map step)	38
Figure 15 exercise 8 postRoute design	41
Figure 16 exercise 9 check dft rules report	44
Figure 17 exercise 9 scan chains report	45

Εισαγωγή

Η παρούσα εργασία εστιάζει στην υλοποίηση της διαδικασίας σύνθεσης και φυσικής σχεδίασης (physical design) ενός ψηφιακού ολοκληρωμένου κυκλώματος (VLSI ASIC). Συγκεκριμένα, γίνεται ανάλυση και εφαρμογή των βασικών σταδίων που απαιτούνται για τη μετάβαση από την περιγραφή του κυκλώματος σε γλώσσα περιγραφής υλικού (HDL) έως την τελική του μορφή σε επίπεδο διάταξης (layout).

Για την επίτευξη του στόχου αυτού, χρησιμοποιούνται τα εργαλεία Genus και Innovus της Cadence. Το Genus χρησιμοποιείται για τη σύνθεση (synthesis) του κυκλώματος, δηλαδή τη μετατροπή της περιγραφής σε Verilog σε ένα ισοδύναμο κύκλωμα σε επίπεδο πυλών. Στη συνέχεια, το Innovus είναι υπεύθυνο για τη φυσική σχεδίαση, περιλαμβάνοντας τα στάδια floorplanning, placement, clock tree synthesis (CTS) και routing.

Η διαδικασία αυτή εφαρμόζεται σε ένα προκαθορισμένο κύκλωμα, το οποίο υλοποιεί έναν πυρήνα επεξεργαστή αρχιτεκτονικής RISC-V.

Σκοπός της εργασίας είναι η εξοικείωση με τη διαδικασία σχεδιασμού ολοκληρωμένων κυκλωμάτων ASIC (Application-Specific Integrated Circuit), από το επίπεδο της περιγραφής συμπεριφοράς έως την τελική του φυσική υλοποίηση.

Άσκηση 1

Εισαγωγή

Η παρούσα αναφορά περιγράφει τη διαδικασία σύνθεσης και φυσικής σχεδίασης ενός απλού, επίπεδου (flat) ψηφιακού κυκλώματος χρησιμοποιώντας τα εργαλεία Genus και Innovus της Cadence. Το κύκλωμα που εξετάζεται αποτελεί την υλοποίηση ενός πυρήνα επεξεργαστή RISC-V, συγκεκριμένα του PicoRV32, ο οποίος είναι διαθέσιμος στο GitHub.

Διαδικασία Σχεδίασης

Σύνθεση Κυκλώματος με το Genus

Η διαδικασία ξεκινά με την προετοιμασία του περιβάλλοντος σχεδίασης. Ορίζονται οι βιβλιοθήκες χρονισμού (slow_vdd1v0_basicCells.lib), φυσικών πληροφοριών (.lef) και παρασιτικών (.tch), ώστε να διασφαλιστεί η ακρίβεια της χρονικής ανάλυσης. Για ευκολία οι βιβλιοθήκες έχουν εισαχθεί σε ένα αρχείο με όνομα run.tcl. Καθορίζονται οι διαδρομές για τις βιβλιοθήκες και στη συνέχεια διαβάζονται τα αντίστοιχα αρχεία στο Genus. Ακολουθεί η εισαγωγή του Verilog αρχείου που περιγράφει το κύκλωμα, όπου προσδιορίζεται το top-level module. Εκτελείται η ανάλυση σχεδίασης (elaboration) και πραγματοποιείται έλεγχος ακεραιότητας μέσω της εντολής check_design για τον εντοπισμό μη επιλυμένων αναφορών ή λανθασμένων συνδέσεων. Δεν υπάρχουν ‘unresolved references’.

Name	Total
-----	-----
Unresolved References	0
Empty Modules	0
Unloaded Port(s)	32
Unloaded Sequential Pin(s)	1
Unloaded Combinational Pin(s)	51
Assigns	68
Undriven Port(s)	0
Undriven Leaf Pin(s)	0
Undriven hierarchical pin(s)	0
Multidriven Port(s)	0
Multidriven Leaf Pin(s)	0
Multidriven hierarchical Pin(s)	0
Multidriven unloaded net(s)	0
Constant Port(s)	2
Constant Leaf Pin(s)	0
Constant hierarchical Pin(s)	1454
Preserved leaf instance(s)	0
Preserved hierarchical instance(s)	0
Feedthrough Modules(s)	0
Libcells with no LEF cell	0
Physical (LEF) cells with no libcell	94
Subdesigns with long module name	0

Figure 1 exercise 1 check design result

Ερώτηση: Ποιό είναι το top-level module του κυκλώματός σας; Με ποιιά εντολή μπορώ να το προσδιορίσω αυτό;

Απάντηση: Το top-level module του κυκλώματός είναι το 'picorv32' και βρ΄σκειται μέσω της εντολής elaborate .

```
@genus:root: 4> elaborate picorv32
Info      : Elaborating Design. [ELAB-1]
           : Elaborating top-level block 'picorv32' from file '/home/s/sourlieleni/
picorv32/picorv32.v'.
```

Στη συνέχεια, δημιουργείται ένα αρχείο .sdc, στο οποίο καθορίζονται οι χρονικοί περιορισμοί. Ορίζεται ένα ρολόι με συχνότητα 200 MHz και duty cycle 50%, ενώ καθορίζονται παράμετροι όπως η καθυστέρηση ρολογιού στα 250 ps, η αβεβαιότητα χρονισμού και οι καθυστερήσεις εισόδων/εξόδων. Αυτοί οι περιορισμοί διασφαλίζουν ότι η σχεδίαση πληροί τις απαιτήσεις λειτουργικότητας και χρονισμού.

Η σύνθεση του κυκλώματος εκτελείται σε τρία στάδια: generic synthesis, mapping και optimization. Στο πρώτο στάδιο, το κύκλωμα μετατρέπεται από επίπεδο RTL σε πύλες (gate-level netlist). Στη συνέχεια, οι πύλες αντιστοιχίζονται στα διαθέσιμα standard cells της βιβλιοθήκης. Στο στάδιο της βελτιστοποίησης, εφαρμόζονται τεχνικές για τη βελτίωση της επίδοσης, της επιφάνειας και της ισχύος.

Μετά την ολοκλήρωση της σύνθεσης, εξάγονται αναφορές που περιλαμβάνουν τον αριθμό των κελιών, την επιφάνεια, το slack και την ισχύ του κυκλώματος. Τα αποτελέσματα αποθηκεύονται για χρήση στο Innovus. Δημιουργούνται τα απαραίτητα αρχεία (netlist, sdc, mmmc.tcl, .lef, .lib, .tch), τα οποία θα χρησιμοποιηθούν για τη φυσική σχεδίαση.

ΑΡΙΘΜΟΣ ΚΕΛΙΩΝ	ΕΠΙΦΑΝΕΙΑ	SLACK
10231	48445.546	0

Table 1 exercise 1 Genus report

ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
5.34280e-03	8.44255e-07	1.60158e-03	3.74037e-03

Table 2 exercise 1 Genus power report

Φυσική Σχεδίαση με το Innovus

Η φυσική σχεδίαση ξεκινά με την εισαγωγή του netlist και των περιορισμών στο Innovus. Πραγματοποιείται χωροθέτηση (floorplanning) με ποσοστό χρήσης 75%, αφήνοντας χώρο για τις εισόδους και εξόδους. Στη συνέχεια, δημιουργείται το δίκτυο διανομής ισχύος (Power Planning), όπου οι δακτύλιοι ισχύος κατασκευάζονται στα δύο ανώτερα μεταλλικά επίπεδα με πάχος 3 μm και απόσταση 3 μm μεταξύ τους. Δημιουργούνται γραμμές με παρόμοιο πάχος και κενό, και αριθμό σελίς ίσο με τρία στο πρώτο ανώτερο μέταλλο. Επιπλέον, τοποθετούνται follow pins για τη σύνδεση των κελιών με το δίκτυο ισχύος.

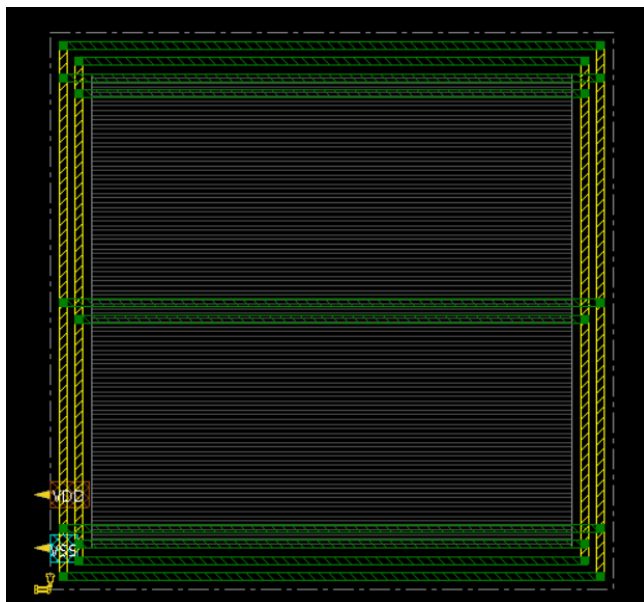


Figure 2 exercise 1 rings and stripes result

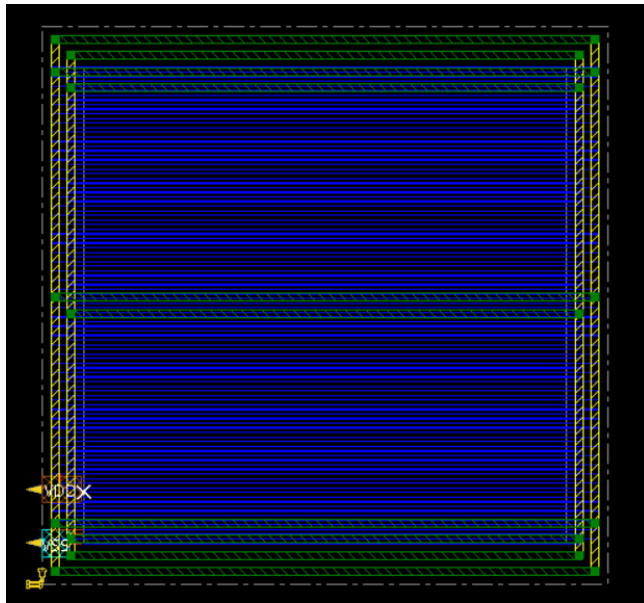


Figure 3 exercise 1 SRoute result

Μετά τη δημιουργία του δικτύου ισχύος, εκτελείται η τοποθέτηση (placement) των κελιών, λαμβάνοντας υπόψη τις χρονικές απαιτήσεις. Σε αυτό το στάδιο γίνεται βελτιστοποίηση του σχεδίου και εξάγονται αναφορές για το slack, την ισχύ και την επιφάνεια.

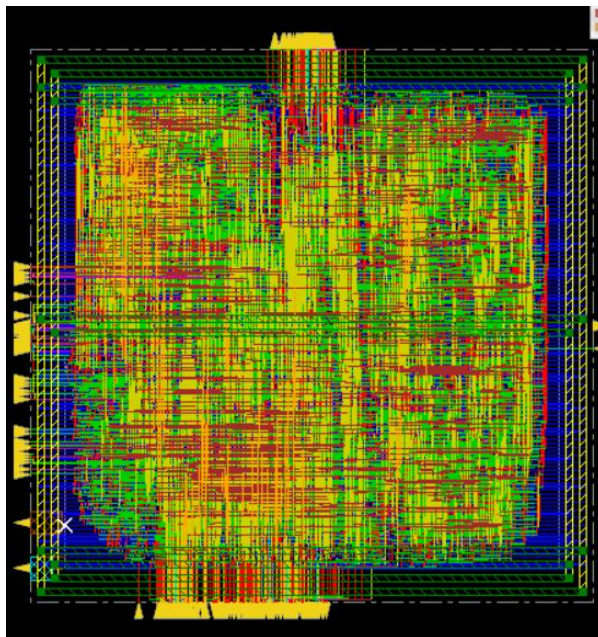


Figure 4 exercise 1 SRoute result(preCTS)

ΕΠΙΦΑΝΕΙΑ**SLACK -SETUP TIME****SLACK -HOLD TIME**

34652.808	0.009	0.221
------------------	--------------	--------------

Table 3 exercise 1 Innovus preCTS report

**ΣΥΝΟΛΙΚΗ
ΙΣΧΥΣ
ΚΥΚΛΩΜΑΤΟΣ****LEAKAGE****INTERNAL****SWITCHING**

3.75430887	0.00085069	1.50793134	2.24552683
-------------------	-------------------	-------------------	-------------------

Table 4 exercise 1 Innovus preCTS power report

Ακολουθεί η ανάλυση του δικτύου ισχύος (Early Power Rail Analysis), όπου ελέγχεται η ικανότητα του κυκλώματος να τροφοδοτήσει επαρκώς όλα τα σημεία της σχεδίασης. Αναλύεται η πτώση τάσης.

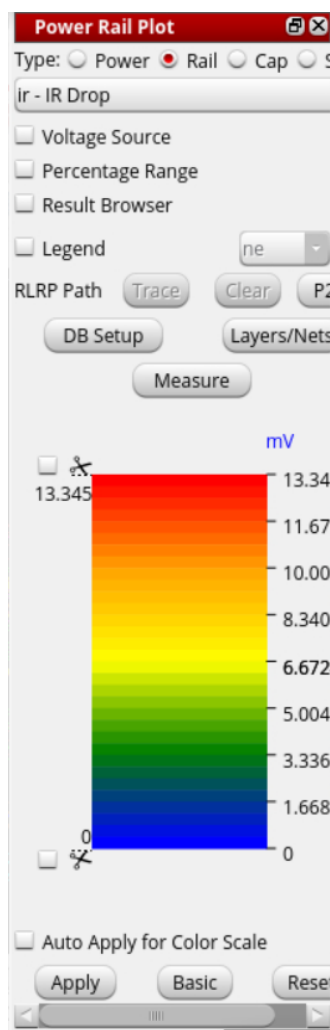


Figure 5 exercise 1 Power Rail Analysis report

Η διαφορά στην πτώση τάσης (IR drop) μεταξύ περιοχών οφείλεται κυρίως στις διαφορές στην πυκνότητα ρεύματος και την αντίσταση των μεταλλικών γραμμών τροφοδοσίας. Περιοχές με υψηλότερη κατανάλωση ρεύματος ή με λεπτότερες και μακρύτερες διαδρομές μεταφοράς ισχύος παρουσιάζουν μεγαλύτερη πτώση τάσης. Επιπλέον, η κακή τοποθέτηση νίας, οι περιορισμοί στη μεταλλοποίηση και οι υψηλές τάσεις ρεύματος σε συγκεκριμένους κόμβους συμβάλλουν στην αύξηση του IR drop, επηρεάζοντας ενδεχομένως τη λειτουργικότητα του κυκλώματος.

Στη συνέχεια, εκτελείται η δρομολόγηση (routing), όπου οι συνδέσεις των κελιών υλοποιούνται στα διαθέσιμα μεταλλικά επίπεδα. Αρχικά εκτελείται early global routing, που επιτρέπει στο εργαλείο να χρησιμοποιήσει όλα τα μεταλλικά επίπεδα. Στη συνέχεια, γίνεται δρομολόγηση με περιορισμό σε συγκεκριμένα επίπεδα μετάλλων (7-10), ώστε να αξιολογηθεί η επίδραση στη συμφόρηση και στον αριθμό των νίας. Δεν υπάρχει συμφόρηση σε κάποια από τις δύο περιπτώσεις στο design και διαπιστώνεται μέσω της εντολής reportCongestion –hotspot. Κατά την εφαρμογή Early Global Routing με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα χρησιμοποιούνται 76631 νίας και το wirelength είναι 210841um. Αντίστοιχα κατά την εφαρμογή με εύρος δρομολόγησης που να καλύπτει από το έβδομο (M7) έως το δέκατο μέταλλο (M10) χρησιμοποιούνται 315188 νίας και το wirelength είναι 212356um. Ακόμα και όταν το routing περιορίζεται στα M7-M10, τα standard cells είναι συνδεδεμένα μέσω επαφών σε χαμηλά επίπεδα μετάλλου (M1-M6). Για να επιτευχθεί σύνδεση μεταξύ αυτών και των υψηλότερων επιπέδων, είναι απαραίτητες οι νίας σε χαμηλά επίπεδα (π.χ., Via1, Via2), ώστε να μεταφέρουν το σήμα από τα M1-M6 στα M7-M10. Αυτό γίνεται αντιληπτό και από το αποτέλεσμα της παρακάτω εικόνας:

		Length (um)	Vias
Metal1	(1H)	0	40819
Metal2	(2V)	0	40945
Metal3	(3H)	0	40983
Metal4	(4V)	0	41045
Metal5	(5H)	0	41064
Metal6	(6V)	0	41095
Metal7	(7H)	70465	62021
Metal8	(8V)	91841	5446
Metal9	(9H)	33130	1769
Metal10	(10V)	16919	1
Metal11	(11H)	0	0
Total		212356	315188

Figure 6 exercise 1 Early Global Routing M7-M10

Μετά τη δρομολόγηση, συντίθεται το δέντρο ρολογιού (Clock Tree Synthesis - CTS), όπου εφαρμόζεται ένας Non-Default Rule (NDR) σύμφωνα με τις δοσμένες

προδιαγραφές (με διπλάσιο πάχος και κενό με πριν για όλα τα μέταλλα (2W2S)). Ο τύπος δρομολόγησης έχει τρία επίπεδα μετάλλου. Στη συγκεκριμένη περίπτωση με μέταλλα από 5 έως 7. το συγκεκριμένο NDR εφαρμόζεται μόνο στο **trunk** του δέντρου. Τα **leaves** θα πρέπει έχουν default πάχος και κενό (1W1S). Ο μέγιστος ρυθμός μετάβασης του ρολογιού ζητείται να είναι ίσος με το **1%** της περιόδου ρολογιού δηλαδή 0,05. Για τη συγκεκριμένη τιμή δεν είναι δυνατό να παραχθεί το δέντρο ρολογιου. Συνεπώς, αυξάνεται στο 1,2% της περιόδου ρολογιού δηλαδή στο 0,06. Στη συνέχεια, εξάγονται αναφορές για το χρονισμό και την κατανάλωση ισχύος και την επιφάνεια.

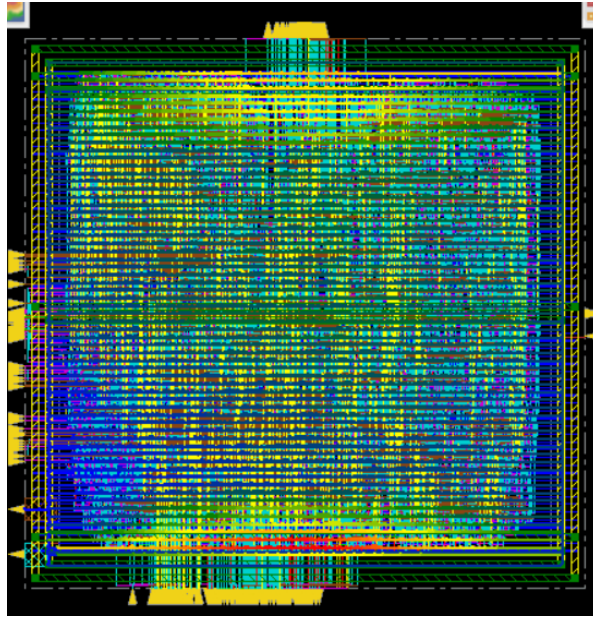


Figure 7 exercise 1 clock tree synthesis result(postCTS)

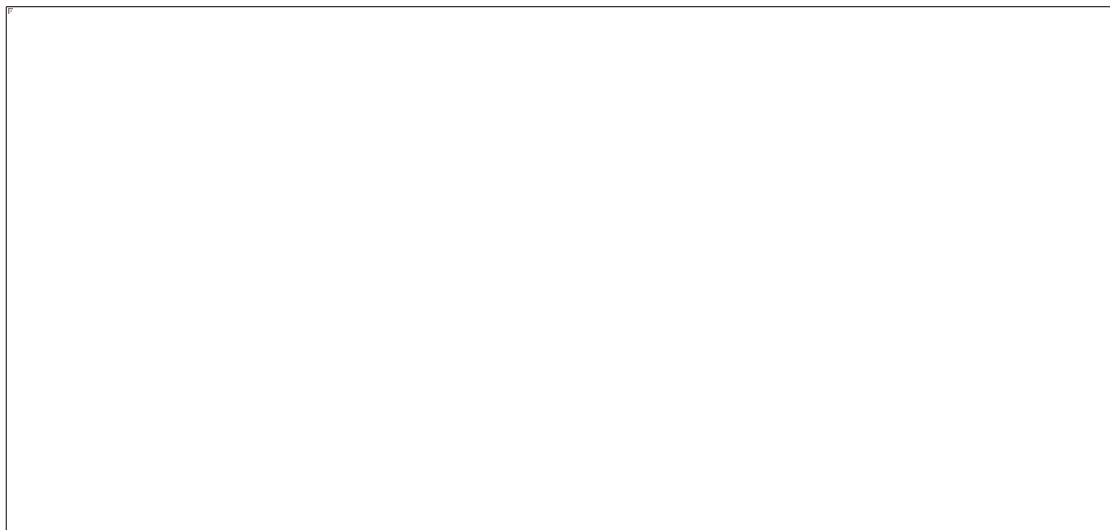


Figure 8 exercise 1 clock tree

ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
37581.696	0.013	0.251

Table 5 exercise 1 Innovus postCTS report

ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
5.77423292	0.00098609	1.74856514	4.02468169

Table 6 exercise 1 Innovus postCTS power report

- Χρησιμοποιούνται 292 buffers ρολογιού(Buffering area (um²) : 597.816).
- Υπάρχει 1 skew groups στο design.
- Ο στόχος για τη στρέβλωση ικανοποιείται αλλά για το ρυθμό μετάβασης δεν ικανοποιείται . Η αρχική τιμή είναι αρκετα μικρη και επιλέγεται η αύξηση της στο 1.2% της περιόδου ρολογιού, δηλαδή 0.06.
- Το μέγιστο βάθος του δέντρου ρολογιού είναι 8 ενώ το ελάχιστο είναι 7.
- Το μήκος δρομολόγησης για το trunk είναι 2501.455ενώ για τα leaves είναι 7185.525

Στη συνέχεια , εκτελείται δρομολόγηση επιλέγοντας τις ρυθμίσεις Fix Antenna, SI Driven και Timing Driven με effort 5, καθώς και Medium Effort για το Via Optimization. Εξάγονται αναφορές για το χρονισμό και την κατανάλωση ισχύος και την επιφάνεια.

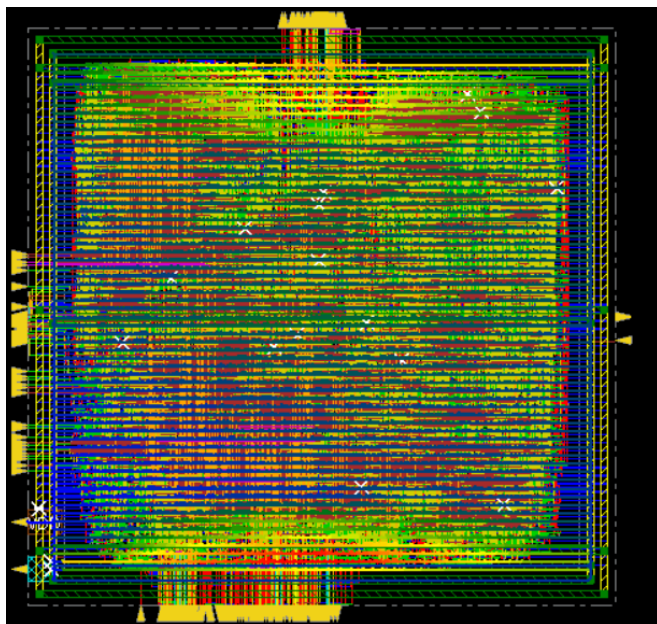


Figure 9 exercise 1 Route result (postRoute)

ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
37581.696	0.475	0.265

Table 7 exercise 1 Innovus postRoute report

ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
5.44945307	0.00098609	1.75012188	3.69834509

Table 8 exercise 1 Innovus postRoute power report

Στο τελικό στάδιο, πραγματοποιείται έλεγχος DRC (Design Rule Check) για την ανίχνευση πιθανών παραβιάσεων σχεδίασης. Παρατηρούνται αρχικά 20 παραβάσεις οι οποίες με τη χρήση της εντολής ecoRoute –fix_drc μειώνονται στις 18. Οι κατηγορίες των παραβάσεων είναι Metal Short Violations , Parallel Run Length Spacing Violations, MinHole και Antenna Violations . Επίσης κατά τον έλεγχο της ορθότητας των συνδέσεων παρατηρούνται δύο παραβάσεις. Εισάγονται fillers θέτοντας το ελάχιστο όριο της πυκνότητας ως **10%** για όλα τα μέταλλα για να διατηρηθεί η πυκνότητα των μεταλλικών επιπέδων.

Άσκηση 2

Εισαγωγή

Η Άσκηση 2 αποτελεί επανάληψη της Άσκησης 1 με την κύρια διαφορά ότι ο στόχος είναι να επιτευχθεί όσο το δυνατόν μικρότερη ισχύς διαρροής (leakage power) στο τελικό κύκλωμα. Μέσω αυτής της προσέγγισης επιδιώκεται η ενεργειακή βελτιστοποίηση του σχεδίου χωρίς να επηρεαστούν σημαντικά οι επιδόσεις και η επιφάνεια. Στην άσκηση αυτή, συγκρίνονται τα αποτελέσματα των σταδίων 6, 11, 14 και 15 με αυτά της αρχικής υλοποίησης (Άσκηση 1) για να εντοπιστούν οι διαφορές στην ισχύ, στην επίδοση και στην επιφάνεια, καθώς και οι παράγοντες που ευθύνονται για τη μείωση της διαρροής. Μέσα από αυτή τη διαδικασία, αποδεικνύεται η αποτελεσματικότητα των στρατηγικών που εφαρμόστηκαν για τη μείωση της leakage power, επιτρέποντας την εξαγωγή ενός πιο αποδοτικού κυκλώματος.

Τεχνικές για επίτευξη μικρότερης ισχύος διαρροής (leakage power)

Στην Άσκηση 2, για τη μείωση της διαρροής ισχύος (leakage power), χρησιμοποιήθηκαν δύο βασικές στρατηγικές: Στο εργαλείο Genus, εφαρμόστηκε η ρύθμιση `'set_db design_power_effort high'` και η παράμετρος `'opt_leakage_to_dynamic_ratio 1.0'`, με στόχο την υψηλή ενεργειακή αποδοτικότητα και τη βελτιστοποίηση της σχέσης διαρροής προς δυναμική ισχύ. Στο εργαλείο Innovus, ενεργοποιήθηκε η επιλογή `'Tools → Set Mode → Mode Setup'`, όπου ορίστηκε η επιλογή `Optimization power effort: high` και η παράμετρος `'LeakageToDynamicRatio: 1'`. Αυτές οι στρατηγικές οδήγησαν σε σημαντική μείωση της διαρροής ισχύος, χωρίς να υποβαθμιστεί σημαντικά η συνολική απόδοση του κυκλώματος.

Σύνθεση Κυκλώματος με το Genus

- **Αριθμός Κελιών:** Αύξηση κελιών. Η ενεργοποίηση των ρυθμίσεων υψηλού power effort οδήγησε στην επιλογή κελιών που εξυπηρετούν καλύτερα τις χρονικές απαιτήσεις και μειώνουν τη διαρροή, αλλά με μικρή αύξηση στον αριθμό των κελιών.
- **Επιφάνεια:** Αύξηση από 48445.546 σε 51435.303 μονάδες. Η επιλογή κελιών με χαμηλότερη leakage μπορεί να απαιτεί περισσότερο χώρο λόγω διαφοροποιημένων φυσικών χαρακτηριστικών.
- **Slack:** Παραμένει ίδιο και ίσο με το 0 μετά την εντολή βελτιστοποίησης (syn_opt). Άρα, δεν υπήρξε υποβάθμιση στις χρονικές απαιτήσεις.
- **Ισχύς:** Μειώθηκε. Η συνολική μείωση της ισχύος οφείλεται στην επιλογή low-leakage κελιών και στη βελτίωση της σχέσης leakage προς dynamic power.

ΑΣΚΗΣΗ	ΑΡΙΘΜΟΣ ΚΕΛΙΩΝ	ΕΠΙΦΑΝΕΙΑ	SLACK
1 ^H	10231	48445.546	0
2 ^H	11112	51435.303	0

Table 9 exercise 2 Genus report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.34280e-03	8.44255e-07	1.60158e-03	3.74037e-03
2 ^H	4.72888e-03	7.30871e-07	1.26244e-03	3.46571e-03

Table 10 exercise 2 Genus power report

Φυσική Σχεδίαση με το Innovus

PRECTS

Κατά τη διεργασία του συγκεκριμένου βήματος παρατηρήθηκε παράβαση του περιορισμού του slack και έγινε χρήση της εντολής βελτιστοποίησης(optDEsign - preCTS -setup)

- **Επιφάνεια:** Αυξήθηκε η επιφάνεια. Η διαφοροποίηση των κελιών στο Genus επηρέασε τη διάταξη στο PreCTS, απαιτώντας περισσότερο χώρο για routing και buffering.
- **Ισχύς:** Μειώθηκε η συνολική ισχύς. Οι χαμηλότερες διαρροές στο Genus συνεχίζουν να επηρεάζουν τη συνολική ενεργειακή κατανάλωση.
- **Slack:** Setup slack μειώθηκε από 0.013 σε 0.005, δείχνοντας μικρή αύξηση στις καθυστερήσεις. Hold slack αυξήθηκε από 0.251 σε 0.260, βελτιώνοντας την αξιοπιστία στη διατήρηση των σημάτων.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	34652.808	0.009	0.221
2 ^H	37886.760	0.005	0.260

Table 11 exercise 2 Innovus preCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	3.75430887	0.00085069	1.50793134	2.24552683
2 ^H	3.49690457	0.00067818	1.21646118	2.27976521

Table 12 exercise 2 Innovus preCTS power report

POCTCTS

Κατά τη διεργασία του συγκεκριμένου βήματος παρατηρήθηκε παράβαση του περιορισμού του slack και έγινε χρήση της εντολής βελτιστοποίησης(optDesign - postCTS -setup).

- **Επιφάνεια:** Αυξήθηκε από 37581.696 σε 38102.220. Η μείωση της επιφάνειας οφείλεται σε πιο αποδοτική τοποθέτηση buffers ρολογιού.
- **Ισχύς:** Μειώθηκε η συνολική ισχύς. Η βελτιστοποίηση του δέντρου ρολογιού οδήγησε σε λιγότερα buffers και μικρότερη ενεργειακή κατανάλωση.
- **Slack:** Setup slack αυξήθηκε από 0.013 σε 0.029, βελτιώνοντας τις καθυστερήσεις. Hold slack μειώθηκε από 0.251 σε 0.248.
- **Buffers ρολογιού:** Μείωση από 292 σε 234, μειώνοντας το clock power, γεγονός που σημαίνει ότι το ρολόι χρειάζεται λιγότερα στάδια ενίσχυσης και μικρότερες διαδρομές διανομής του σήματος ρολογιού.
- **Μήκος δρομολόγησης ρολογιού:** Μικρότερος αριθμός buffers σημαίνει πιο συμπαγή κατανομή του ρολογιού, άρα και μικρότερες αποστάσεις μεταξύ των κλειδιών χρονισμού.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.013	0.251
2 ^H	38102.220	0.029	0.248

Table 13 exercise 2 Innovus postCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.77423292	0.00098609	1.74856514	4.02468169
2 ^H	3.82189633	0.00070212	1.36909323	2.45210098

Table 14 exercise 2 Innovus postCTS power report

- Χρησιμοποιούνται 234 buffers ρολογιού (Buffering area (um²) : 518.472).
- Υπάρχει 1 skew group στο design.
- Ο στόχος για τη στρέβλωση ικανοποιείται αλλά για το ρυθμό μετάβασης δεν ικανοποιείται . Η αρχική τιμή είναι αρκετά μικρή και επιλέγεται η αύξηση της στο 0.06 (1.2% της περιόδου ρολογιού).
- Το μέγιστο βάθος του δέντρου ρολογιού είναι 7 ενώ το ελάχιστο είναι 6 .
- Το μήκος δρομολόγησης για το trunk είναι 2441.315ενώ για τα leaves είναι 7064.130.

POSTROUTE

- Επιφάνεια: Αυξήθηκε η συνολική επιφάνεια. Η καλύτερη διαχείριση των διαδρομών συνέβαλε στη μείωση της επιφάνειας.
- Ισχύς: Μειώθηκε από 5.44945307 mW σε 3.80736371 mW.
- Slack: Setup slack μειώθηκε από 0.475 σε 0.143, υποδηλώνοντας αυστηρότερες χρονικές απαιτήσεις. Hold slack αυξήθηκε από 0.265 σε 0.318, ενισχύοντας την αξιοπιστία του κυκλώματος.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.475	0.265
2 ^H	38102.220	0.143	0.318

Table 15 exercise 2 Innovus postRoute report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.44945307	0.00098609	1.75012188	3.69834509
2 ^H	3.80736371	0.00070212	1.36920278	2.43745880

Table 16 exercise 2 Innovus postRoute power report

Άσκηση 3

Εισαγωγή

Η παρούσα άσκηση αποτελεί επανάληψη της Άσκησης 1, με τη διαφορά ότι στο Βήμα 9 επιλέγεται ποσοστό χρήσης του πυρήνα 85%. Η διαδικασία περιλαμβάνει τα ίδια αρχεία σύνθεσης και ακολουθεί τα Βήματα 9-15, με στόχο τη διερεύνηση των διαφορών που προκύπτουν στα αποτελέσματα. Ιδιαίτερη έμφαση δίνεται στις μεταβολές της συνολικής επιφάνειας, του μήκους των διασυνδέσεων και του αριθμού των via, καθώς και στην αιτιολόγηση αυτών των διαφορών.

Σύγκριση της Συνολικής Επιφάνειας

Στάδιο	Άσκηση 1 (Επιφάνεια)	Άσκηση 3 (Επιφάνεια)	Διαφορά
PRECTS	34652.808	34584.750	Μείωση
POSTCTS	37581.696	35121.348	Μείωση
POSTROUTE	37581.696	35121.348	Μείωση

Table 17 exercise 3 area comparison

Ανάλυση της Διαφοράς

- PRECTS: Στην Άσκηση 3, η συνολική επιφάνεια είναι ελαφρώς μικρότερη, γεγονός που δείχνει ότι η αυξημένη χρήση του πυρήνα οδήγησε σε πιο συμπαγή τοποθέτηση των κυκλωμάτων.
- POSTCTS: Και στο στάδιο POSTCTS, η επιφάνεια στην Άσκηση 3 είναι λίγο μικροτερη. Η αυξημένη χρήση του πυρήνα (85%) επιτρέπει στο εργαλείο τοποθέτησης να διατάξει τα στοιχεία του κυκλώματος πιο κοντά το ένα στο άλλο, κάνοντας πιο αποδοτική χρήση του διαθέσιμου χώρου
- POSTROUTE: Στο τελικό στάδιο, η επιφάνεια της Άσκησης 3 είναι και πάλι μικρότερη, δείχνοντας ότι η δρομολόγηση κατάφερε να εκμεταλλευτεί πιο αποδοτικά τον χώρο.

Σύγκριση του μήκους των διασυνδέσεων και των via

Παράμετρος	Άσκηση 1	Άσκηση 3	Διαφορά
Trunk Length	2501.455 μm	2179.430 μm	Μείωση
Leaves Length	7185.525 μm	6931.960 μm	Μείωση
Αριθμός Buffers	292	222	Μείωση

Table 18 exercise 3 wirelength comparison

Ανάλυση των διαφορών

- Μείωση του μήκους των διασυνδέσεων. Η πιο πυκνή διάταξη επέτρεψε μικρότερες αποστάσεις στη διανομή του ρολογιού, μειώνοντας το συνολικό μήκος των γραμμών ρολογιού.
- Μείωση αριθμού buffers. Η αυξημένη πυκνότητα μείωσε την ανάγκη για buffers καθώς οι γραμμές ρολογιού είναι πιο σύντομες και αποδοτικές.

Φυσική Σχεδίαση με το Innovus

PRECTS

- **Επιφάνεια:** Μειώθηκε, καθώς η αυξημένη χρήση του πυρήνα επέτρεψε την πιο αποδοτική τοποθέτηση.
- **Ισχύς:** Μικρή μείωση λόγω της πιο πυκνής διάταξης.
- **Slack:** Setup slack: Μειώθηκε λόγω αλλαγών στις χρονικές καθυστερήσεις. Hold slack: Μειώθηκε ελαφρώς λόγω διαφοροποιήσεων στη διαδρομή σημάτων.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	34652.808	0.009	0.221
3 ^H	34584.750	0.009	0.219

Table 19 exercise 3 Innovus preCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	3.75430887	0.00085069	1.50793134	2.24552683
3 ^H	3.73780124	0.00084873	1.50546064	2.23149187

Table 20 exercise 3 Innovus preCTS power report

POCTCTS

Κατά τη διεργασία του συγκεκριμένου βήματος παρατηρήθηκε παράβαση του περιορισμού του slack και έγινε χρήση της εντολής βελτιστοποίησης.

- **Επιφάνεια:** Παρουσιάζει μικρή αύξηση λόγω της προσαρμογής του δικτύου ρολογιού.
- **Ισχύς:** Μειώθηκε, δείχνοντας αποδοτικότερη ενεργειακή χρήση.
- **Slack:** Setup slack: Μικρή βελτίωση, δείχνοντας βελτιστοποιημένη διαχείριση καθυστερήσεων. Hold slack: Παρουσιάζει αρνητική τιμή, υποδεικνύοντας δυσκολία στη σταθερότητα των σημάτων.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.013	0.251
3 ^H	35121.348	0.007	0.228

Table 21 exercise 3 Innovus postCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.77423292	0.00098609	1.74856514	4.02468169
3 ^H	4.08553770	0.00087266	1.65493980	2.42972524

Table 22 exercise 3 Innovus postCTS power report

- Χρησιμοποιούνται 222 buffers ρολογιού(Buffering area (um²) : 497.268).
- Υπάρχουν 1 skew groups στο design.
- Ο στόχος για τη στρέβλωση ικανοποιείται αλλά για το ρυθμό μετάβασης δεν ικανοποιείται . Η αρχική τιμή είναι αρκετά μικρή και επιλέγεται η αύξηση της στο 0.06.
- Το μέγιστο βάθος του δέντρου ρολογιού είναι 6 ενώ το ελάχιστο είναι 5.
- Το μήκος δρομολόγησης για το trunk είναι 2179.430ενώ για τα leaves είναι 6931.960.

POSTROUTE

Κατά τη διεργασία του συγκεκριμένου βήματος παρατηρήθηκε παράβαση του περιορισμού του slack και έγινε χρήση της εντολής βελτιστοποίησης(optDesign - postRoute -setup).

- **Επιφάνεια:** Μειώθηκε περαιτέρω, καθώς η τελική δρομολόγηση βελτίωσε τη διάταξη.
- **Ισχύς:** Μειώθηκε, κυρίως λόγω μειωμένης switching power.
- **Slack:** Setup slack: Μειώθηκε, δείχνοντας ότι οι αυστηρότεροι χρονικοί περιορισμοί επηρεάζουν τις καθυστερήσεις. Hold slack: Αύξηση, λόγω καλύτερης ισορροπίας στις καθυστερήσεις των σημάτων.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.475	0.265
3 ^H	35121.348	0.099	0.280

Table 23 exercise 3 Innovus postRoute report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.44945307	0.00098609	1.75012188	3.69834509
3 ^H	4.07566460	0.00087266	1.65506848	2.41972346

Table 24 exercise 3 Innovus postRoute power report

Άσκηση 4

Εισαγωγή

Η Άσκηση 4 αποτελεί μια επανάληψη της διαδικασίας σύνθεσης και φυσικής σχεδίασης που παρουσιάστηκε στην Άσκηση 1, με τη βασική διαφοροποίηση ότι η συχνότητα ρολογιού έχει αυξηθεί στα 400 MHz. Η αύξηση αυτή απαιτεί την προσαρμογή των χρονικών περιορισμών (όπως οι χρόνοι μετάβασης και η στρέβλωση) και έχει άμεσες επιπτώσεις στην απόδοση, στην ισχύ και στην επιφάνεια του κυκλώματος. Στην παρούσα αναφορά παρουσιάζονται συγκριτικά τα αποτελέσματα των σταδίων της σύνθεσης (Genus) και της φυσικής σχεδίασης (PreCTS, PostCTS, PostRoute) με τα αντίστοιχα αποτελέσματα της Άσκησης 1, επισημαίνοντας τις διαφορές και εξηγώντας τους λόγους που οφείλονται στην αύξηση της συχνότητας.

Σύνθεση Κυκλώματος με το Genus

- **Αριθμός κελιών:** Αυξάνεται από 10231 σε 13415. Η αύξηση της συχνότητας στα 400 MHz απαιτεί τη χρήση περισσότερων και μεγαλύτερων κελιών για να επιτευχθούν οι χρονικοί περιορισμοί.
- **Επιφάνεια:** Αυξάνεται η συνολική επιφάνεια. Η προσθήκη περισσότερων λογικών στοιχείων οδηγεί σε αύξηση του συνολικού χώρου που καταλαμβάνει το κύκλωμα.
- **Slack:** Μειώνεται από 0 σε -949, κάτι που δείχνει ότι το κύκλωμα δυσκολεύεται να τηρήσει τους χρονικούς περιορισμούς λόγω της υψηλής συχνότητας. Παρέμεινε αρνητικό παρά τη χρήση της εντολής syn_opt.
- **Ισχύς:** Αυξάνεται από 5.34280e-03 W σε 1.26613e-02 W, κυρίως λόγω της αυξημένης μεταγωγής σημάτων και της εσωτερικής κατανάλωσης ισχύος.

ΑΣΚΗΣΗ	ΑΡΙΘΜΟΣ ΚΕΛΙΩΝ	ΕΠΙΦΑΝΕΙΑ	SLACK
1 ^H	10231	48445.546	0
4 ^H	13415	65641.095	-949

Table 25 exercise 4 Genus report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.34280e-03	8.44255e-07	1.60158e-03	3.74037e-03
4 ^H	1.26613e-02	1.42426e-06	4.39084e-03	8.26906e-03

Table 26 exercise 4 Genus power report

Φυσική Σχεδίαση με το Innovus

PRECTS

- **Επιφάνεια:** Αυξάνεται η συνολική επιφάνεια. Οι υψηλότερες απαιτήσεις χρονισμού απαιτούν μεγαλύτερα και περισσότερα κελιά, αυξάνοντας την επιφάνεια.
- **Ισχύς:** Αυξάνεται η συνολική ισχύς. Το κύριο μέρος της αύξησης προέρχεται από τη switching power λόγω της υψηλότερης συχνότητας.
- **Slack:** Setup Slack: Μειώνεται από 0.009σε -0.141, υποδεικνύοντας ότι το κύκλωμα αδυνατεί να καλύψει τις απαιτήσεις χρονισμού. Hold Slack: Μειώνεται από 0.221 σε -0.132, με μικρότερη επίδραση σε σύγκριση με το setup slack. Έγινε προσπάθεια βελτίωσης τους με τη χρήση εντολών βελτιστοποίησης χωρίς επιτυχία.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	34652.808	0.009	0.221
4 ^H	45532.252	-0.141	-0.132

Table 27 exercise 4 Innovus preCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	3.75430887	0.00085069	1.50793134	2.24552683
4 ^H	9.75837063	0.00134816	4.21045669	5.54656578

Table 28 exercise 4 Innovus preCTS power report

POCTCTS

- **Επιφάνεια:** Αυξάνεται, λόγω της χρήσης περισσότερων buffers για τη σταθεροποίηση του ρολογιού.
- **Ισχύς:** Αυξάνεται, με κύρια πηγή την αύξηση του switching και internal power.
- **Slack: Setup Slack:** Από 0.013 μειώνεται σε -0.159, δείχνοντας ότι το κύκλωμα συνεχίζει να έχει προβλήματα χρονισμού. **Hold Slack:** Από 0.251 μειώνεται σε 0.006, λόγω της ασυμμετρίας στις διαδρομές του ρολογιού και των δεδομένων. Έγινε προσπάθεια βελτίωσης τους με τη χρήση εντολών βελτιστοποίησης χωρίς επιτυχία.
- **Buffers:** Αυξάνονται στα 327, με συνολική επιφάνεια 702.810 μm^2 , λόγω των αυξημένων χρονικών απαιτήσεων.
- **Δρομολόγηση ρολογιού:**
 - Trunk length: Αυξάνεται από 1660.530 μm σε 3265.715 μm .
 - Leaves length: Αυξάνεται από 5481.605 μm σε 7694.345 μm .

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.013	0.251
4 ^H	46004.130	-0.159	0.006

Table 29 exercise 4 Innovus postCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.77423292	0.00098609	1.74856514	4.02468169
4 ^H	10.34950383	0.00127343	4.42037574	5.92785467

Table 30 exercise 4 Innovus postCTS power report

- Χρησιμοποιούνται 327 buffers ρολογιού (Buffering area (μm^2) : 702.810).
- Υπάρχει 1 skew group στο design.
- Ο στόχος για τη στρέβλωση ικανοποιείται αλλά για το ρυθμό μετάβασης δεν ικανοποιείται. Η αρχική τιμή είναι αρκετά μικρή και επιλέγεται η αύξηση της στο 0.055.
- Το μέγιστο βάθος του δέντρου ρολογιού είναι 15 ενώ το ελάχιστο είναι 6.
- Το μήκος δρομολόγησης για το trunk είναι 3265.715 ενώ για τα leaves είναι 7694.345.

POSTROUTE

- **Επιφάνεια:** Αυξάνεται, λόγω της πολυπλοκότητας του σχεδιασμού και της αυξημένης δρομολόγησης.
- **Ισχύς:** Αυξάνεται από 5.4495 mW σε 10.3058 mW, με σημαντική αύξηση στη switching και internal power.
- **Slack:** Setup Slack: Από 0.475 μειώνεται σε -0.146, λόγω της αυξημένης καθυστέρησης του κυκλώματος. Έγινε προσπάθεια βελτίωσης του με τη χρήση εντολών βελτιστοποίησης χωρίς επιτυχία. Hold Slack: Αυξάνεται από 0.265 σε 0.114, δείχνοντας μικρή βελτίωση λόγω καλύτερης κατανομής των buffers.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.475	0.265
4 ^H	46019.520	-0.146	0.114

Table 31 exercise 4 Innovus postRoute report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.44945307	0.00098609	1.75012188	3.69834509
4 ^H	10.30575082	0.00127429	4.42410124	5.88037529

Table 32 exercise 4 Innovus postRoute power report

Στο τελικό στάδιο, πραγματοποιείται έλεγχος DRC (Design Rule Check) για την ανίχνευση πιθανών παραβιάσεων σχεδίασης. Παρατηρούνται αρχικά παραβάσεις οι οποίες με τη χρήση της εντολής ecoRoute –fix_drc μειώνονται στις 32. Οι κατηγορίες των παραβιάσεων είναι Metal Short Violations ,Metal Short, Parallel Run Length Spacing Violations. Επίσης κατά τον έλεγχο της ορθότητας των συνδέσεων παρατηρούνται δύο παραβάσεις.

Συνεπώς, η αύξηση της συχνότητας στα 400 MHz επηρέασε σημαντικά την επιφάνεια, την ισχύ και την απόδοση του κυκλώματος. Το κύκλωμα δεν καταφέρνει να τηρήσει τους περιορισμούς slack, καθώς το setup slack μειώνεται σε όλα τα στάδια.

Άσκηση 5

Εισαγωγή

Η Άσκηση 5 αποτελεί επανάληψη των Βημάτων 1–15 της Άσκησης 1, με τη βασική διαφοροποίηση ότι στο σχέδιο εισάγονται οι βιβλιοθήκες για τα multibit DFF (slow_vdd1v0_multibitsDFF.lib και gsclib045_multibitsDFF.lef) σε συνδυασμό με τις αρχικές βιβλιοθήκες. Μέσω αυτής της προσέγγισης αξιολογείται το πώς η χρήση multibit κυψελών επηρεάζει τις βασικές παραμέτρους του κυκλώματος – όπως ο αριθμός κελιών, η επιφάνεια, η ισχύς και η επίδοση – καθώς και το δέντρο ρολογιού. Στόχος είναι η σύγκριση των αποτελεσμάτων με αυτά της Άσκησης 1 ώστε να εντοπιστούν οι βελτιώσεις ή οι αλλαγές που επιφέρει η χρήση των multibit κελιών. Η Άσκηση 5 επιβεβαιώνει ότι τα multibit DFFs είναι μια αποδοτική επιλογή για τη μείωση της επιφάνειας, της κατανάλωσης ισχύος και της πολυπλοκότητας του δικτύου ρολογιού.

Σύνθεση Κυκλώματος με το Genus

- **Αριθμός κελιών:** Μικρή μείωση από 6217 σε 6213. Η χρήση multibit DFFs επέτρεψε τη συγχώνευση καταχωρητών, μειώνοντας τον αριθμό των ξεχωριστών flip-flops.
- **Επιφάνεια:** Αύξηση από 31,956.720 σε 32,926.397. Παρόλο που ο αριθμός των κελιών μειώθηκε, τα multibit DFFs μπορεί να απαιτούν μεγαλύτερη επιφάνεια ανά μονάδα λόγω της εσωτερικής τους δομής.
- **Ισχύς:** Αύξηση από 3.80929e-03 W σε 4.29625e-03 W. Η leakage power αυξήθηκε ελαφρώς, πιθανώς λόγω των χαρακτηριστικών των multibit κελιών. Η switching power αυξήθηκε περισσότερο, καθώς η διαμόρφωση των εξόδων των multibit DFFs μπορεί να προκαλεί περισσότερες μεταβάσεις σημάτων.

ΑΣΚΗΣΗ	ΑΡΙΘΜΟΣ ΚΕΛΙΩΝ	ΕΠΙΦΑΝΕΙΑ	SLACK
1 ^H	10231	48445.546	0
5 ^H	10072	49548.721	0

Table 33 exercise 5 Genus report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.34280e-03	8.44255e-07	1.60158e-03	3.74037e-03
5 ^H	5.23963e-03	8.64965e-07	1.26572e-03	3.97305e-03

Table 34 exercise 5 Genus power report

Φυσική Σχεδίαση με το Innovus

PRECTS

- **Επιφάνεια:** Μειώθηκε καθώς η χρήση multibit DFFs μείωσε τον αριθμό ξεχωριστών flip-flops, επιτρέποντας πιο συμπαγή σχεδίαση.
- **Ισχύς:** Μειώθηκε καθώς τα multibit DFFs καταναλώνουν λιγότερη ισχύ από μεμονωμένα flip-flops. Leakage: Ελαφρά αύξηση λόγω διαφορών στην αρχιτεκτονική των κελιών. Internal: Σημαντική μείωση, καθώς λιγότερα ενεργά στοιχεία συνεπάγονται χαμηλότερη κατανάλωση. Switching: Μείωση, καθώς λιγότερα ξεχωριστά στοιχεία σημαίνουν λιγότερες μεταγωγές σημάτων.
- **Slack:** Hold slack: Βελτίωση καθώς η πιο συγκεντρωμένη τοποθέτηση των DFFs μειώνει τις χρονικές αποκλίσεις.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	34652.808	0.009	0.221
5 ^H	34402.464	0.009	0.233

Table 35 exercise 5 Innovus preCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	3.75430887	0.00085069	1.50793134	2.24552683
5 ^H	3.53118928	0.00087147	1.25133236	2.27898544

Table 36 exercise 5 Innovus preCTS power report

POSTCTS

- **Επιφάνεια:** Συνεχίζει να μειώνεται λόγω πιο αποδοτικής τοποθέτησης των καταχωρητών.
- **Ισχύς:** Μείωση, καθώς το κύκλωμα απαιτεί λιγότερη ισχύ για την ίδια λειτουργικότητα. Leakage: Ελαφρά μείωση λόγω πιο βελτιστοποιημένων κελιών. Internal: Σημαντική μείωση, καθώς λιγότερα στοιχεία οδηγούν σε μικρότερη εσωτερική απώλεια ισχύος. Switching: Μείωση, καθώς το κύκλωμα απαιτεί λιγότερες εναλλαγές σημάτων για τη μετάδοση δεδομένων.
- **Slack:** Setup slack: Μικρή βελτίωση, υποδηλώνοντας βελτιωμένη χρονική ευστάθεια. Hold slack: Μικρή μείωση, δείχνοντας ότι οι διαδρομές δεδομένων έχουν μικρότερη ασυμμετρία.
- **Buffers:** Ο αριθμός buffers μειώθηκε δραστικά, καθώς τα multibit DFFs απαιτούν λιγότερα ξεχωριστά στοιχεία ρολογιού.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.013	0.251
5 ^H	34633.314	0.011	0.237

Table 37 exercise 5 Innovus postCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.77423292	0.00098609	1.74856514	4.02468169
5 ^H	3.66634837	0.00088146	1.31190293	2.35356398

Table 38 exercise 5 Innovus postCTS power report

- Χρησιμοποιούνται 93 buffers ρολογιού(Buffering area (um²) : 203.148).
- Υπάρχει 1 skew group στο design.
- Ο στόχος για τη στρέβλωση ικανοποιείται αλλά για το ρυθμό μετάβασης δεν ικανοποιείται . Η αρχική τιμή είναι αρκετά μικρή και επιλέγεται η αύξηση της στο 0.06.
- Το μέγιστο βάθος του δέντρου ρολογιού είναι 5 ενώ το ελάχιστο είναι 4.
- Το μήκος δρομολόγησης για το trunk είναι 1363.525ενώ για τα leaves είναι 2572.140

POSTROUTE

- **Επιφάνεια:** Συνεχίζει να μειώνεται λόγω της εξοικονόμησης χώρου από τα multibit DFFs.
- **Ισχύς:** Μειώθηκε, καθώς λιγότερα στοιχεία σημαίνουν μικρότερη συνολική κατανάλωση. Leakage: Ελαφρά μείωση, καθώς το κύκλωμα είναι πλέον πιο συμπαγές. Internal: Σημαντική μείωση, καθώς λιγότερα ενεργά κυκλώματα μειώνουν τις εσωτερικές απώλειες ισχύος. Switching: Μείωση, καθώς τα multibit DFFs απαιτούν λιγότερες ανεξάρτητες μεταγωγές ρολογιού.
- **Slack:** Setup slack: Ελαφρά μείωση, λόγω της αλλαγής στη δομή των χρονισμένων μονοπατιών. Hold slack: Βελτίωση, καθώς η πιο ομοιογενής τοποθέτηση μειώνει τις καθυστερήσεις μεταξύ των μονοπατιών δεδομένων και ρολογιού.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.475	0.265
5 ^H	34633.314	0.099	0.258

Table 39 exercise 5 Innovus postRoute report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.44945307	0.00098609	1.75012188	3.69834509
5 ^H	3.65083202	0.00088146	1.31204532	2.33790523

Table 40 exercise 5 Innovus postRoute power report

Οι multibit DFFs (Multi-Bit Flip-Flops) είναι καταχωρητές που συνδυάζουν πολλαπλά flip-flops σε ένα ενιαίο κελί, μειώνοντας έτσι τον συνολικό αριθμό των στοιχείων στο κύκλωμα. Αυτό έχει ως αποτέλεσμα τη μείωση της επιφάνειας, καθώς λιγότερα φυσικά κελιά απαιτούνται, και τη μείωση της κατανάλωσης ισχύος, κυρίως μέσω της εξοικονόμησης στο δίκτυο ρολογιού. Επιπλέον, η χρήση τους βελτιστοποιεί τη διαχείριση των χρονικών περιορισμών, διευκολύνοντας τη διανομή του ρολογιού και περιορίζοντας τη χρονική αστάθεια (clock skew). Συνολικά, οι multibit DFFs βελτιώνουν την ενεργειακή απόδοση και τη συμπαγή σχεδίαση του κυκλώματος, καθιστώντας το πιο αποδοτικό χωρίς να επηρεάζουν αρνητικά την απόδοσή του. Συνολικά, η χρήση των multibit DFFs στην Άσκηση 5 βελτίωσε σημαντικά την απόδοση του δέντρου ρολογιού, καθώς μείωσε τον αριθμό των buffers, το μήκος των

διαδρομών και την κατανάλωση ισχύος του ρολογιού, ενώ παράλληλα βελτίωσε τη χρονική σταθερότητα του κυκλώματος.

Οι διαφορές ως προς το δέντρο ρολογιού στην Άσκηση 5 σε σχέση με την Άσκηση 1 είναι οι εξής:

- Μείωση του αριθμού των buffers ρολογιού: Από 171 buffers στην Άσκηση 1 σε 80 buffers στην Άσκηση 5. Αυτό συμβαίνει επειδή τα multibit DFFs επιτρέπουν τη συγχώνευση πολλαπλών flip-flops σε μία μονάδα, μειώνοντας έτσι τις απαιτήσεις για διανομή του ρολογιού.
- Μείωση του buffering area: Από 380.646 μm^2 σε 170.658 μm^2 . Η μικρότερη ανάγκη για buffers μειώνει την επιφάνεια που καταλαμβάνει το δέντρο ρολογιού.
- Μείωση του μήκουςδρομολόγησης του ρολογιού: Η μείωση του μήκους του ρολογιού σημαίνει ότι η διανομή του ρολογιού είναι πιο αποδοτική και συμπαγής, μειώνοντας τις καθυστερήσεις και τις ενεργειακές απώλειες.
- Βελτίωση της χρονικής σταθερότητας: Το hold slack αυξήθηκε από 0.489 σε 0.537, υποδεικνύοντας μικρότερη διακύμανση στις χρονικές καθυστερήσεις. Η μείωση της ασυμμετρίας μεταξύ των μονοπατιών δεδομένων και ρολογιού βελτιώνει τη συνοχή του χρονισμού.

Άσκηση 6

Εισαγωγή

Η παρούσα άσκηση αποτελεί μια επανάληψη της διαδικασίας σύνθεσης και φυσικής σχεδίασης που παρουσιάστηκε στην Άσκηση 1, με τη μόνη διαφορά ότι σε αυτήν ενεργοποιείται η τεχνική clock gating. Η εφαρμογή της φραγής του ρολογιού στο στάδιο της σύνθεσης στοχεύει στη μείωση της κατανάλωσης ισχύος και στη βελτίωση της χρονικής συμπεριφοράς του κυκλώματος, χωρίς να επηρεάζεται αρνητικά η συνολική απόδοση και η τοποθέτηση των στοιχείων. Σε αυτή την αναφορά, παρουσιάζονται συγκριτικά τα αποτελέσματα των βασικών σταδίων (Genus, PreCTS, PostCTS, PostRoute) σε σχέση με την Άσκηση 1, αναδεικνύοντας τα οφέλη και τις επιπτώσεις της εφαρμογής του clock gating.

Σύνθεση Κυκλώματος με το Genus

Η ενεργοποίηση της φραγής του ρολογιού στην Άσκηση 6 είχε σημαντικές επιπτώσεις στη σύνθεση του κυκλώματος.

- **Αριθμός κελιών:** Μειώθηκε από 6217 σε 5897. Το clock gating περιορίζει τις περιττές μεταγωγές του ρολογιού, μειώνοντας τον αριθμό των λογικών πυλών που απαιτούνται για τη λειτουργία του κυκλώματος.
- **Επιφάνεια:** Μειώθηκε η συνολική επιφάνεια. Η εξάλειψη περιττών στοιχείων επέτρεψε πιο συμπαγή σχεδίαση χωρίς αύξηση της πολυπλοκότητας.
- **Ισχύς:** Μείωση συνολικής ισχύος. Leakage power: Μικρή μείωση, καθώς το συνολικό κύκλωμα παραμένει παρόμοιο. Internal power & switching power: Σημαντική μείωση, καθώς λιγότερες λογικές πύλες συμμετέχουν σε μεταγωγές.
- **Slack:** Βελτίωση από 0 σε 3. Το κύκλωμα μπορεί να λειτουργεί με μεγαλύτερη άνεση εντός των χρονικών περιορισμών, γεγονός που δείχνει βελτιωμένη χρονική σταθερότητα.

ΑΣΚΗΣΗ	ΑΡΙΘΜΟΣ ΚΕΛΙΩΝ	ΕΠΙΦΑΝΕΙΑ	SLACK
1 ^H	10231	48445.546	0
6 ^H	9983	43229.869	0

Table 41 exercise 6 Genus report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.34280e-03	5.91589e-07	9.55975e-04	3.74037e-03
6 ^H	3.06406e-03	8.03725e-07	7.12484e-04	2.35078e-03

Table 42 exercise 6 Genus power report

Category	Number	%	Average Toggle Saving %
Total Clock Gating Instances	58	100.00	-
RC Clock Gating Instances	58	100.00	79.79
Non-RC Clock Gating Instances	0	0.00	0.00
RC Gated Flip-flops	1706	87.00	83.92
Non-RC Gated Flip-flops	0	0.00	0.00
Total Gated Flip-flops	1706	87.00	-
Total Ungated Flip-flops	255	13.00	-
Enable not found	238	93.33	-
Register bank width too small	17	6.67	-
Total Flip-flops	1961	100.00	-
Multibit Flip-flop Summary			
Width	Number	Bits	RC Gated Ungated

Figure 10 exercise 6 clock gating report

Total Clock Gating Instances : 58

Από την αναφορά του report_clock_gating, παρατηρούμε ότι στην Άσκηση 6 υπάρχουν 46 instances clock gating, κάτι που επιβεβαιώνει την ενεργοποίηση της φραγής του ρολογιού. Σε σύγκριση με την Άσκηση 1, όπου δεν υπήρχε clock gating, αυτό αποτελεί μια σημαντική βελτίωση στη διαχείριση της ισχύος, καθώς μειώνει τις περιττές μεταβάσεις του ρολογιού.

Φυσική Σχεδίαση με το Innovus

PRECTS

Σε αυτό το στάδιο, το κύκλωμα έχει τοποθετηθεί, αλλά δεν έχει ακόμα δημιουργηθεί το δέντρο ρολογιού. Παρατηρούνται οι εξής διαφορές:

- **Επιφάνεια:** Μειώθηκε η συνολική επιφάνεια. Η φραγή του ρολογιού επέτρεψε τη μείωση των λογικών στοιχείων και την πιο αποδοτική τοποθέτηση των κυκλωμάτων.
- **Ισχύς:** Μειώθηκε η Συνολική ισχύς. Internal power: Σημαντική μείωση, λόγω λιγότερων ενεργοποιημένων κυκλωμάτων. Switching power: Παρέμεινε σταθερή, υποδεικνύοντας ότι η εξοικονόμηση ενέργειας προέρχεται από τη μείωση της εσωτερικής κατανάλωσης και όχι από αλλαγές στις μεταγωγές σημάτων.
- **Slack:** Setup slack: Αυξήθηκε από 0.005 σε 0.008, δείχνοντας βελτιωμένη χρονική συμπεριφορά. Hold slack: Παρέμεινε σταθερό, καθώς οι καθυστερήσεις των μονοπατιών δεν επηρεάστηκαν σημαντικά.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	34652.808	0.009	0.221
6 ^H	30432.186	0.016	0.204

Table 43 exercise 6 Innovus preCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	3.75430887	0.00085069	1.50793134	2.24552683
6 ^H	3.19730207	0.00080354	1.01248054	2.18401799

Table 44 exercise 6 Innovus preCTS power report

Το PreCTS στάδιο δείχνει ότι η ενεργοποίηση του clock gating βελτίωσε την πυκνότητα της τοποθέτησης, μείωσε την επιφάνεια και την κατανάλωση ενέργειας, χωρίς αρνητικές επιπτώσεις στην επίδοση.

POCTCTS

Σε αυτό το στάδιο δημιουργείται το δέντρο ρολογιού και εισάγονται τα buffers του ρολογιού. Οι διαφορές είναι:

- **Επιφάνεια:** Μειώθηκε η συνολική επιφάνεια. Η εξάλειψη περιττών ενεργών στοιχείων οδήγησε σε πιο αποδοτική διάταξη.
- **Ισχύς:** Μειώθηκε η συνολική ισχύς. Internal power: Σημαντική μείωση, καθώς λιγότερες πύλες ενεργοποιούνται χωρίς λόγο. Switching power: Μείωση, επιβεβαιώνοντας τη βελτίωση στην ενεργειακή απόδοση.
- **Buffers ρολογιού:** Αύξηση από 171 σε 255. Το clock gating δημιουργεί επιμέρους δέντρα ρολογιού, με αποτέλεσμα να απαιτούνται περισσότερα buffers για τη σταθερότητα του σήματος ρολογιού.
- **Μήκος δρομολόγησης ρολογιού:** Η φραγή του ρολογιού δημιούργησε επιμέρους δίκτυα ρολογιού, αυξάνοντας τη συνολική διαδρομή του.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.013	0.251
6 ^H	31065.228	0.033	0.206

Table 45 exercise 6 Innovus postCTS report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.77423292	0.00098609	1.74856514	4.02468169
6 ^H	3.34858750	0.00083393	1.09248159	2.25527198

Table 46 exercise 6 Innovus postCTS power report

- Χρησιμοποιούνται 225 buffers ρολογιού (Buffering area (um²) : 485.298).
- Υπάρχει 1 skew group στο design.
- Ο στόχος για τη στρέβλωση ικανοποιείται αλλά για το ρυθμό μετάβασης δεν ικανοποιείται. Η αρχική τιμή είναι αρκετά μικρή και επιλέγεται η αύξηση της στο 0.06.
- Το μέγιστο βάθος του δέντρου ρολογιού είναι 7 ενώ το ελάχιστο είναι 6.
- Το μήκος δρομολόγησης για το trunk είναι 4134.275 ενώ για τα leaves είναι 8712.125.

Η χρήση του clock gating οδήγησε σε μείωση της ισχύος και της επιφάνειας, αλλά προκάλεσε αύξηση των buffers ρολογιού και του μήκους δρομολόγησης, πιθανώς

λόγω της ανάγκης για κατανεμημένη φραγή ρολογιού σε διαφορετικά τμήματα του κυκλώματος.

POSTROUTE

Κατά τη διεργασία του συγκεκριμένου βήματος παρατηρήθηκε παράβαση του περιορισμού του slack και έγινε χρήση της εντολής βελτιστοποίησης(optDesign - postRoute -setup).

Σε αυτό το τελικό στάδιο, έχουν πλέον τοποθετηθεί και δρομολογηθεί όλες οι συνδέσεις. Οι διαφορές είναι:

- **Επιφάνεια:** Μειώθηκε η συνολική επιφάνεια. Η τελική τοποθέτηση εκμεταλλεύτηκε τις βελτιώσεις από το clock gating για πιο αποδοτική χρήση του χώρου.
- **Ισχύς:** Μειώθηκε η συνολική ισχύς. Internal power: Μείωση, καθώς το clock gating μείωσε τη δραστηριότητα των κυκλωμάτων. Switching power: Μικρότερη μείωση, καθώς εξαρτάται από τη συνολική δραστηριότητα του κυκλώματος.
- **Slack:** Setup slack: Μειώθηκε ελαφρώς από 0.147 σε 0.112, αλλά παρέμεινε θετικό. Hold slack: Αυξήθηκε ελαφρώς, υποδεικνύοντας βελτιωμένη χρονική συμπεριφορά.

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.475	0.265
6 ^H	31065.228	0.051	0.256

Table 47 exercise 6 Innovus postRoute report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.44945307	0.00098609	1.75012188	3.69834509
6 ^H	3.34255816	0.00083393	1.09248930	2.24923493

Table 48 exercise 6 Innovus postRoute power report

Η τεχνική clock gating συνέχισε να βελτιώνει την κατανάλωση ισχύος και να μειώνει την επιφάνεια, χωρίς σημαντικές επιπτώσεις στη χρονική συμπεριφορά. Ωστόσο, παρατηρείται αύξηση των buffers και του μήκους του ρολογιού.

Άσκηση 7

Εισαγωγή

Η Άσκηση 7 επικεντρώνεται αποκλειστικά στη διαδικασία σύνθεσης, επαναλαμβάνοντας τα Βήματα 1–7 της Άσκησης 1 και αποθηκεύοντας στιγμιότυπα (snapshots) σε κρίσιμα σημεία (μετά το βήμα του elaboration, της generic και της mapped σύνθεσης). Στη συνέχεια, χρησιμοποιείται το εργαλείο Conformal Equivalence Checking για τη σύγκριση των αποθηκευμένων στιγμιότυπων με τον αρχικό RTL κώδικα. Μέσα από αυτή τη διαδικασία επιδιώκεται η επαλήθευση της λειτουργικής ισοδυναμίας μεταξύ της περιγραφής σε HDL και της τελικής συντεθειμένης μορφής, διασφαλίζοντας ότι οι μετατροπές στη σύνθεση δεν επηρεάζουν τη βασική λειτουργικότητα του κυκλώματος.

Elaboration Step



Figure 11 exercise 7 report_verification -hier -verbose (elaborate step)

	Compare Result	Golden	Revised
Root module name		picorv32	picorv32
Primary inputs		102	102
Mapped		102	102
Undriven key points		0	565
Unmapped		0	565
Extra		0	565
Primary outputs		307	307
Mapped		307	307
Equivalent	307		
Black-box key points		2	2
Mapped		2	2
Equivalent	2		
State key points		1755	1755
Mapped		1753	1753
Equivalent	1753		
Unmapped		2	2
Unreachable		2	2

Figure 12 exercise 7 report statistics (elaborate step)

Στη σύγκριση μεταξύ RTL και Elaborate, παρατηρείται ότι όλες οι πρωτεύουσες είσοδοι (102) και έξοδοι (307) είναι πλήρως αντιστοιχισμένες και ισοδύναμες, γεγονός που επιβεβαιώνει ότι η βασική λειτουργικότητα του κυκλώματος παραμένει αμετάβλητη. Ωστόσο, εντοπίστηκαν 565 undriven key points στο Elaborate σχέδιο, κάτι που μπορεί να οφείλεται σε αλλαγές στη σύνθεση ή σε βελτιστοποιήσεις που αγνόησαν μη χρησιμοποιούμενα σήματα. Επιπλέον, τα state key points (1755) είναι σχεδόν πλήρως mapped, με μόλις 2 unmapped/unreachable, γεγονός που δείχνει μικρές αποκλίσεις χωρίς σημαντικό λειτουργικό αντίκτυπο. Οι black-box key points είναι πλήρως ισοδύναμες (2/2), επιβεβαιώνοντας ότι δεν υπάρχουν ασαφείς μονάδες στο revised σχέδιο. Συμπερασματικά, το σχέδιο μετά το στάδιο του Elaborate παραμένει λειτουργικά ίδιο με το RTL, με μικρές διαφοροποιήσεις λόγω σύνθεσης που δεν επηρεάζουν τη συνολική ισοδυναμία.

Mapping Step



Figure 13 exercise 7 report_verification -verbose (syn_map step)

Compare Result			Golden	Revised
Root module name			picorv32	picorv32
Primary inputs			102	102
Mapped			102	102
Primary outputs			307	307
Mapped			307	307
Equivalent		307		
State key points			2090	1961
Mapped			1961	1961
Equivalent		1961		
Unmapped			117	0
Unreachable			117	0
Merged			12	0
Compare results of merged compare points				
Compared points	DFF	Total		
Equivalent	11	11		
Compare results of instance/output/pin equivalences and/or sequential merge				
Compared points	DFF	Total		
Equivalent	67	67		

Figure 14 exercise 7 report statistics (syn_map step)

Στη σύγκριση του RTL με το mapped στάδιο, παρατηρούμε ότι η σχεδίαση διατηρεί τη λειτουργικότητά της, καθώς τα περισσότερα σημεία είναι ισοδύναμα. Ο αριθμός των equivalent points (EQ) ανέρχεται σε 1961 από τα συνολικά 2090 state key points, γεγονός που δείχνει ότι η πλειονότητα της σχεδίασης παρέμεινε ανέπαφη. Παρόλα

αυτά, υπάρχουν 117 unmapped state key points, κάτι που υποδηλώνει βελτιστοποιήσεις ή αφαιρέσεις από τον συνθέτη. Όλες οι πρωτεύουσες είσοδοι και έξοδοι έχουν χαρτογραφηθεί πλήρως και είναι ισοδύναμες, διασφαλίζοντας ότι η κύρια λειτουργία του κυκλώματος παραμένει αμετάβλητη. Ο συνολικός αριθμός των συγκρίσιμων σημείων είναι 2346, και όλα πέρασαν την επαλήθευση (PASS), δείχνοντας ότι η σχεδίαση δεν παρουσίασε κρίσιμες αποκλίσεις. Επιπλέον, τα 11 DFF compare points είναι ισοδύναμα, επιβεβαιώνοντας ότι η ακολουθιακή λογική δεν επηρεάστηκε. Το Conformal χρησιμοποιεί state key points, compare points και merged compare points για να αξιολογήσει την ισοδυναμία της σχεδίασης. Οι διαφοροποιήσεις που παρατηρούνται σχετίζονται κυρίως με βελτιστοποιήσεις και δεν φαίνεται να επηρεάζουν τη συνολική λειτουργικότητα. Συνεπώς, η σχεδίαση στο mapped στάδιο παραμένει ισοδύναμη με το RTL, παρά τις μικρές αποκλίσεις που οφείλονται στη διαδικασία σύνθεσης.

Συγκρίνοντας τα στάδια elaborate και mapped με το RTL, γίνεται αντιληπτό ότι ο σχεδιασμός διατηρεί τη λειτουργικότητά του παρά τις όποιες βελτιστοποιήσεις έγιναν κατά τη σύνθεση. Οι διαφορές που εντοπίστηκαν σχετίζονται κυρίως με την αναπαράσταση των καταστάσεων (state key points), κάτι που είναι αναμενόμενο λόγω των τεχνικών optimization. Το γεγονός ότι το Conformal επιβεβαίωσε την ισοδυναμία στην τελική φάση υποδηλώνει πως η σύνθεση δεν επηρέασε τη λειτουργική συμπεριφορά του κυκλώματος

Άσκηση 8

Εισαγωγή

Στην Άσκηση 8, επαναλαμβάνονται τα Βήματα 8–15 της Άσκησης 1 με μια επιπλέον τροποποίηση: την ενσωμάτωση pads στο σχεδιασμό. Κατά την εισαγωγή του project στο Innovus, περιλαμβάνονται επιπλέον αρχεία, όπως το .lef των pads και το “pads_SS_slvg.lib”, και εφαρμόζεται ένα script για την προσθήκη των pads. Στόχος της άσκησης είναι να αξιολογηθούν οι επιπτώσεις της προσθήκης των pads στον συνολικό σχεδιασμό όσον αφορά την επιφάνεια, την ισχύ και την επίδοση, καθώς και να συγκριθούν αυτά τα αποτελέσματα με τα αντίστοιχα της αρχικής υλοποίησης στην Άσκηση 1.

- **Επιφάνεια:** Στην άσκηση 1, η συνολική επιφάνεια και η επιφάνεια του πυρήνα είναι ίδιες (37581.696), καθώς δεν έχουν προστεθεί pads. Στην άσκηση 8, η συνολική επιφάνεια είναι 6.15 εκατομμύρια (6151898.862), ενώ η επιφάνεια του πυρήνα είναι μόλις 46099.548. Η μεγάλη αύξηση στη συνολική επιφάνεια αποδίδεται στα pads, τα οποία καταλαμβάνουν πολύ περισσότερο χώρο από τον πυρήνα του κυκλώματος.
- **Slack:** Το setup slack είναι -16.737, που σημαίνει ότι υπάρχουν παραβιάσεις χρονισμού. Το slack μειώθηκε λόγω της αύξησης της επιφάνειας και των αποστάσεων των διαδρομών, που προκάλεσαν μεγαλύτερες καθυστερήσεις στα σήματα. Η εισαγωγή pads επηρέασε αρνητικά το timing, οδηγώντας σε αρνητικό slack. Αντίθετα, το hold slack είναι θετικό (3.843), κάτι που σημαίνει πως δεν υπάρχουν προβλήματα στο hold timing.
- **Ισχύς:** Η συνολική ισχύς είναι 186.87 mW, δηλαδή 34 φορές μεγαλύτερη. Η διαρροή ισχύος (leakage) από 0.00098 mW αυξήθηκε στα 23.43 mW, κάτι που δείχνει ότι το κύκλωμα έγινε πολύ πιο απαιτητικό ενεργειακά. Η εσωτερική κατανάλωση (internal power) αυξήθηκε από 1.75 mW σε 159.56 mW, γεγονός που υποδεικνύει ότι η μεγαλύτερη διαδρομή των σημάτων και η προσθήκη των pads αύξησε την κατανάλωση. Η ισχύς λόγω switching παρέμεινε σχεδόν ίδια, που σημαίνει ότι οι αλλαγές δεν επηρέασαν σημαντικά τη δυναμική κατανάλωση λόγω μετάβασης σημάτων.

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΕΠΙΦΑΝΕΙΑ	ΕΠΙΦΑΝΕΙΑ ΠΥΡΗΝΑ	SLACK - SETUP TIME	SLACK - HOLD TIME
1 ^H	37581.696	37581.696	0.475	0.265
8 ^H	6151898.862	46099.548	-16.737	3.843

Table 49 exercise 8 postRoute report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.44945307	0.00098609	1.75012188	3.69834509
8 ^H	186.87224794	23.43545515	159.56677141	3.87002139

Table 50 exercise 8 postRoute power report

Στο τελικό στάδιο, πραγματοποιείται έλεγχος DRC (Design Rule Check) για την ανίχνευση πιθανών παραβιάσεων σχεδίασης. Παρατηρούνται αρχικά 50 παραβάσεις οι οποίες με τη χρήση της εντολής ecoRoute –fix_drc μειώνονται στις 46. Οι κατηγορίες των παραβάσεων είναι Metal Loop , Parallel Run Length Spacing Violations, MinHole και Metal Short .

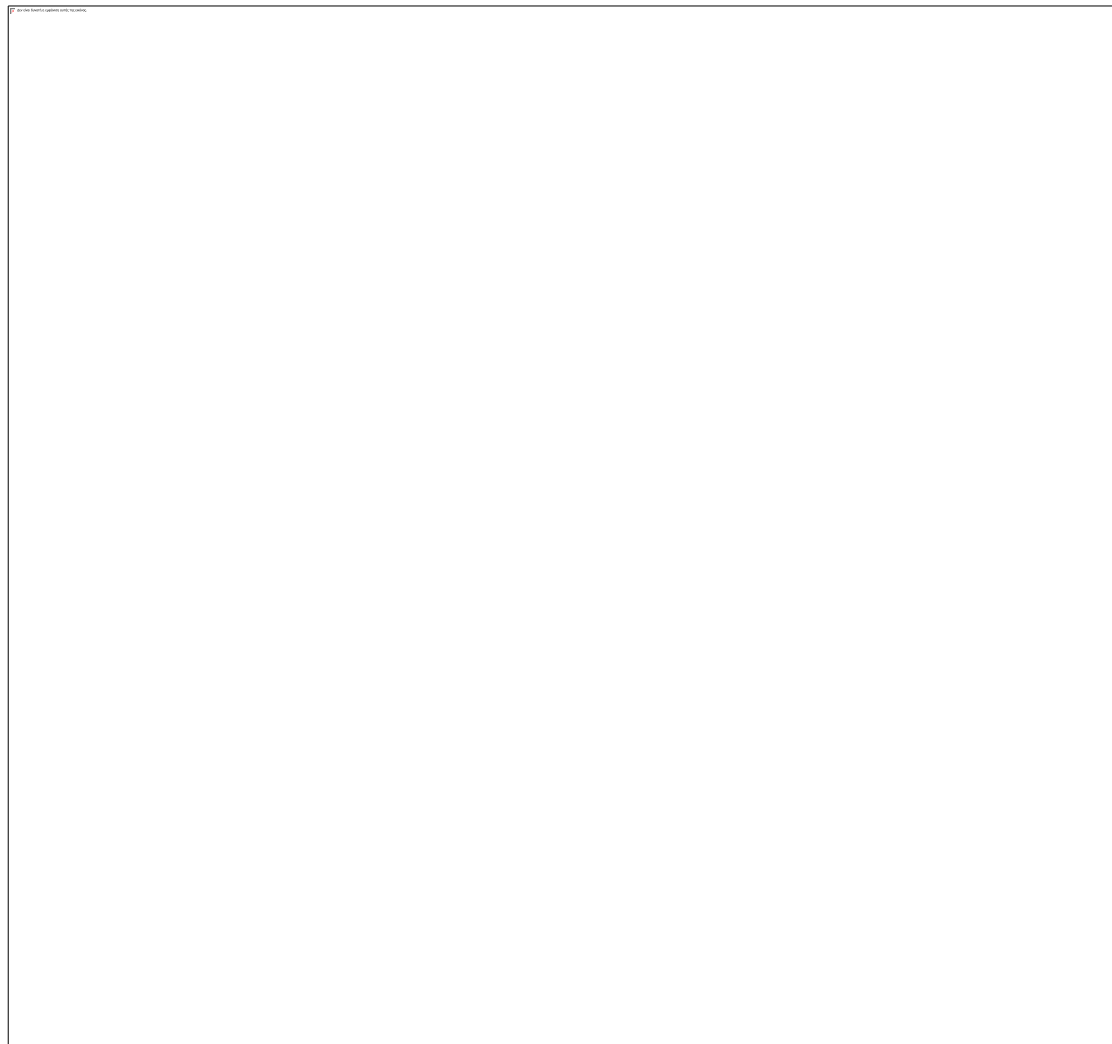


Figure 15 exercise 8 postRoute design

Άσκηση 9

Εισαγωγή

Η Άσκηση 9 εστιάζει στη διαδικασία Design For Testability (DFT) για την προσαρμογή του κυκλώματος ώστε να μπορεί να υποβληθεί σε δοκιμές (testability) χωρίς να αλλοιώνεται η αρχική λειτουργικότητα του. Σε αυτή την άσκηση, πριν από τη σύνθεση, προστίθεται επιπλέον λογική που διευκολύνει την εισαγωγή δοκιμαστικών διανυσμάτων μέσω των εντολών DFT του εργαλείου. Μέσω της χρήσης των εντολών για scan insertion και της εκτέλεσης των αντίστοιχων ελέγχων, επιδιώκεται η διατήρηση της λειτουργικής ισοδυναμίας του κυκλώματος, ενώ ταυτόχρονα ενισχύεται η ικανότητα για αποτελεσματικές δοκιμές μετά την κατασκευή.

Πίνακες αποτελεσμάτων

- **Αριθμός κελιών:** Στο SYN_GENERIC, το κύκλωμα έχει 26698 κελιά. Στο SYN_MAP, παρατηρείται μεγάλη μείωση στα 12013 κελιά, λόγω χαρτογράφησης (technology mapping) σε συγκεκριμένες βιβλιοθήκες κυκλωμάτων. Στο SYN_OPT, η βελτιστοποίηση μειώνει ελαφρώς τον αριθμό σε 11572, καθώς αφαιρούνται επιπλέον πλεονάζοντα στοιχεία.
- **Επιφάνεια :** Στο SYN_GENERIC, η επιφάνεια είναι η μεγαλύτερη (84537.353), επειδή το κύκλωμα ακόμα δεν έχει προσαρμοστεί σε συγκεκριμένα standard cells. Στο SYN_MAP, η επιφάνεια μειώνεται σημαντικά (54460.963) λόγω της αποδοτικής αντιστοίχισης σε πραγματικές βιβλιοθήκες standard cells. Στο SYN_OPT, η επιφάνεια μειώνεται περαιτέρω σε 53779.819, λόγω της εξάλειψης πλεονάζουσας λογικής.
- **Slack:** Στο SYN_GENERIC, το κύκλωμα έχει μεγάλο slack (872 ps), αφού δεν έχει ακόμα βελτιστοποιηθεί για χρονισμό. Στο SYN_MAP, το slack πέφτει σε 2. Στο SYN_OPT, το slack μηδενίζεται.
- **Ισχύς:** Στο SYN_GENERIC, η συνολική ισχύς είναι 2.94 mW. Στο SYN_MAP, αυξάνεται στα 5.26 mW, διότι πλέον το κύκλωμα είναι χαρτογραφημένο σε φυσικά standard cells με πραγματικές ιδιότητες κατανάλωσης ισχύος. Στο SYN_OPT, η ισχύς παραμένει σχεδόν στα ίδια επίπεδα (5.33 mW), αφού η βελτιστοποίηση εστιάζει κυρίως στη μείωση της επιφάνειας και του χρονισμού. Η συνολική κατανάλωση ισχύος αυξάνεται μετά τη χαρτογράφηση και τη βελτιστοποίηση. Αυτό είναι φυσιολογικό, καθώς το SYN_GENERIC δουλεύει με ιδανικά μοντέλα και όχι με πραγματικές τιμές κατανάλωσης από standard cells.

ΣΤΑΔΙΟ	ΑΡΙΘΜΟΣ ΚΕΛΙΩΝ	ΕΠΙΦΑΝΕΙΑ	SLACK
SYN_GENERIC	26698	84537.353	872
SYN_MAP	12013	54460.963	2
SYN_OPT	11572	53779.819	0

Table 51 exercise 9 Genus steps report

ΣΤΑΔΙΟ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
SYN_GENERIC	2.94032E-03	4.05687e-07	6.34116e-04	2.30580e-03
SYN_MAP	5.26564E-03	8.75552e-07	1.41942e-03	3.84534e-03
SYN_OPT	5.33014E-03	8.82400e-07	1.44369e-03	3.88557e-03

Table 52 exercise 9 Genus steps power report

Έλεγχος Εφαρμογής των DFT Εντολών

Από το αρχείο καταγραφής (genus.log), επιβεβαιώνεται ότι η λογική DFT προστέθηκε επιτυχώς στο κύκλωμα. Οι εντολές όπως set_db / .dft_scan_style muxed_scan, set_db / .dft_prefix DFT_ και set_db / .dft_identify_top_level_test_clocks true εφαρμόστηκαν σωστά, επιτρέποντας στο κύκλωμα να υποστηρίζει scan chains για δοκιμή. Αυτό σημαίνει ότι η σύνθεση έχει διαμορφωθεί έτσι ώστε να περιλαμβάνει τα απαραίτητα στοιχεία για την υποστήριξη διαδικασιών δοκιμής (testability) χωρίς να αλλοιώνει τη βασική λειτουργία του κυκλώματος.

Έλεγχος Παραβιάσεων DFT Κανόνων

Η εκτέλεση της εντολής `check_dft_rules` δείχνει ότι δεν υπάρχουν παραβιάσεις στους κανόνες DFT. Αυτό είναι θετικό, καθώς σημαίνει ότι η προσθήκη των δοκιμαστικών κυκλωμάτων έγινε σωστά και το κύκλωμα παραμένει λειτουργικά αμετάβλητο.

```
Detected 0 DFT rule violation(s)
Summary of check_dft_rules
*****
Number of usable scan cells: 48
Clock Rule Violations:
-----
    Internally driven clock net: 0
    Tied constant clock net: 0
    Undriven clock net: 0
    Conflicting async & clock net: 0
    Misc. clock net: 0

Async. set/reset Rule Violations:
-----
    Internally driven async net: 0
    Tied active async net: 0
    Undriven async net: 0
    Misc. async net: 0

Advanced DFT Rule Violations:
-----
    Tristate net contention violation: 0
    Potential race condition violation: 0
    X-source violation: 0
```

Figure 16 exercise 9 check dft rules report

Ανάλυση Αποτελεσμάτων Μετά τη Σύνθεση

Συγκρίνοντας τα αποτελέσματα των σταδίων `syn_generic`, `syn_map` και `syn_opt`, διαπιστώνεται ότι ο συνολικός αριθμός πυλών αυξήθηκε μετά την εισαγωγή των DFT κυκλωμάτων. Αυτή η αύξηση είναι αναμενόμενη, καθώς το κύκλωμα πλέον περιλαμβάνει επιπλέον λογική για δοκιμή. Η επιφάνεια (area) του κυκλώματος επίσης αυξήθηκε, αφού τα scan flip-flops και οι σχετικές πύλες καταλαμβάνουν επιπλέον χώρο. Παράλληλα, παρατηρείται ελαφριά αύξηση στην κατανάλωση ισχύος (power), κυρίως λόγω των πρόσθετων στοιχείων του scan path. Τέλος, είναι πιθανό ο χρονισμός (timing slack) να έχει επηρεαστεί, καθώς οι επιπλέον καθυστερήσεις που εισάγει η δοκιμαστική λογική μπορεί να επηρεάζουν τη συνολική απόδοση του κυκλώματος.

Έλεγχος των Scan Chains

Η εκτέλεση της εντολής `connect_scan_chains -auto_create_chains` επιβεβαιώνει ότι οι αλυσίδες σάρωσης (scan chains) συνδέθηκαν σωστά. Η αναφορά `report_scan_chains` δείχνει τον αριθμό των scan chains που δημιουργήθηκαν, καθώς και τη δομή τους.

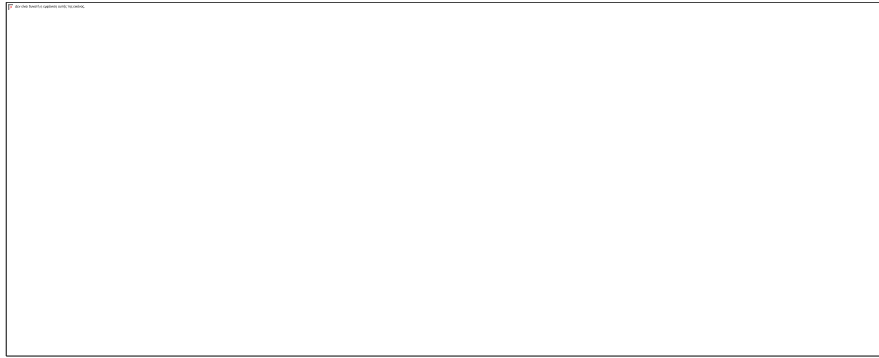


Figure 17 exercise 9 scan chains report

Η εισαγωγή της Design for Testability (DFT) λογικής ολοκληρώθηκε επιτυχώς, με τις scan chains να διαμορφώνονται σωστά και χωρίς σοβαρές παραβιάσεις. Το κύκλωμα είναι πλέον κατάλληλο για δοκιμή μέσω ATE, διατηρώντας παράλληλα τη λειτουργικότητά του. Η αύξηση του αριθμού των πυλών και της επιφάνειας ήταν αναμενόμενη, αλλά απαιτείται προσεκτική ανάλυση των επιπτώσεων στη συνολική απόδοση. Συνολικά, η διαδικασία DFT προστέθηκε επιτυχώς χωρίς να προκαλέσει κρίσιμες αποκλίσεις στη σχεδίαση.

Άσκηση 10

Εισαγωγή

Η παρούσα άσκηση έχει ως στόχο τη βελτιστοποίηση του Figure of Merit (FoM) ενός ψηφιακού κυκλώματος, ακολουθώντας τα βήματα της Άσκησης 1 με κατάλληλες προσαρμογές. Το FoM ορίζεται ως:

$$FOM = \frac{1}{\text{Clock Period (ns)} * \text{Total Power (mW)} * \text{Cell Area (mm}^2\text{)}}$$

Για τη μεγιστοποίηση του FoM, μας δίνεται η δυνατότητα να προσαρμόσουμε την περίοδο ρολογιού, καθώς και να εφαρμόσουμε βελτιστοποιητικές τεχνικές όπως multibit cells και clock gating. Ωστόσο, δεν επιτρέπεται η τροποποίηση των περιορισμών του βήματος 4, εκτός από την περίοδο ρολογιού, ενώ οι περιορισμοί μετάβασης και στρέβλωσης πρέπει να προσαρμοστούν αναλόγως.

Διαδικασία Υλοποίησης και Βελτιστοποίησης

Για τη βελτιστοποίηση του Figure of Merit (FoM), ακολουθήθηκε μια στρατηγική που συνδυάζει τη χρήση multibit cells μαζί με clock gating, με στόχο τη μείωση της κατανάλωσης ισχύος και τη βελτίωση της συνολικής απόδοσης του κυκλώματος.

Αρχικά, επιλέχθηκε η μείωση της περιόδου ρολογιού από 5 ns σε 4 ns, ώστε να επιτευχθεί υψηλότερη απόδοση, διατηρώντας παράλληλα θετικό slack. Για τη βελτιστοποίηση της ισχύος, δόθηκε έμφαση στη μείωση της ισχύος διαρροής, χρησιμοποιώντας τις διαθέσιμες βιβλιοθήκες και κατάλληλες εντολές στα εργαλεία Genus και Innovus.

Συγκεκριμένα, στο Genus προστέθηκαν οι ακόλουθες εντολές για τη βελτίωση της κατανάλωσης ισχύος και τη χρήση multibit cells:

```
set_db design_power_effort high
set_db opt_leakage_to_dynamic_ratio 1.0
set_db use_multibit_cells true
read_hdl picorv32.v
set_db lp_insert_clock_gating true
```

Στη συνέχεια, στο Innovus, διαμορφώθηκε κατάλληλα το MMMC file για να υποστηρίξει τις αλλαγές των βιβλιοθηκών multibitsDFF και εφαρμόστηκε βελτιστοποίηση ισχύος (optimization power) πριν την τοποθέτηση, ώστε να επιτευχθεί η ελαχιστοποίηση της κατανάλωσης ισχύος διαρροής. Η συνδυασμένη χρήση multibit cells και clock gating, σε συνδυασμό με τη μείωση της περιόδου ρολογιού και τη σωστή διαμόρφωση των εργαλείων, οδήγησε σε ένα

βελτιστοποιημένο σχέδιο με αυξημένο FoM, επιτυγχάνοντας καλύτερη απόδοση με χαμηλότερη κατανάλωση ισχύος.

$$\text{Τελικό FoM} = \frac{1}{4 \cdot 333737.958 \cdot 4.03978200} = 1.85428495\text{e-}7$$

ΑΣΚΗΣΗ	ΕΠΙΦΑΝΕΙΑ	SLACK -SETUP TIME	SLACK -HOLD TIME
1 ^H	37581.696	0.475	0.265
10 ^H	33737.958	0.026	0.048

Table 53 exercise 10 Innovus postRoute report

ΑΣΚΗΣΗ	ΣΥΝΟΛΙΚΗ ΙΣΧΥΣ ΚΥΚΛΩΜΑΤΟΣ	LEAKAGE	INTERNAL	SWITCHING
1 ^H	5.44945307	0.00098609	1.75012188	3.69834509
10 ^H	4.03978200	0.00073289	1.22473141	2.81431770

Table 54 exercise 10 Innovus postRoute power report