

[View on GitHub](#)

Circuitos Digitais

Repo of Digital Circuits course - CRT0384

PRÁTICA 07 - CIRCUITOS LÓGICOS SEQUENCIAIS - FLIP FLOPS D E JK

[Voltar à home](#)

OBJETIVOS

- Familiarização com os circuitos digitais sequenciais;
- Familiarização com o princípio de funcionamento dos Flip-flops;
- Montar um contador binário utilizando os conceitos dos flip-flops;

Material Necessário:

- 02 TTL SN74HC74;
- 01 TTL SN74LS73N;
- Kit Digital

Os circuitos considerados até o momento eram todos circuitos combinacionais, onde a saída é determinada pelos valores presentes nas entradas, independente dos valores anteriores.

Os sistemas digitais são construídos usando tanto circuitos combinacionais como dispositivos de memória (circuitos sequenciais). O mais importante dispositivo de memória é o flip-flop, construído a partir de combinação de portas lógicas combinacionais. Um flip-flop é um dispositivo digital que possui duas saídas Q e Q', que estão sempre em estados opostos.

Existem diversos tipos de flip-flops e diferentes entradas de controle que determinam o estado da saída. O FF pode manter o estado de saída após os sinais de entrada, que produziram o estado atual, mudarem. Desse modo o FF pode armazenar uma informação de 1 bit. Os sistemas digitais podem operar síncrona ou assincronamente.

Nos sistemas assíncronos, as saídas dos circuitos lógicos podem mudar de nível lógico, sempre que o nível de uma ou mais entradas mude. Nos sistemas síncronos, os instantes de tempo nos quais as saídas são alteradas são determinados por um sinal chamado clock.

As entradas S, C, J, K e D dos FF síncronos, chamadas de entradas de controle, também são denominadas de entradas síncronas, em função de seu efeito ser sincronizado com o sinal de clock. Muitos FFs possuem entradas assíncronas, que operam independentes das entradas síncronas e da entrada de clock, e são usados para levar o FF a um determinado estado passando por cima das demais entradas.

A seguir estudaremos o comportamento de todas as entradas sejam elas síncronas ou assíncronas para os flip-flops tipo D e JK

PARTE 1 - FLIP-FLOP TIPO D

O circuito integrado SN74HC74 implementa **dois** flip-flops do tipo D com clock ativo na **subida** e entradas negadas de PRESET e CLEAR, conforme diagrama a seguir:

5 Pin Configuration and Functions

N, NS, D, DB, PW, J, or W Package
14-Pin PDIP, SO, SOIC, SSOP, TSSOP, CDIP, or CFP
Top View

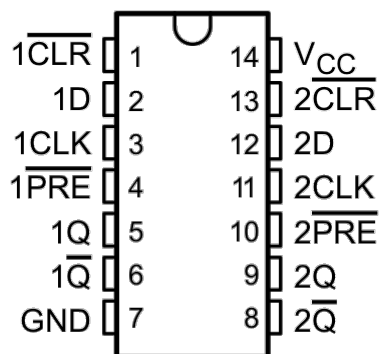


Table 1. Function Table

INPUTS				OUTPUTS	
$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	CLK	D	Q	$\overline{\text{Q}}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	$\overline{\text{Q}}_0$

(1) This configuration is nonstable; that is, it does not persist when $\overline{\text{PRE}}$ or $\overline{\text{CLR}}$ returns to its inactive (high) level.

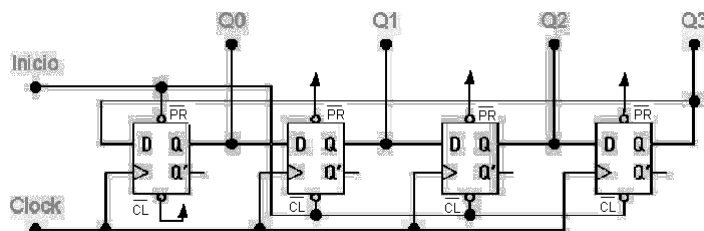
Pin Functions

PIN			I/O	DESCRIPTION
NAME	LCCC	SOIC, SSOP, CDIP, PDIP, SO, TSSOP, CFP NO.		
1CLK	4	3	I	Clock input
$\overline{1}\text{CLR}$	2	1	I	Clear input - Pull low to set 1Q output low
1D	3	2	I	Input
$\overline{1}\text{PRE}$	6	4	I	Preset input
1Q	8	5	O	Output
$\overline{1}\text{Q}$	9	6	O	Inverted output
2CLK	16	11	I	Clock input
$\overline{2}\text{CLR}$	19	13	I	Clear input - Pull low to set 1Q output low
2D	18	12	I	Input
$\overline{2}\text{PRE}$	14	10	I	Preset input
2Q	13	9	O	Output
$\overline{2}\text{Q}$	12	8	O	Inverted output
GND	10	7	—	Ground
NC	1	—	—	No connect (no internal connection)
	5			
	7			
	11			
	15			
	17			
V _{CC}	20	14	—	Supply

Implemente um flip-flop do tipo D, inserindo todas as suas entradas (D, CLK, PRE e CLR) em chaves do kit digital. Preencha a tabela a seguir:

D	PRE	CLR	CLOCK	Q	Q'
0	0	0	↑		
1	0	0	↑		
0	0	1	↑		
1	0	1	↑		
0	1	0	↑		
1	1	0	↑		
0	1	1	↑		
1	1	1	↑		
0	1	1	↑		
1	1	1	↑		
0	1	1	↑		
1	1	1	↑		

Agora, monte no Kit um contador anel de quatro bits e analise seu funcionamento para comparar com o funcionamento teórico. Utilize a entrada de Clock disponível na placa, em 1Hz, e mostre sua saída binária nos leds e no display 7 segmentos:



PARTE 2 - FLIP-FLOP TIPO JK

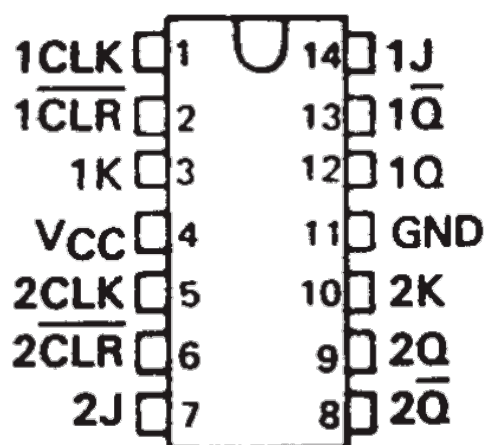
O circuito integrado SN74LS73N implementa **dois** flip-flops do tipo JK com clock ativo na **descida** e entradas negadas de PRESET e CLEAR conforme diagrama a seguir:

SN5473, SN54LS73A . . . J OR W PACKAGE

SN7473 . . . N PACKAGE

SN74LS73A . . . D OR N PACKAGE

(TOP VIEW)



'LS73A

FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{\text{CLR}}$	CLK	J	K	Q	\overline{Q}
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q_0}$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\overline{Q_0}$

Implemente um flip-flop JK, inserindo todas as suas entradas (D, CLK, PRE e CLR) em chaves do kit digital. Preencha a tabela a seguir:

OBS: para manter Q~0~ nulo, dê um pulso em clear antes de iniciar a operação.

J	K	PRE	CLR	CLOCK	Q	Q'
0	0	0	0	↓		
0	1	0	0	↓		
1	0	0	0	↓		
1	1	0	0	↓		
0	0	0	1	↓		
0	1	0	1	↓		
1	0	0	1	↓		
1	1	0	1	↓		
0	0	1	0	↓		
0	1	1	0	↓		
1	0	1	0	↓		
1	1	1	0	↓		
0	0	1	1	↓		
0	1	1	1	↓		
1	0	1	1	↓		
1	1	1	1	↓		

Circuitos Digitais maintained by [marcielbp](#)

Published with [GitHub Pages](#)