



Aula 07 - Latches e Flip-Flops

Circuitos Digitais - CRT 0384

Prof. Rennan Dantas

Ciência da Computação

2020.1

SUMÁRIO

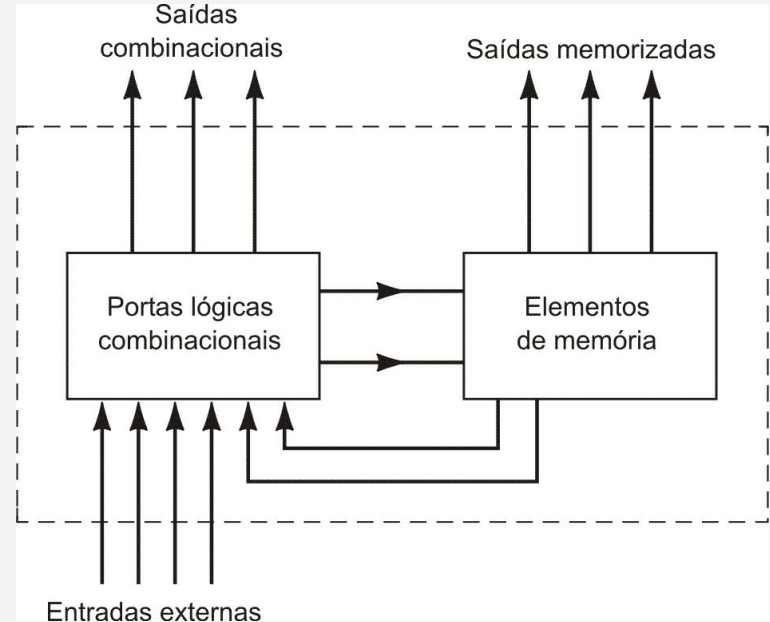
- Fundamentos dos Circuitos Sequenciais;
- Circuitos com memória;
- Circuitos Sequenciais:
 - Síncronos;
 - Assíncronos;
- Flip-Flop tipo D;
- Flip-Flops tipo J-K;

Circuitos Sequenciais

- Nos **circuitos combinacionais**, uma dada saída do circuito é função única e exclusiva das suas entradas atuais.
- Nos **circuitos sequenciais**, elas são também função da história passada do circuito. Isso ocorre em função do circuito sequencial apresentar elementos com capacidade de armazenamento de informação.

Circuitos Sequenciais

- Na parte combinacional: recebe sinais externos e saídas dos elementos de memória
- No elemento de memória: armazena entradas anteriores, onde o elemento de memória é o flip-flop.

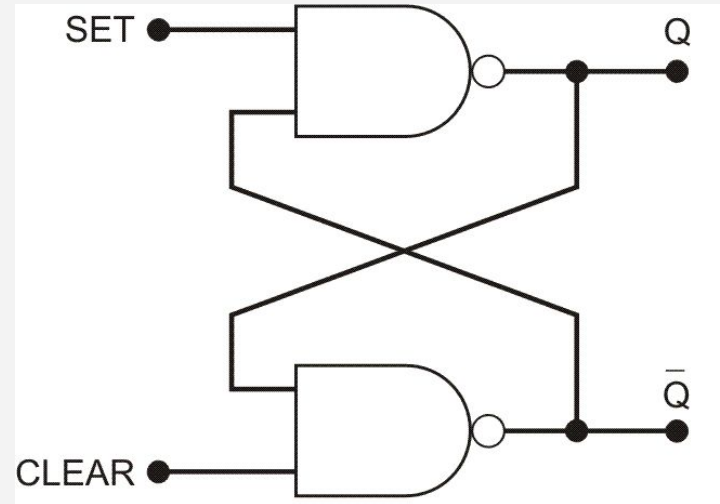


Latches

- Dispositivos de armazenamento temporário que tem **dois estados estáveis (biestável)**.
- Similares aos flip-flops porque são dispositivos biestáveis e que podem permanecer em um dos dois estados estáveis usando uma configuração de realimentação, na qual as saídas são ligadas as entradas opostas.
- A principal diferença entre os latches e flip-flops é o **método usado para a mudança de estado**.

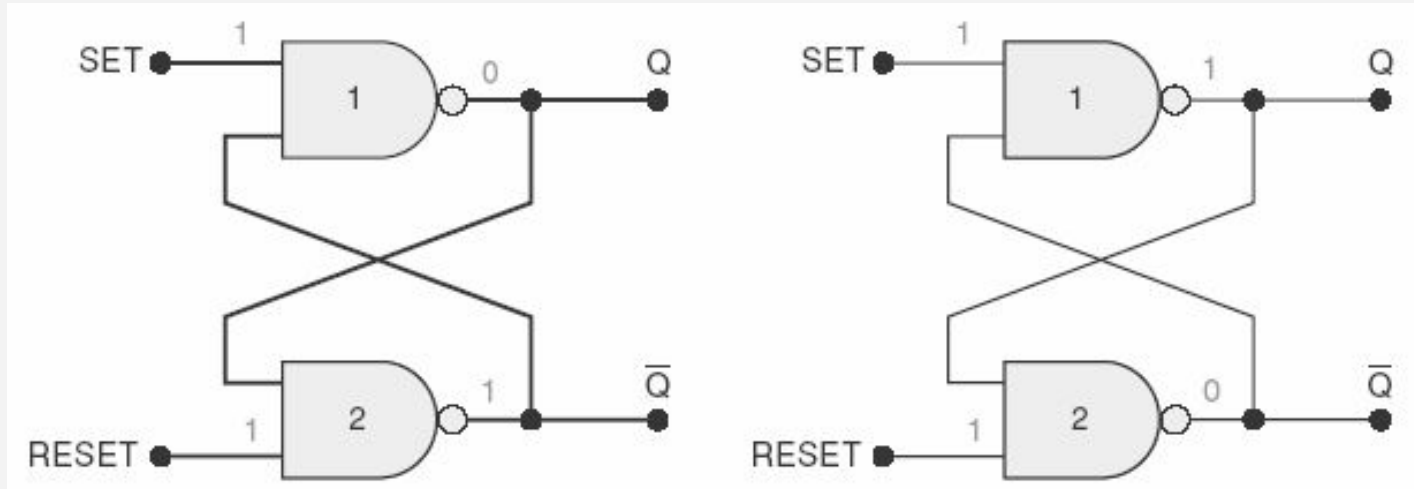
Latch RS

- As saídas das portas, em condições normais, estão sempre em níveis lógicos inversos.
- Existem duas entradas:
 - SET ajusta Q para o estado 1;
 - CLEAR (ou RESET) é a que reseta Q para o estado 0.

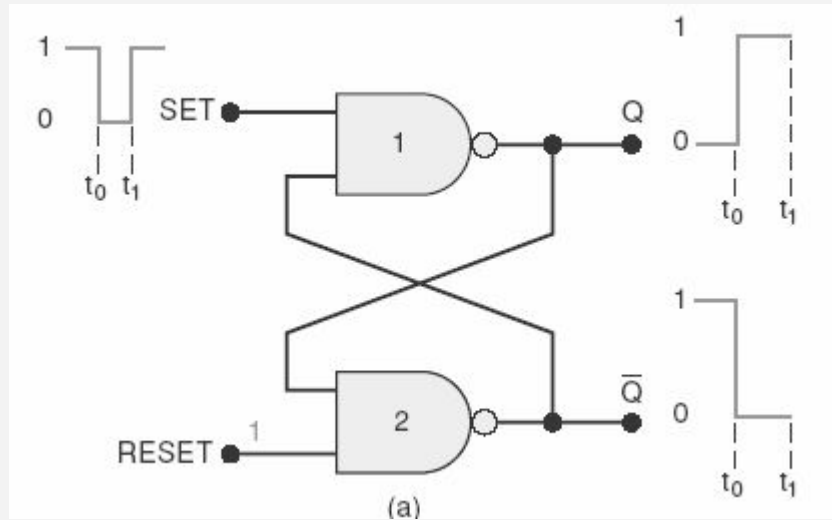


Latch RS

- Inicialmente, se $SET = RESET = 1$, pode-se levar a duas configurações:



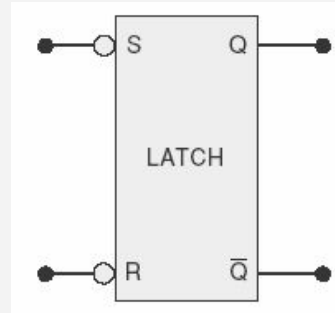
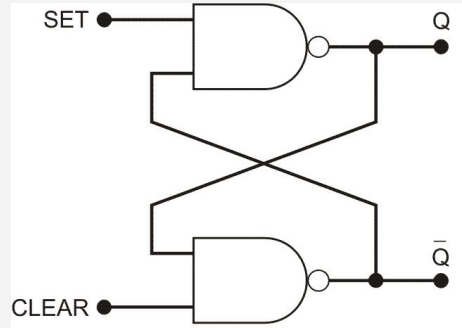
Latch RS



Set	Reset	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

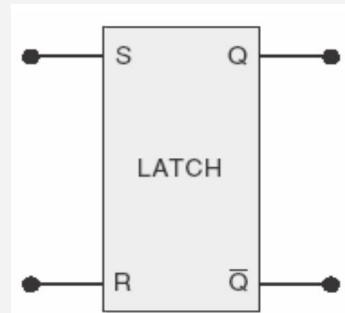
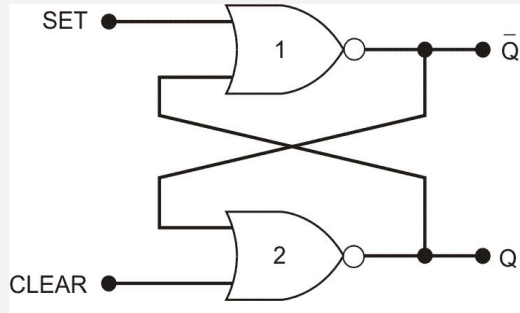
*Produz $Q = \bar{Q} = 1$.

Latches - portas NAND e NOR



Set	Reset	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

*Prodüz $Q = \bar{Q} = 1$.



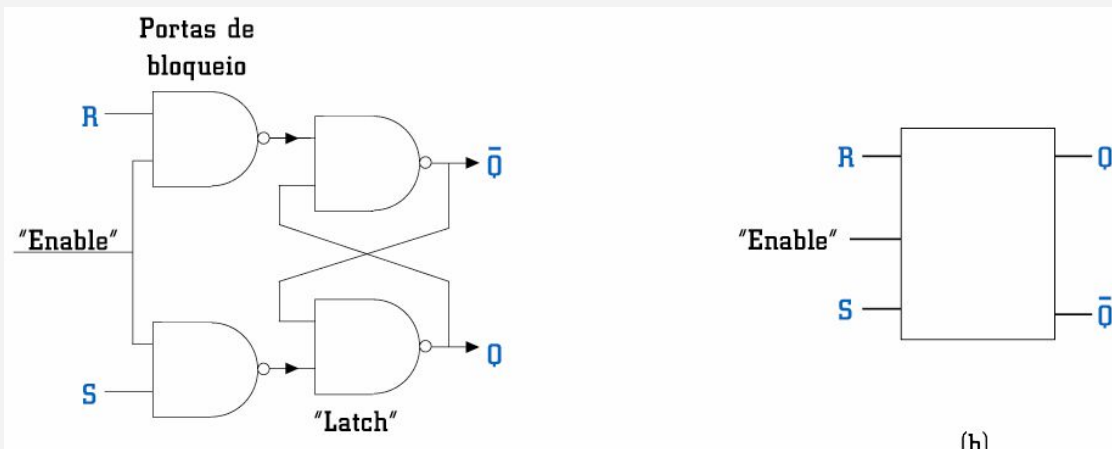
Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

*Prodüz $Q = \bar{Q} = 0$.

Latch R-S síncrono

- O usuário até então não possui controle sobre as entradas:
 - Os dados de entrada são imediatamente processados pelo latch, sem sincronia;
- Solução: utilização do recurso de habilitação do latch (ENABLE)

Latch R-S síncrono



Entradas			Saídas	
"Enable"	R	S	Q	\bar{Q}
0	X	X	Não muda	
1	0	0	Não muda	
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

→ Bloqueio - "Latch"

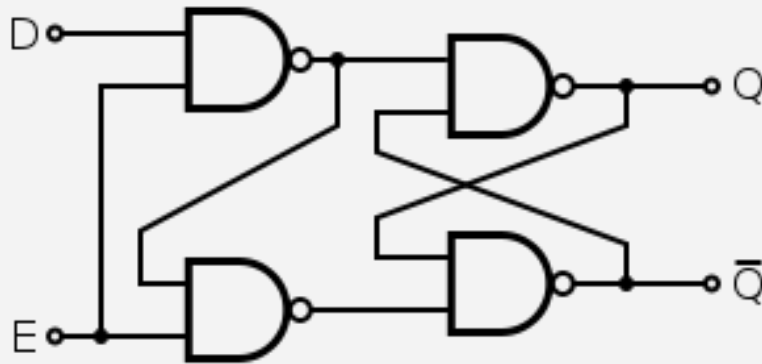
→ Indeterminado

Latch D

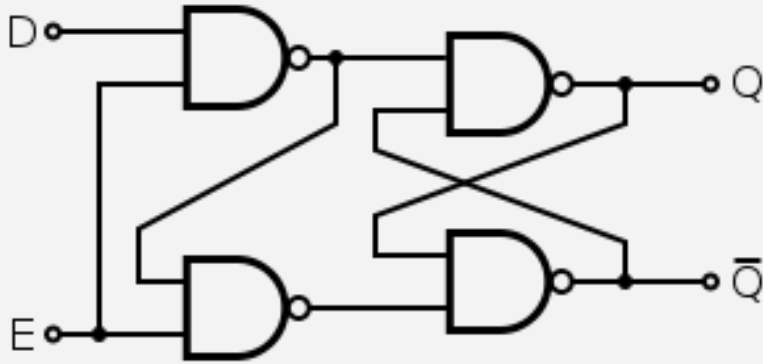
- Latch R-S síncrono não evita o estado de oscilação quando os atrasos de propagação forem iguais e ocorrer a transição de $R=S=1$ para $R=S=0$.
- Solução: adicionar um inversor entre as entradas R e S, as mesmas serão complementares, fazendo com que o circuito atue na região normal de operação.
- Tal circuito é conhecido com latch D (latch transparente).

Latch D

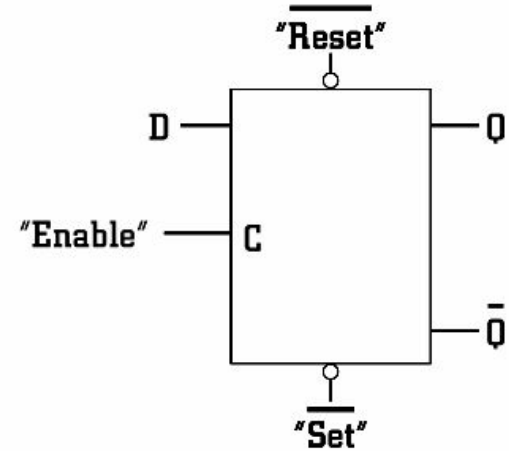
- Entrada comum das portas que implementam o circuito direcionador: ENABLE.
- Se $EN = 1$, a saída Q será igual à entrada D (transparente).
- Se $EN = 0$, a saída Q não será modificada (guarda o último valor – memória).



Latch D

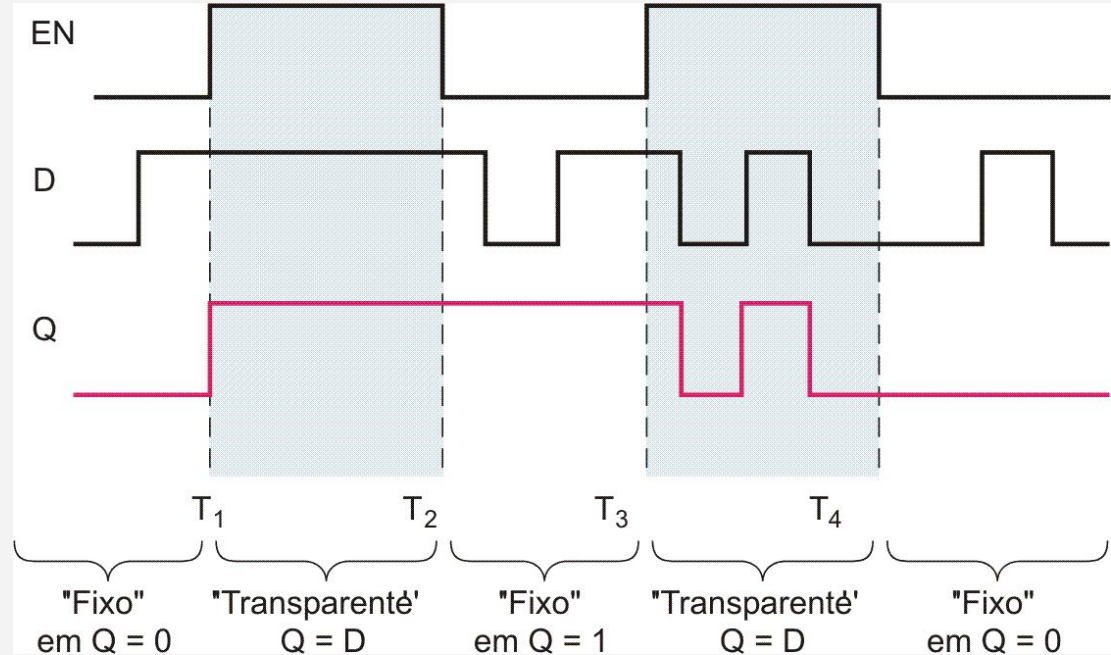


"Enable"	D	Q
0	X	Não muda
1	1	1
1	0	0



Latch D

- Exemplo do comportamento de um latch D para as formas de onda dadas:



Flip-Flops

- Latches: ativados pelo estado do sinal de entrada (nível lógico alto ou baixo);
- Problema: Variações no nível lógico da entrada D podem mudar seu estado de maneira indesejável;
- **Solução:** Construção de circuito ativado pela transição de estado em vez da ativação por nível lógico;

Flip-Flops

- Circuitos derivados dos latches, porém ativados pela transição do sinal de controle (borda).
- Permanece ativado apenas durante um intervalo de tempo muito pequeno (na transição do sinal de controle);
- Uma eventual troca de estado só pode ocorrer durante esse breve intervalo de tempo em que o flip-flop está ativado

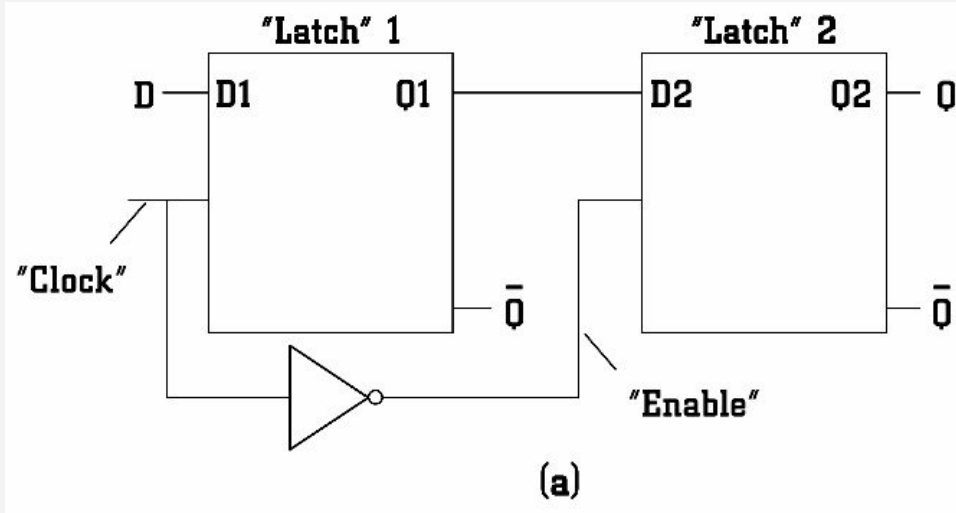
Flip-Flops

- O flip-flop pode ser disparado pela transição de subida ou pela transição de descida do sinal de controle;
- Flip-flops são disparados por borda (transição) enquanto latches são disparados por estado lógico;

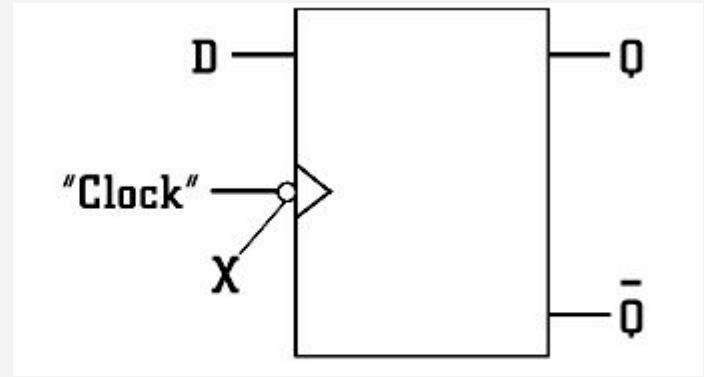
Flip-Flop tipo D

- Ativado por borda, durante a transição do sinal no pino CLOCK de ALTO para BAIXO (descida) ou de BAIXO para ALTO (subida);
- Quando houver variação do clock, o valor guardado no flip-flop será o valor na entrada D (Data) naquele instante.

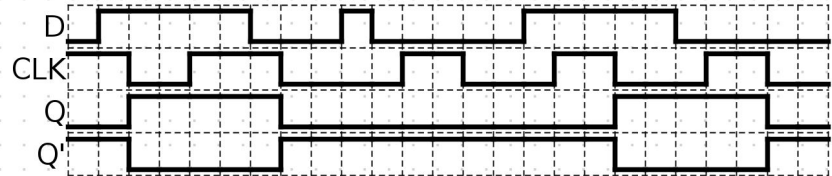
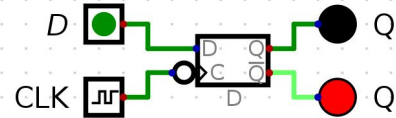
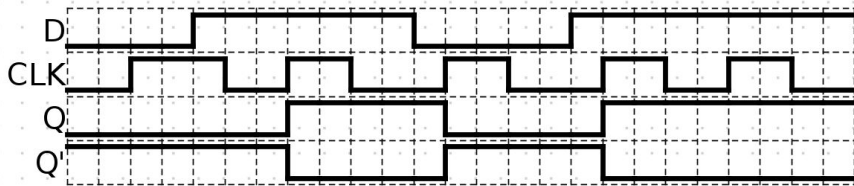
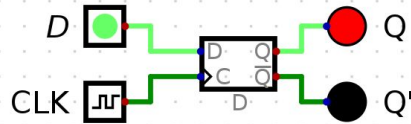
Flip-Flop tipo D



"Clock"	D	Q
↓	1	1
↓	0	0
1	X	Não muda
0	X	Não muda

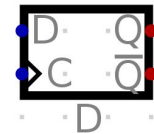


Flip-Flop tipo D

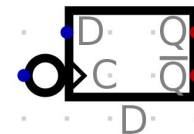


- Flip Flops podem mudar o estado da saída quando o clock está **subindo** ou **descendo** de acordo com sua especificação.
- Observar a entrada do *clock* do flip flop se é ativo na subida ou descida:

FF subida

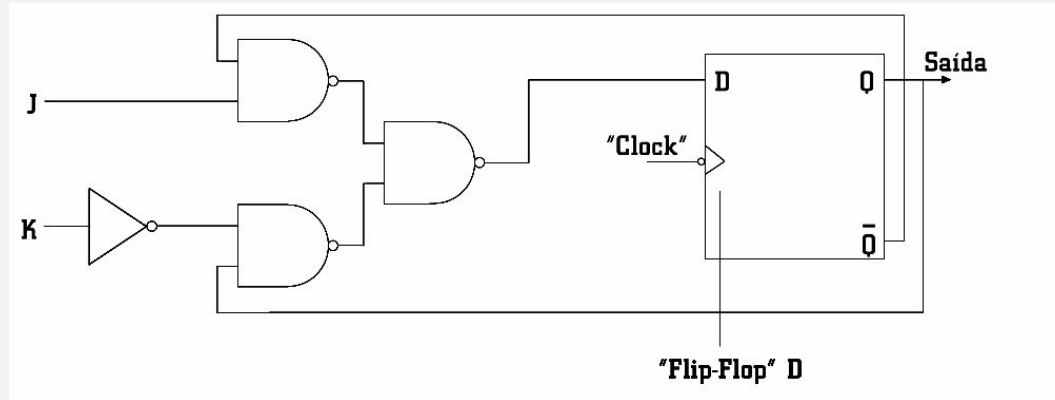


FF descida



Flip-Flop J-K

- Ativado por borda, durante a transição do sinal no pino CLOCK de ALTO para BAIXO (descida);
- Pode ser configurado em opção MASTER/ SLAVE;



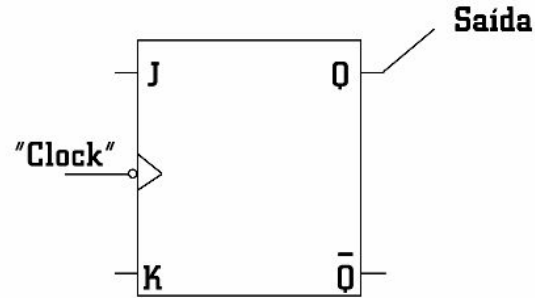
Flip-Flop J-K

Entradas		Saídas
J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

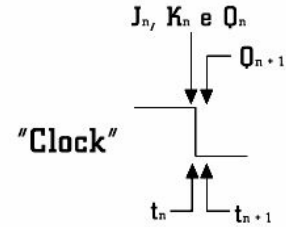
(a)

← Não muda

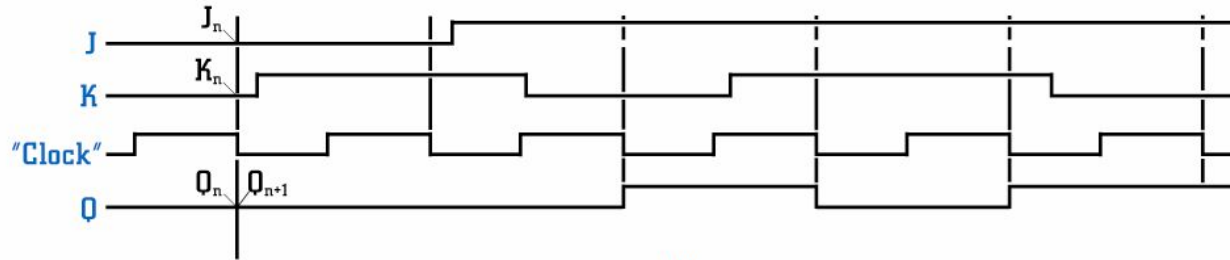
← Complementa



(b)



(c)



(d)

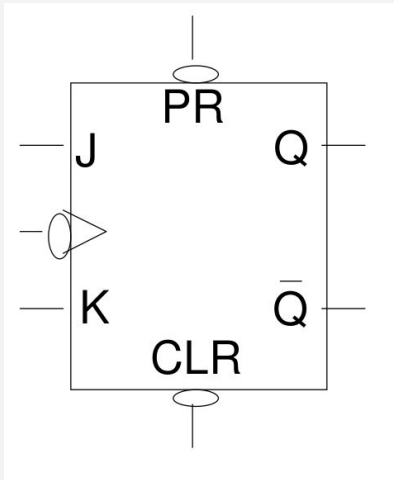
Flip-Flop J-K com Preset e Clear

- As entradas PRESET e CLEAR são chamadas entradas ASSÍNCRONAS, pois não dependem do sinal de clock para serem configuradas;

PRE	CLR	Q	Q̄
1	1	operação normal	
0	1	1	0
1	0	0	1
0	0	*	*

Flip-Flop J-K com Preset e Clear

- Diagrama de pinagem:

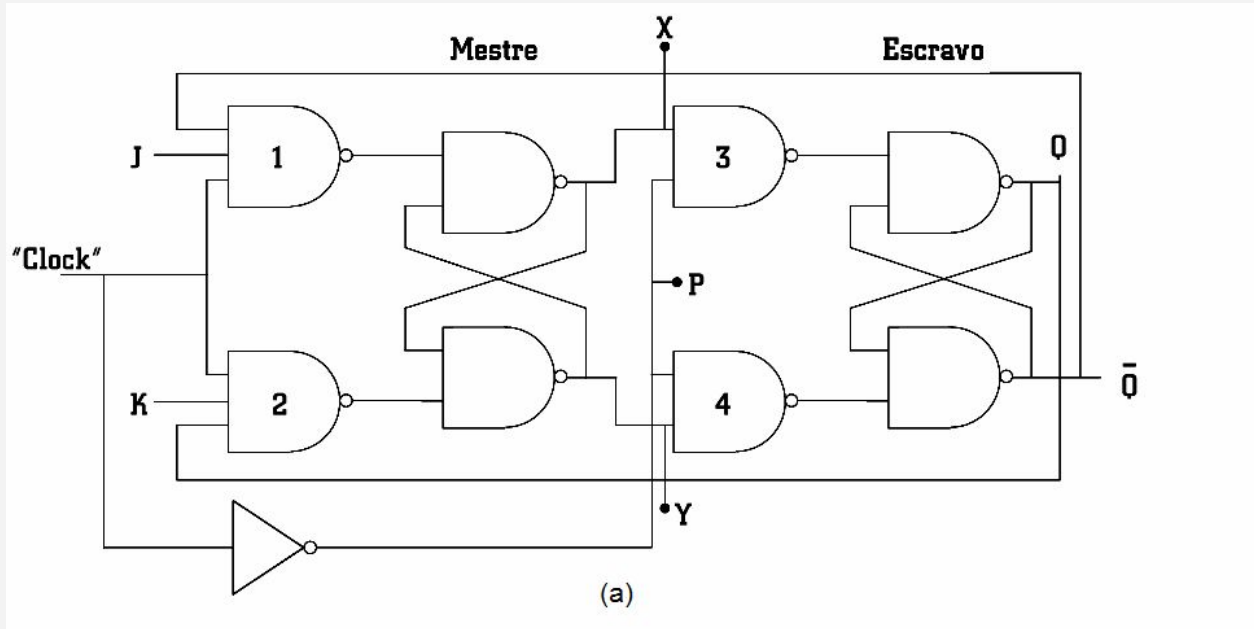


PRE	CLR	J	K	Clk	Q	\bar{Q}
0	1	X	X	X	1	0
1	0	X	X	X	0	1
1	1	X	X	0	Q_0	\bar{Q}_0
1	1	0	0	\uparrow	Q_0	\bar{Q}_0
1	1	1	0	\uparrow	1	0
1	1	0	1	\uparrow	0	1
1	1	1	1	\uparrow	\bar{Q}_0	Q_0

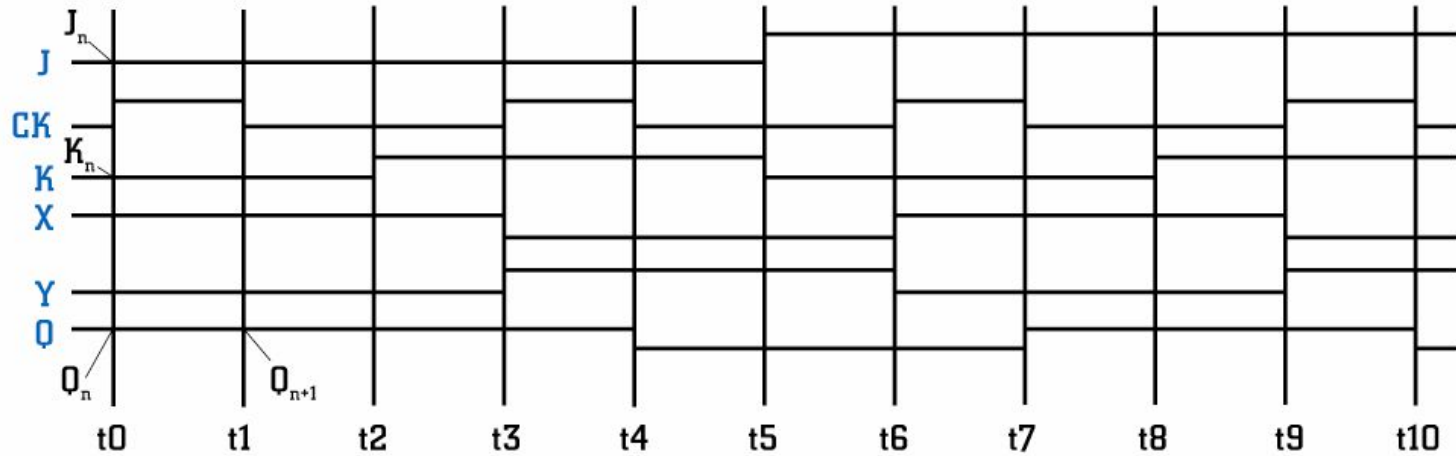
Flip-Flop J-K Master/Slave

- Esse circuito é formado por dois latches, denominados mestre (master) e escravo (slave).
- Possui a mesma tabela de combinações que o flip-flop J-K (edge-triggered), mas com convenções de tempos t_n e t_{n+1} diferentes.
- J_n , K_n e Q_n correspondem aos valores de J, K e Q no tempo imediatamente anterior a subida do pulso, enquanto Q_{n+1} corresponde a saída no tempo posterior a descida do pulso.

Flip-Flop J-K Master/Slave



Flip-Flop J-K Master/Slave



(b)

Diagrama de temporização

- Tempo de ajuste (setup) e conservação (hold)
 - Os tempos de setup (t_s) e hold (t_h) são parâmetros que devem ser observados para que o flip-flop possa trabalhar de modo confiável.
 - **setup** corresponde ao intervalo mínimo de tempo no qual as entradas devem permanecer estáveis antes da transição do clock
 - **hold** corresponde ao intervalo mínimo no qual as entradas devem permanecer estáveis depois da transição do clock

Diagrama de temporização

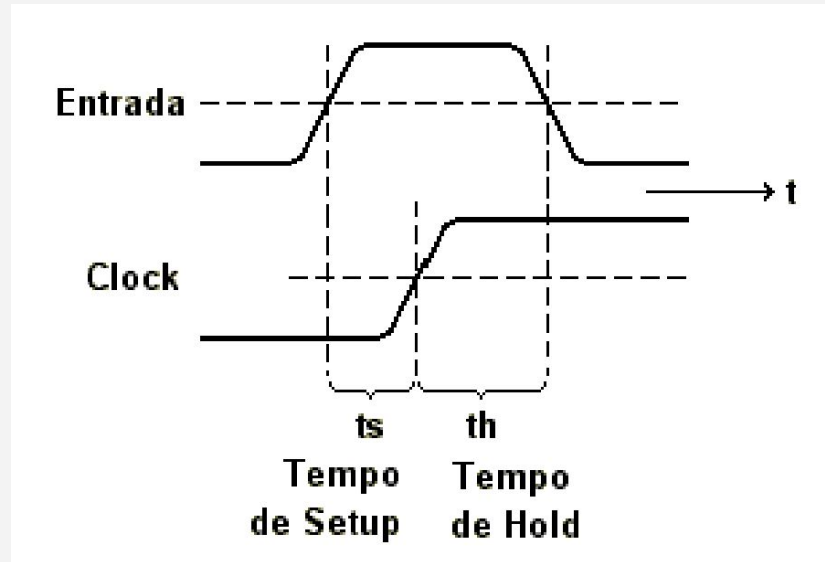
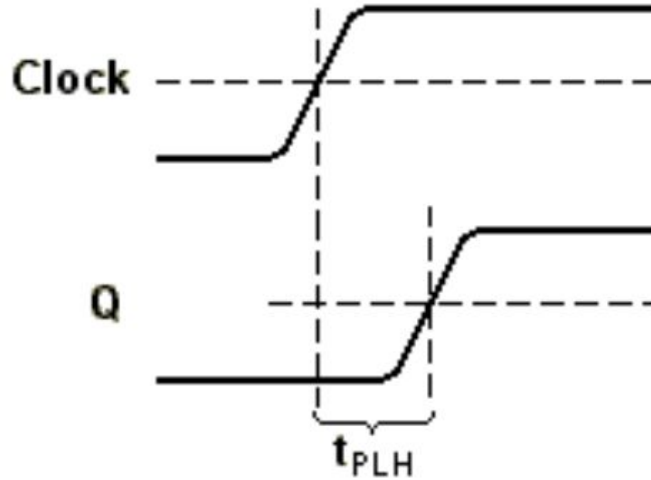


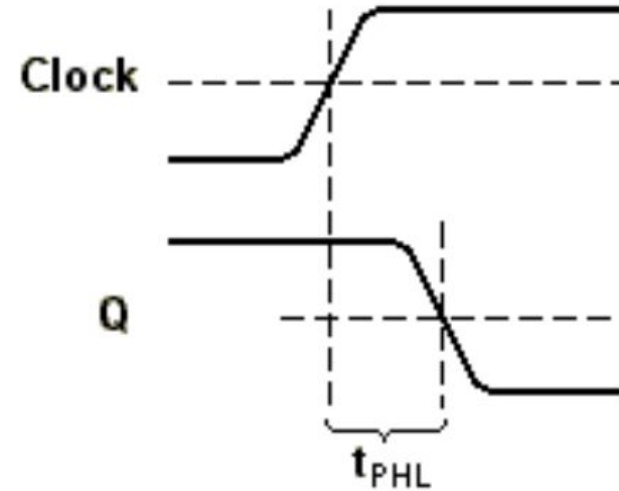
Diagrama de temporização

- Atraso de Propagação
 - O atraso de propagação é intervalo de tempo entre a aplicação de um sinal na entrada e o momento que a saída muda. Este atraso pode variar quando ocorre uma mudança de 1 para 0 (transição de descida) e 0 para 1 (transição de subida).

Diagrama de temporização



**Atraso na transição
de BAIXO para ALTO**

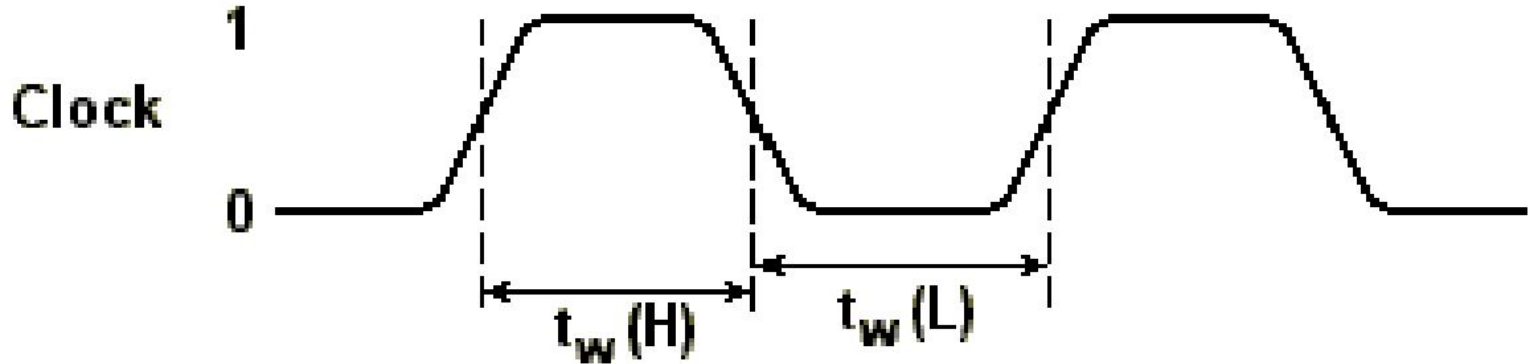


**Atraso na transição
de ALTO para BAIXO**

Diagrama de temporização

Frequência máxima de clock (f_{MAX})

Tempos de duração do clock em ALTO e BAIXO (t_{wH} e t_{wL})

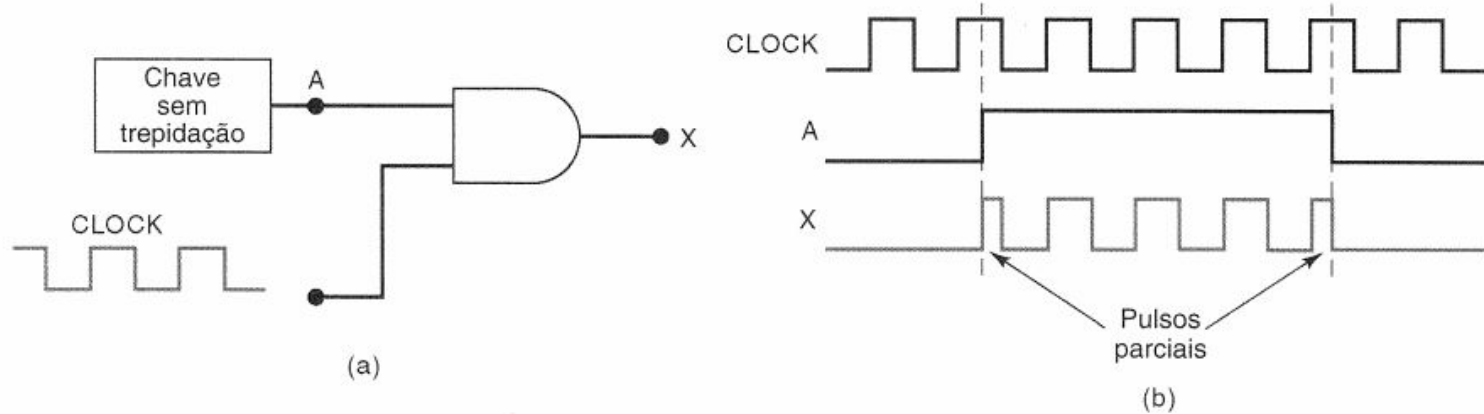


Flip-Flop - Aplicações

- Sincronização usando Flip-Flops:
 - O sinal assíncrono A pode produzir pulsos parciais em X.
 - Um flip-flop D disparado por transição negativa é usado para sincronizar a habilitação da porta AND com a descida do clock.
- Detecção de uma Sequência de Entrada:
 - Um flip-flop JK é usado para responder a uma determinada sequência de entrada.

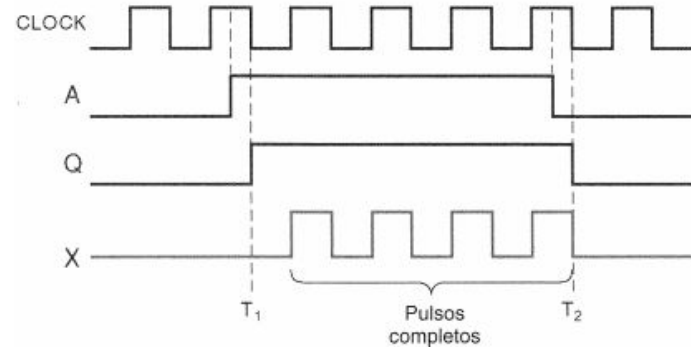
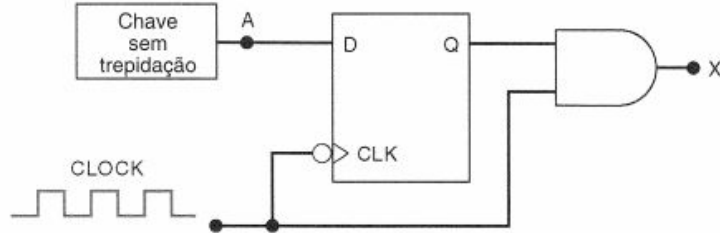
Flip-Flop - Aplicações

- Sincronização usando Flip-Flops:



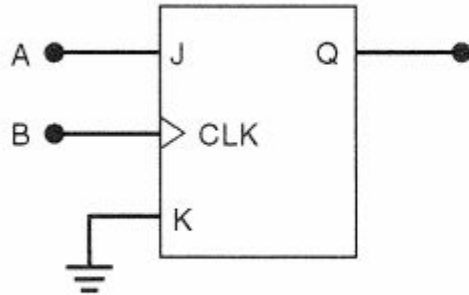
Flip-Flop - Aplicações

- Sincronização usando Flip-Flops:

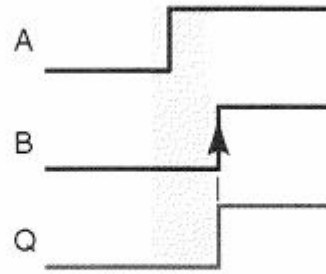


Flip-Flop - Aplicações

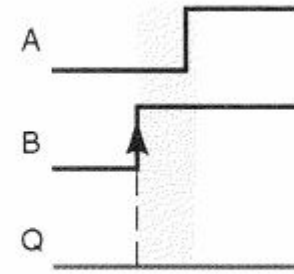
- Detecção de uma Sequência de Entrada:



(a)



(b) A vai para ALTO antes de B



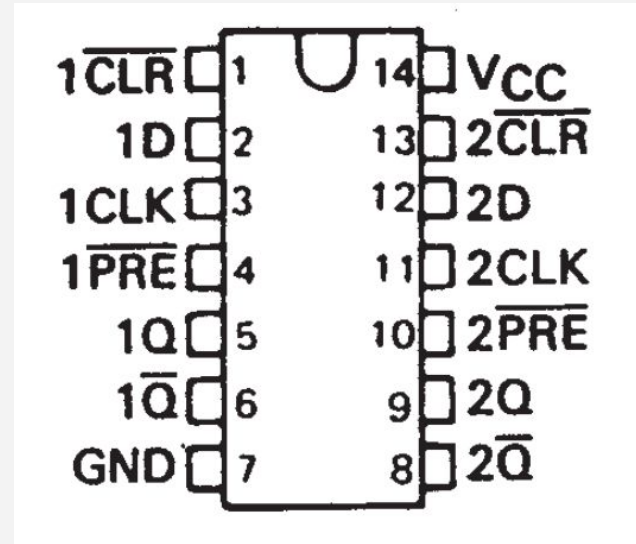
(c) B vai para ALTO antes de A

Flip-Flop - Circuitos Comerciais

- 74LS74 - DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	CLK	D	Q	$\overline{\text{Q}}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H^\uparrow	H^\uparrow
H	H	\uparrow	H	H	L
H	H	\uparrow	L	L	H
H	H	L	X	Q_0	$\overline{\text{Q}}_0$



Flip-Flop - Circuitos Comerciais

- 74LS74 - DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS

recommended operating conditions

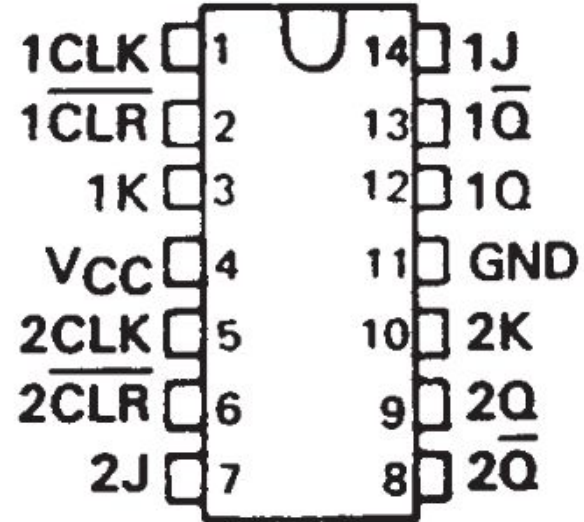
			SN5474			SN7474			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High-level input voltage		2			2			V
V _{IL}	Low-level input voltage				0.8			0.8	V
I _{OH}	High-level output current				− 0.4			− 0.4	mA
I _{OL}	Low-level output current				16			16	mA
t _w	Pulse duration	CLK high	30			30			ns
		CLK low	37			37			
		$\overline{\text{PRE}}$ or $\overline{\text{CLR}}$ low	30			30			
t _{su}	Input setup time before CLK ↑		20			20			ns
t _h	Input hold time-data after CLK ↑		5			5			ns
T _A	Operating free-air temperature		− 55 125			0 70			°C

Flip-Flop - Circuitos Comerciais

- 74LS73 - DUAL J-K FLIP-FLOPS WITH CLEAR

FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{\text{CLR}}$	CLK	J	K	Q	\overline{Q}
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q_0}$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\overline{Q_0}$



Flip-Flop - Circuitos Comerciais

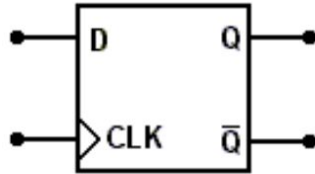
- 74LS73 - DUAL J-K FLIP-FLOPS WITH CLEAR

recommended operating conditions

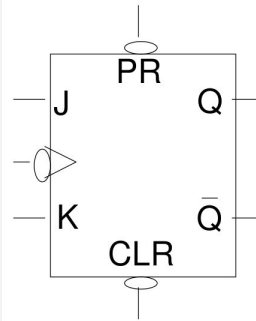
		SN5473			SN7473			UNIT		
		MIN	NOM	MAX	MIN	NOM	MAX			
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V		
V _{IH}	High-level input voltage	2			2			V		
V _{IL}	Low-level input voltage			0.8			0.8	V		
I _{OH}	High-level output current			− 0.4			− 0.4	mA		
I _{OL}	Low-level output current			16			16	mA		
t _w	Pulse duration	CLK high			20			ns		
		CLK low			47					
		$\overline{\text{CLR}}$ low			25					
t _{su}	Input setup time before CLK ↑	0			0			ns		
t _h	Input hold time data after CLK ↓	0			0			ns		
T _A	Operating free-air temperature	− 55			125			0	70	°C

RESUMO

- FLIP-FLOPS: RESUMO



D	Clk	Q	\bar{Q}
X	0	Q_0	\bar{Q}_0
0	\uparrow	0	1
1	\uparrow	1	0

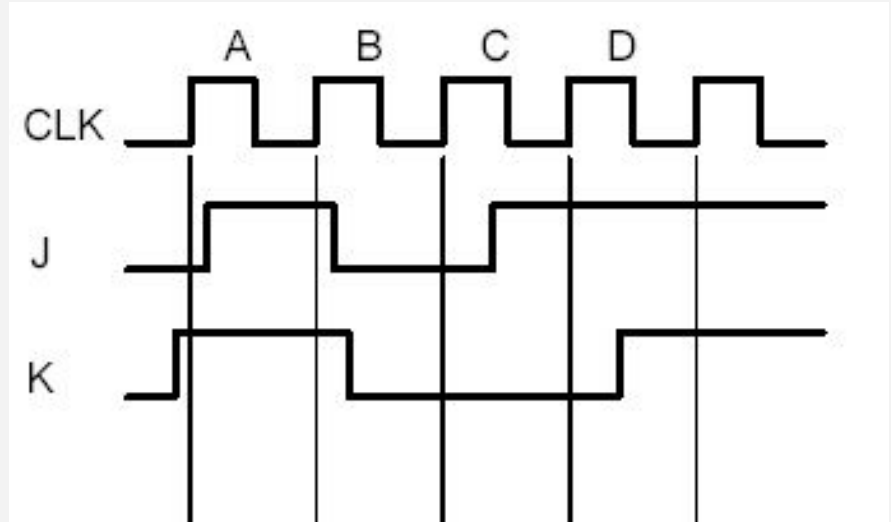


PRE	CLR	J	K	Clk	Q	\bar{Q}
0	1	X	X	X	1	0
1	0	X	X	X	0	1
1	1	X	X	0	Q_0	\bar{Q}_0
1	1	0	0	\uparrow	Q_0	\bar{Q}_0
1	1	1	0	\uparrow	1	0
1	1	0	1	\uparrow	0	1
1	1	1	1	\uparrow	\bar{Q}_0	Q_0

EXERCÍCIOS

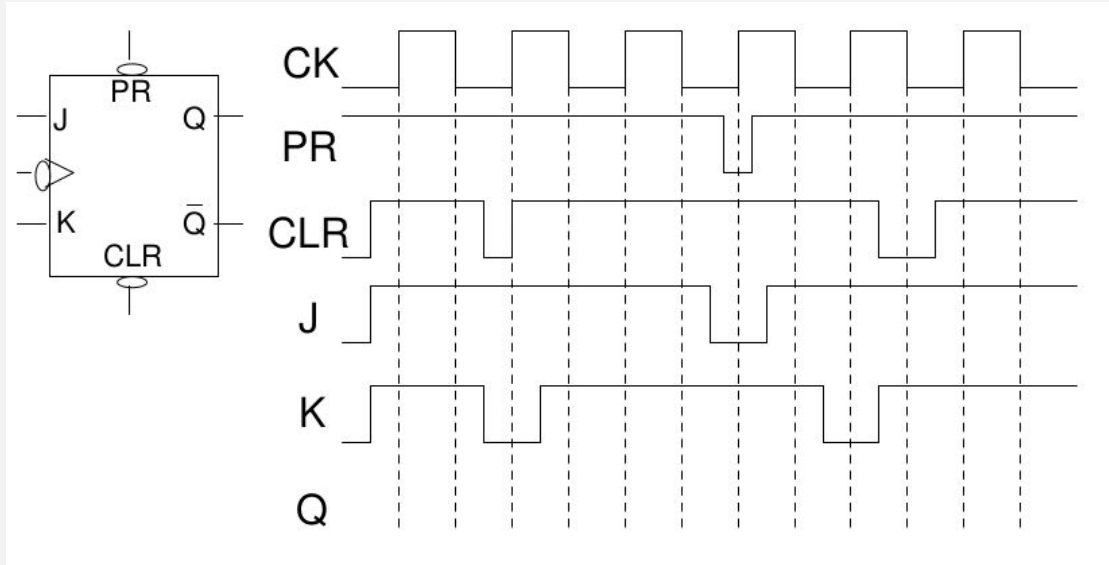
- EXERCÍCIO

As formas de onda de entrada de um Flip-Flop JK são dadas a seguir. Determine a forma de onda da saída Q considerando que o Flip-Flop é ativado na borda de subida do clock. Considere a que saída Q está inicialmente em nível alto.



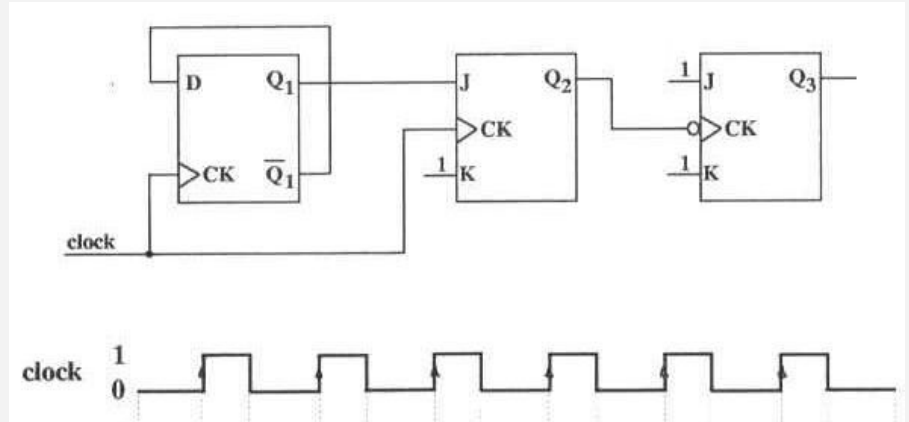
EXERCÍCIOS

Para o FF da figura abaixo, desenhe a forma de onda na saída em função dos sinais aplicados



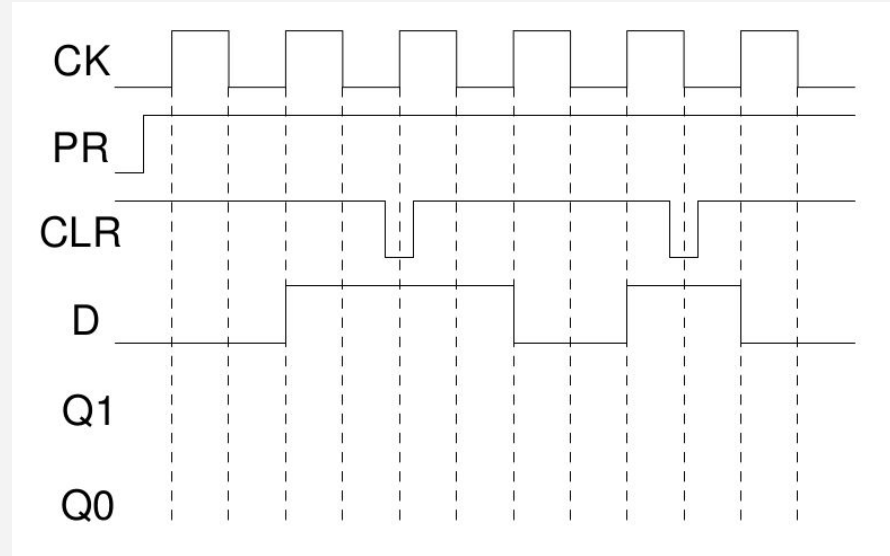
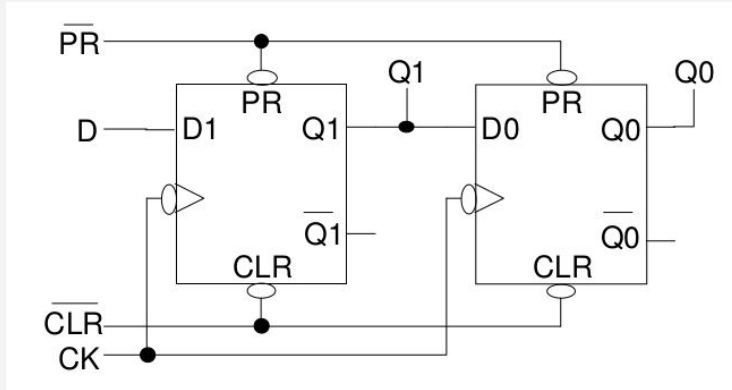
EXERCÍCIOS

- EXERCÍCIO
- Derive as saídas Q1, Q2 e Q3:



EXERCÍCIOS

Para o circuito da figura abaixo, desenhe as formas de onda nas saídas Q1 e Q0 em função dos sinais aplicados.





Aula 07 - Latches e Flip-Flops

Circuitos Digitais - CRT 0384

Prof. Rennan Dantas

Ciência da Computação

2020.1