

[View on GitHub](#)

Circuitos Digitais

Repo of Digital Circuits course - CRT0384

PRÁTICA 09 - MÁQUINAS DE ESTADO FINITOS - Máquina de Moore

[Voltar à home](#)

OBJETIVOS

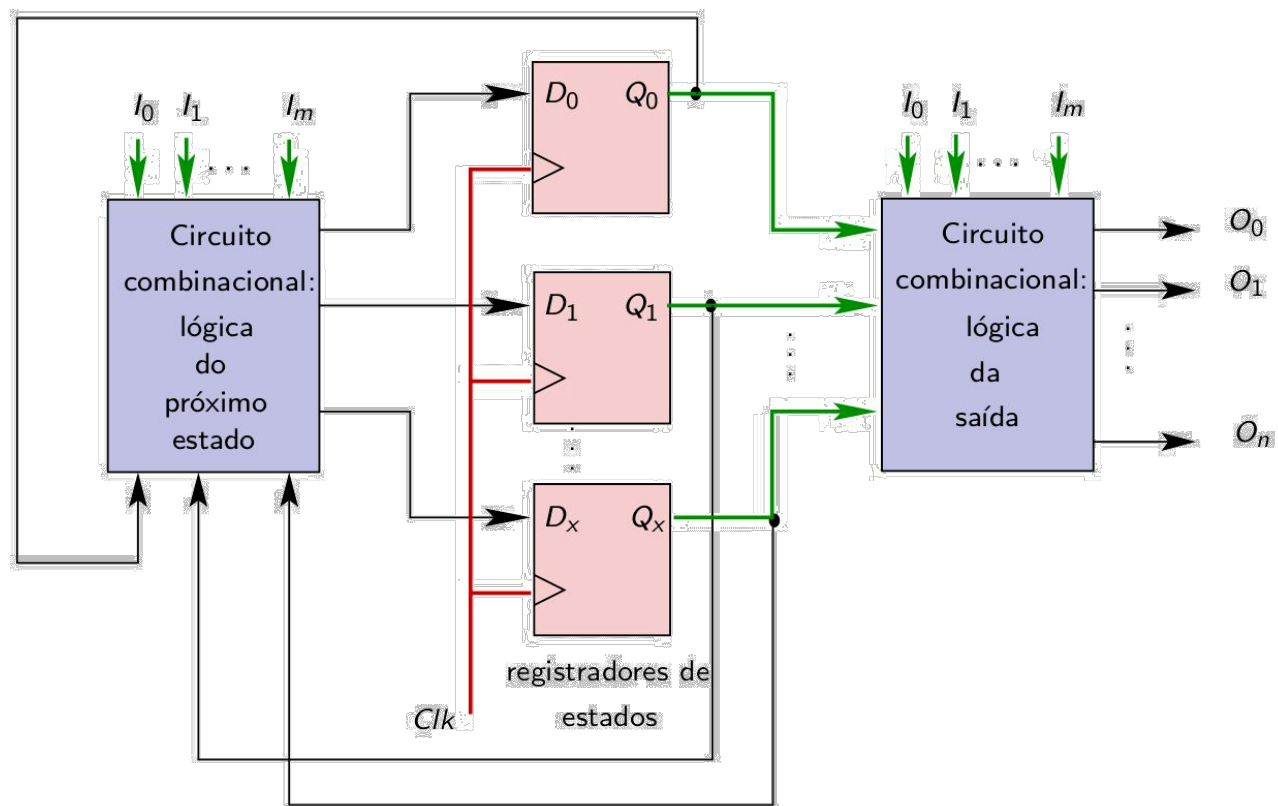
- Projeto e implementação de uma máquina de estados finitos usando flip-flops e portas lógicas

Material Necessário:

- 02 TTL SN74HC74;
- Portas lógicas AND/OR/NOT/NAND/NOR
- Kit Digital

Máquina de estados finitos é o nome dado ao modelo genérico de circuitos sequenciais, como os contadores síncronos. Nesses circuitos, a saída depende das entradas e do estado atual, que corresponde a um conjunto de variáveis binárias denominadas variáveis de estado.

Um dos modelos de MEF utilizados é o modelo de Moore, mostrado a seguir:



O procedimento genérico para a síntese de uma MEF consiste em:

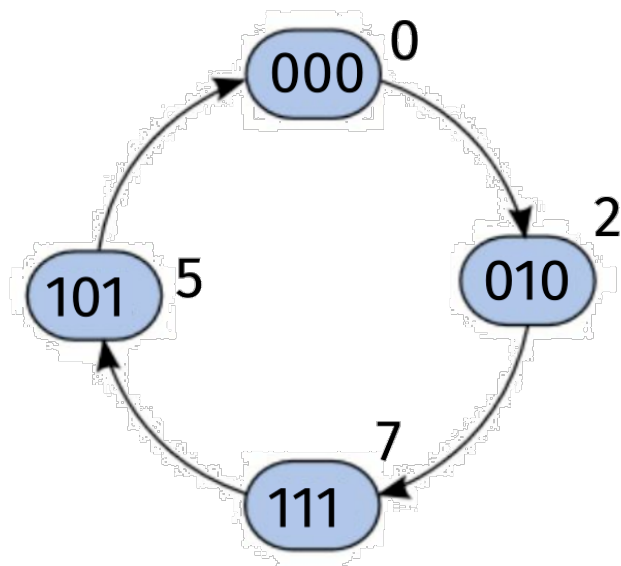
- Determinar quantos estados são necessários e selecionar um deles para estado inicial.
- Realizar a codificação dos estados, obtendo as variáveis de estado.
- Definir o tipo de flip-flop a ser utilizado
- Construir o diagrama de estados escolhendo um dos modelos (Moore ou Mealy) e determinando as condições para as transições entre estados.
- Construir a tabela do próximo estado, a tabela de excitações e a tabela das saídas.
- Sintetizar os circuitos combinacionais: lógica do próximo estado e

saída.

PARTE 1 - PRÁTICA - SÍNTESE DE UMA MEF de Moore

Projete um contador utilizando máquina de estados para a seguinte sequência irregular de quatro estados: 000, 010, 111, 101 e, em seguida, volte ao estado inicial. Escreva a tabela de excitação e de próximo estado e represente a lógica de transição de estados e da saída. Utilize o mapa-K para determinar as expressões lógicas de Y_2 , Y_1 e Y_0 .

OBS: utilizar modelo de Moore e FFs tipo D



OBS: Lembre-se que no reset (clear), Q_2 , Q_1 e Q_0 são zerados, portanto, ligue o preset e clear juntos para iniciar a contagem.

ESTADO ATUAL PRÓXIMO ESTADO SAÍDA ————— $Q_2 \sim Q_1 \sim Q_0 \sim Q_2^* \sim Q_1^* \sim Q_0^* \sim Y_2 Y_1 Y_0$

PRÓXIMO ESTADO $Q_0 \rightarrow D_0$ PRÓXIMO ESTADO $Q_1 \rightarrow D_1$ —————
 $Q_2 \sim Q_1 \sim Q_0 \sim Q_2^* \sim Q_1^* \sim Q_0^* \sim Y_2 Y_1 Y_0$

$Q_2 \sim Q_1$

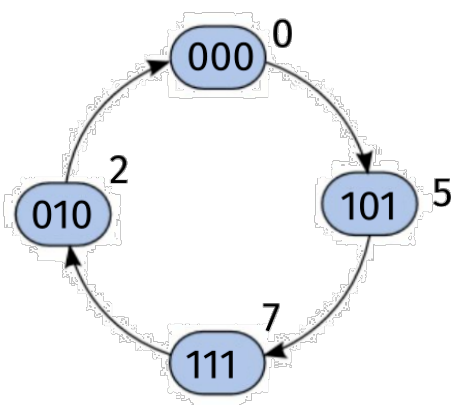
###

PRÓXIMO ESTADO $Q_2 \rightarrow D_2$ EQUAÇÕES DE SAÍDA $Y_2 Y_1 Y_0$ —————
 $Q_2 \sim Q_1 \sim Q_0 \sim Q_2^* \sim Q_1^* \sim Q_0^* \sim Y_2 Y_1 Y_0$

$Q_2 \sim Y_0$

PARTE 2 - MODIFICAÇÃO DA MEF

Modifique a MEF da parte 1 para que a contagem seja feita no sentido contrário, conforme diagrama a seguir:



ESTADO ATUAL PRÓXIMO ESTADO SAÍDA ————— $Q_2 \sim Q_1 \sim Q_0 \sim Q_2^* \sim Q_1^* \sim Q_0^* \sim Y_2 Y_1 Y_0$

PRÓXIMO ESTADO $Q_0 \rightarrow D_0$ PRÓXIMO ESTADO $Q_1 \rightarrow D_1$ —————
 $Q_2 \sim Q_1 \sim Q_0 \sim Q_2^* \sim Q_1^* \sim Q_0^* \sim Y_2 Y_1 Y_0$

$Q_2 \sim Q_1$

###

PRÓXIMO ESTADO $Q_2 \rightarrow D_2$ EQUAÇÕES DE SAÍDA $Y_2 Y_1 Y_0$ —————
 $Q_2 \sim Q_1 \sim Q_0 \sim Q_2^* \sim Q_1^* \sim Q_0^* \sim Y_2 Y_1 Y_0$

$$\overline{Q_0} \wedge Q_1 \wedge Y_1$$
$$Q_2 Y_0$$

DATASHEET 74HC74 FLIP-FLOP TIPO D

5 Pin Configuration and Functions

N, NS, D, DB, PW, J, or W Package
14-Pin PDIP, SO, SOIC, SSOP, TSSOP, CDIP, or CFP
Top View

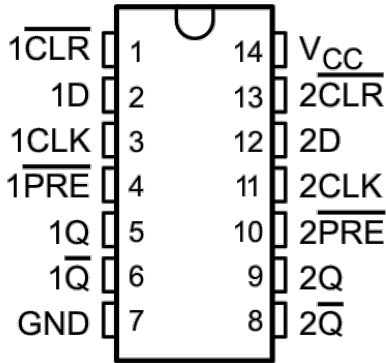


Table 1. Function Table

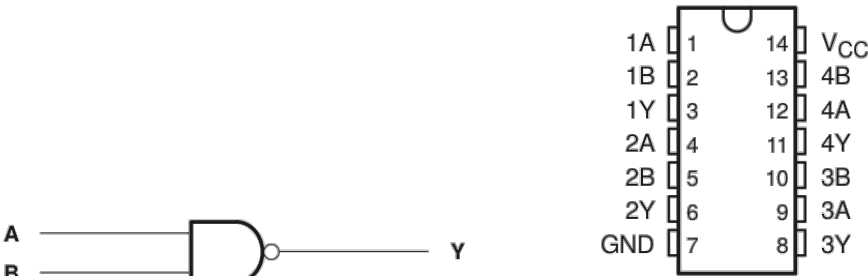
INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	Q̄ ₀

(1) This configuration is nonstable; that is, it does not persist when PRE or CLR returns to its inactive (high) level.

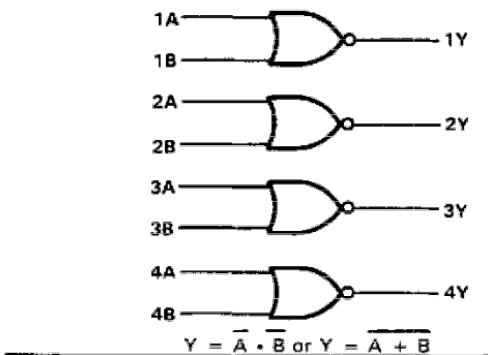
Cls Lógicos: 74HC04 (6-NOT), 74HC08 (4-AND), 74HC32 (4-OR)

7400 - NAND

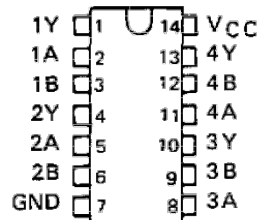
SN5400 . . . J PACKAGE
SN54LS00, SN54S00 . . . J OR W PACKAGE
SN7400, SN74S00 . . . D, N, OR NS PACKAGE
SN74LS00 . . . D, DB, N, OR NS PACKAGE
(TOP VIEW)



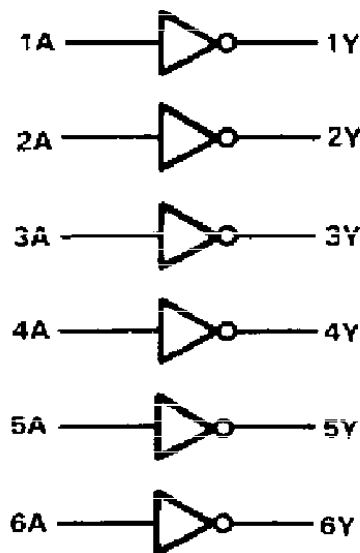
7402 - NOR

logic diagram (positive logic)

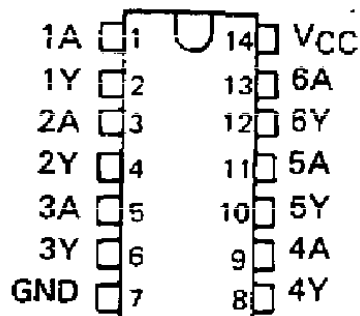
SN5402 . . . J PACKAGE
 SN54LS02, SN54S02 . . . J OR W PACKAGE
 SN7402 . . . N PACKAGE
 SN74LS02, SN74S02 . . . D OR N PACKAGE
 (TOP VIEW)



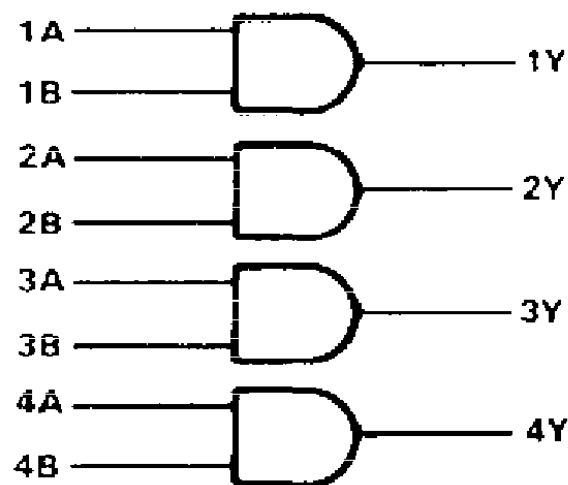
74HC04 - NOT

logic diagram (positive logic)

SN5404 . . . J PACKAGE
 SN54LS04, SN54S04 . . . J OR W PACKAGE
 SN7404 . . . N PACKAGE
 SN74LS04, SN74S04 . . . D OR N PACKAGE
 (TOP VIEW)



74HC08 - AND

logic diagram (positive logic)

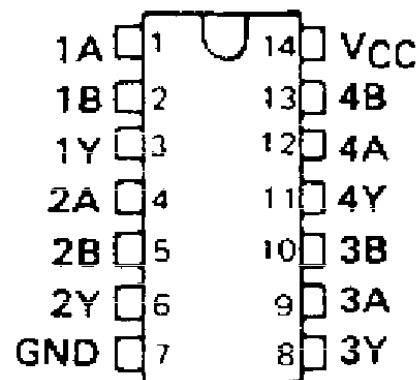
$$Y = A \cdot B \text{ or } Y = \overline{\overline{A} + \overline{B}}$$

SN5408, SN54LS08, SN54S08 . . . J OR W PACKAGE

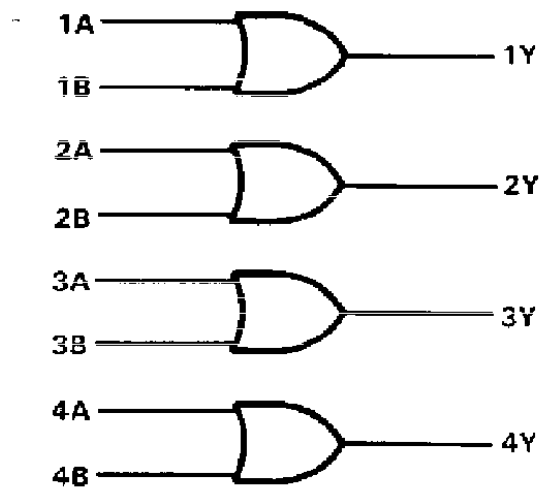
SN7408 . . . J OR N PACKAGE

SN74LS08, SN74S08 . . . D, J OR N PACKAGE

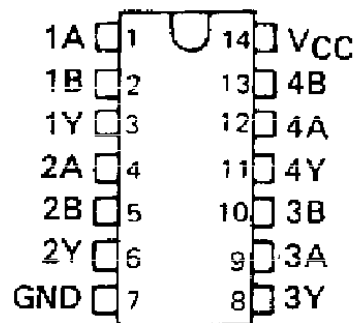
(TOP VIEW)



74HC32

logic diagram**positive logic**

$$Y = A + B \text{ or } Y = \overline{\overline{A} \cdot \overline{B}}$$

SN5432, SN54LS32, SN54S32 . . . J OR W PACKAGE**SN7432 . . . N PACKAGE****SN74LS32, SN74S32 . . . D OR N PACKAGE****(TOP VIEW)**Circuitos Digitais maintained by [marcielbp](https://marcielbp.github.io)Published with [GitHub Pages](https://github.com/marcielbp/Circuits)