

CT Praktikum: Buszyklen

1 Einleitung

Ein Logic Analyzer dient dazu, den Zeitverlauf von digitalen Signalen zu erfassen und darzustellen. Gegenüber einem reinen Oszilloskop können wesentlich mehr Eingänge erfasst werden. Es werden allerdings keine analogen Signalpegel, sondern nur die digitalen Logikpegel 0/1/*undefiniert* erfasst und angezeigt.

In diesem Praktikum analysieren Sie den zeitlichen Verlauf von Zugriffen auf dem Speicherbus mit Hilfe der Logic Analyzer Funktionalität des Tektronix Oszilloskops.

Die Messungen erfolgen am externen, synchronen Bus des STM32F4xx. Es wird ein 16-Bit breiter Datenbus verwendet. Die Signale und Abläufe entsprechen dem in der Vorlesung präsentierten Systembus.

Dokumentieren Sie Ihre Resultate mit Hilfe von Screenshots direkt in diesem Dokument.

2 Lernziele

- Sie können den zeitlichen Verlauf von Bussignalen mit einem einfachen Logic Analyzer messen und interpretieren.
- Sie können erklären, wie der synchrone Speicherbus funktioniert.
- Sie können den Einfluss Ihrer Software auf die Buszyklen erkennen.

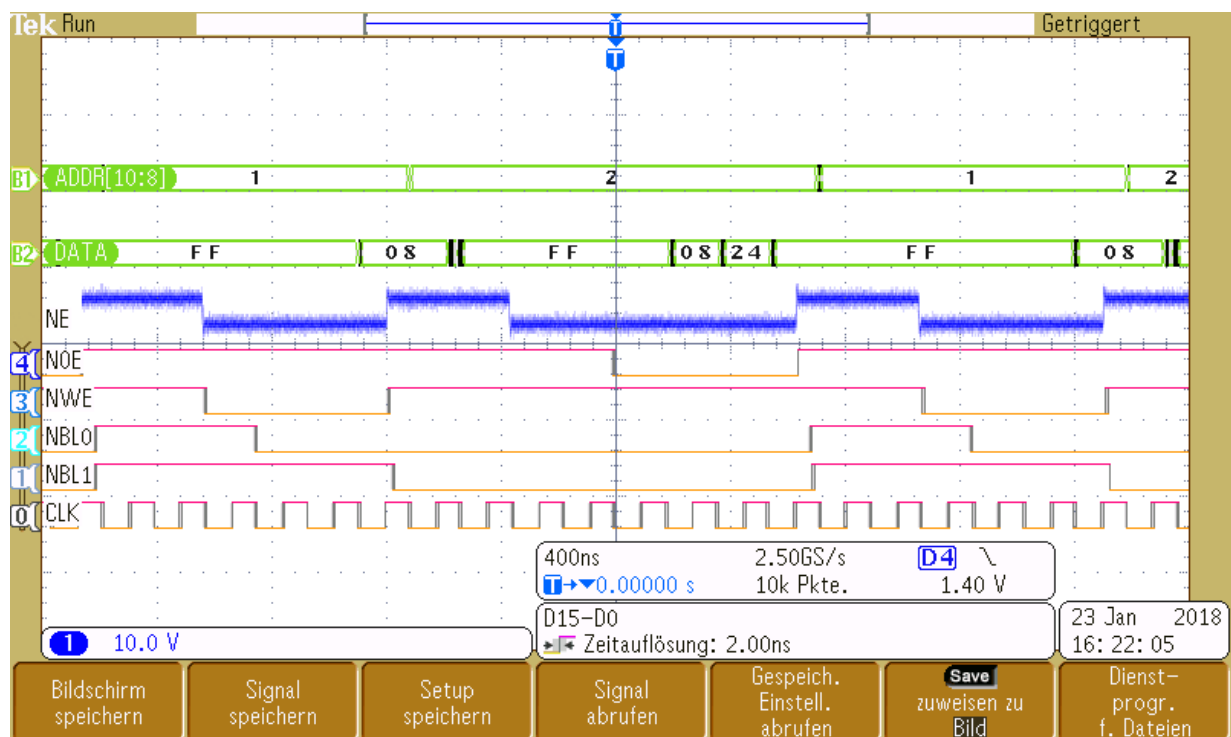


Abbildung 1 Plot Busszugriff

3 Vorbereitung

3.1 Aufbau CT Board

Die nachfolgende Abbildung zeigt den Aufbau des CT Boards.

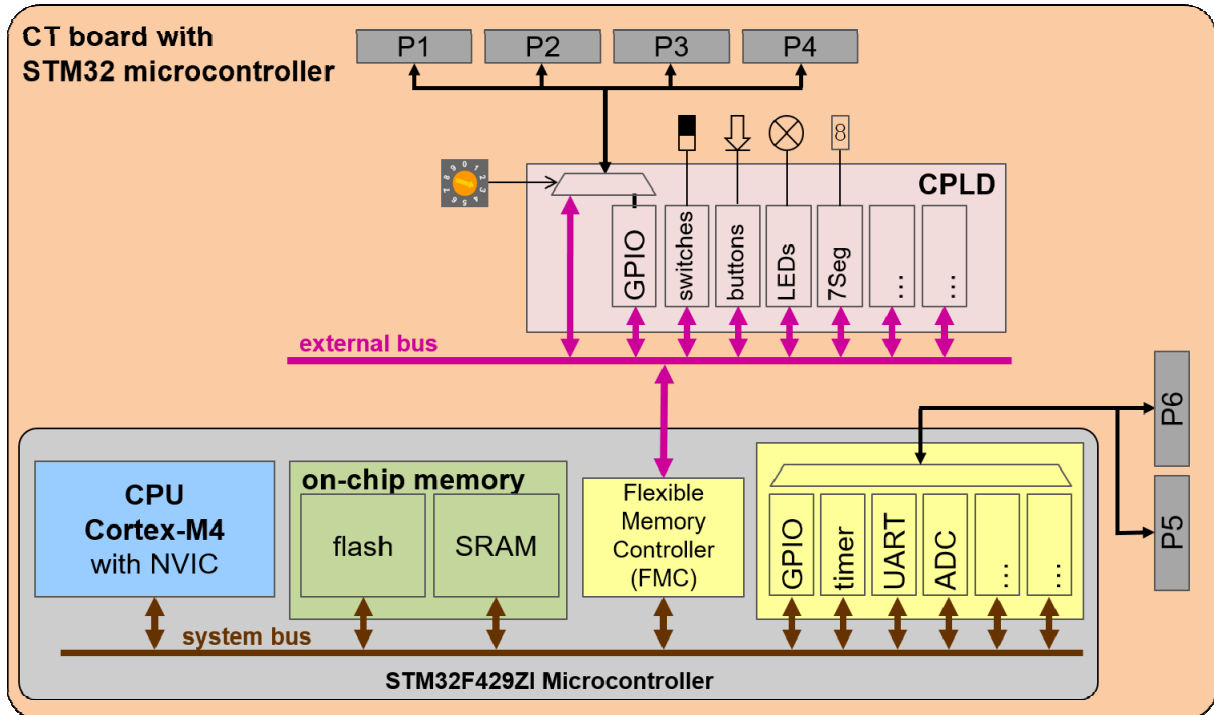
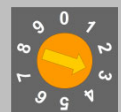


Abbildung 2 Aufbau des CT-Boards

In *Modus 3* schaltet das CT Board den externen Speicherbus auf die Stecker P1 bis P4. Die genaue Belegung in diesem Modus ist im CT Board Wiki (<https://ennis.zhaw.ch>) beschrieben.

Für dieses Praktikum muss das CT Board in *Modus 3* betrieben werden!



3.2 Anschluss Logic Analyzer an CT Board

Die Oszilloskope verfügen neben den 4 analogen Kanälen über 16 digitale Logic Analyzer Kanäle. Die analogen und digitalen Kanäle können gleichzeitig genutzt werden.

Bei diesem Praktikum werden die 16 digitalen Kanäle für die folgenden Signale benutzt:

- | | | |
|-----------------|----------------|-----------------------------------------------|
| • Kanal D0 | CLK | Clock |
| • Kanal D1 | NBL1 | Byte Lane 1 (active-low)
Upper byte enable |
| • Kanal D2 | NBL0 | Byte Lane 0 (active-low)
Lower byte enable |
| • Kanal D3 | NWE | Write Enable (active-low) |
| • Kanal D4 | NOE | Output Enable (active-low) |
| • Kanal D7...5 | A[10:8] | Address Bits 10...8 |
| • Kanal D15...8 | D[7:0] | Data Bits 7...0 |
| (oder) | D[15:8] | Data Bits 15...8 |

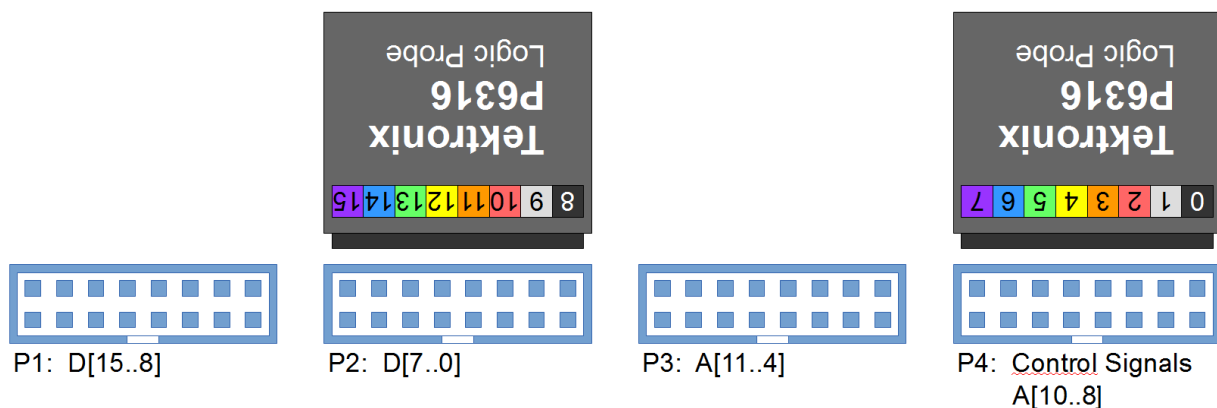


Abbildung 3 Anschluss der digitalen Kanäle an das CT-Board

Aufgrund der beschränkten Anzahl Kanäle des Logic Analyzers können nicht alle Daten- und Adressleitungen gleichzeitig angeschaut werden. Bei Bedarf werden die einzelnen Logic Probes umgesteckt.

Die analogen Kanäle werden für die folgenden Signale benutzt:

- Kanal 1 **NE** Chip Enable (active-low) Abgriff bei Pin PD7 auf Discovery Board

Abbildung 4 zeigt wie die digitalen und analogen Kanäle an das CT-Board angeschlossen werden.

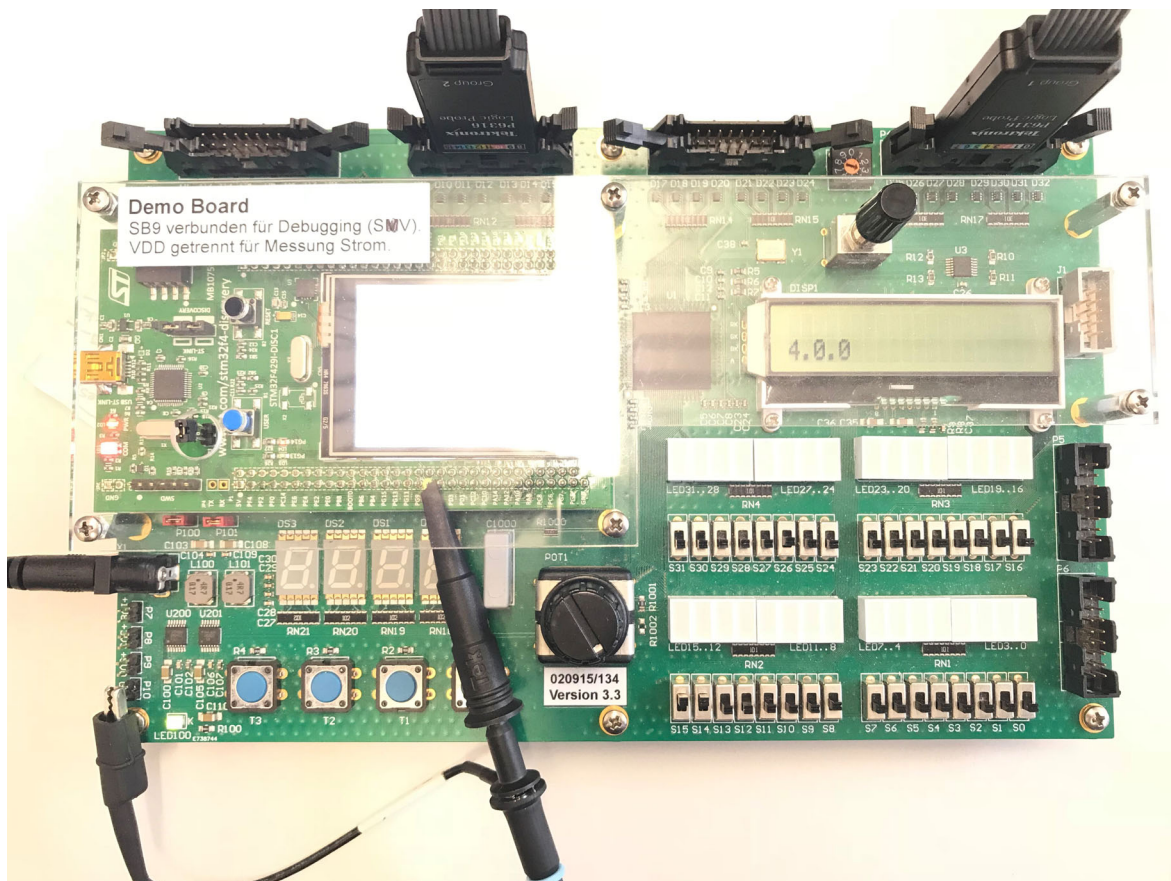


Abbildung 4 Anschluss der digitalen und analogen Kanäle an das CT-Board

3.3 Einstellungen am Oszilloskop/Logic Analyzer

Abbildung 5 zeigt die Bedienelemente des Oszilloskops / Logic Analyzers.

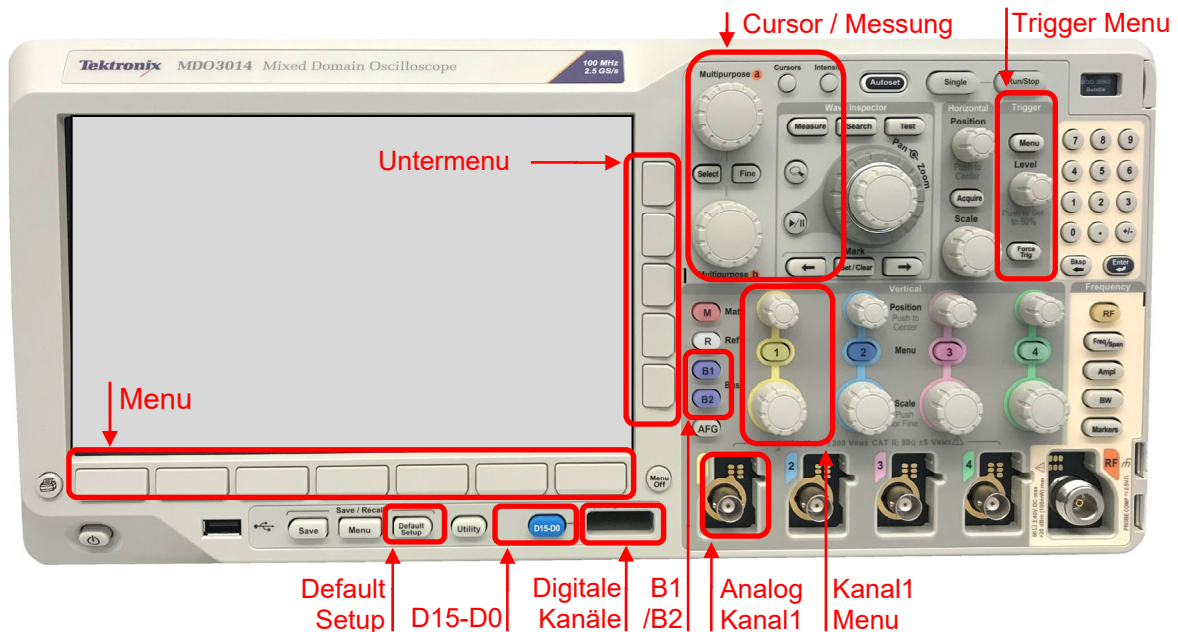


Abbildung 5 Bedienelemente Oszilloskop

Das Oszilloskop hat keine 'enter' oder 'return' Taste. In der Regel können Sie nach einer Eingabe einfach mit "Menu Off" das Menu wegschalten.

Die Amplitude der angezeigten Signale können Sie einstellen. Mit der blauen "D15-D0" Taste gelangen Sie zum Punkt "Height". Wählen Sie 'L' für Large.

Signale auf Bildschirm anordnen:

Blaue Taste "D15-D0", danach Menüpunkt "D15-D0 On/Off" drücken, Signal **D4-D0** mit Drehschalter 'a' auswählen (ganz nach unten scrollen) und mit Drehschalter 'b' alle Signale zusammen (**D4-D0**) nach unten oder oben positionieren.

Violette Taste "B1" oder "B2", danach mit Drehschalter 'a' nach unten oder oben positionieren

Sie können Ihre Einstellungen auf einem USB Stick speichern und später wieder zurückladen.

Speichern: Taste "Menu" → "Save Setup" → "To File"

Laden: Taste "Menu" → "Recall Setup" → "From File"

Setzen Sie das Gerät in den Grundzustand:

- Drücken Sie die Taste „Default Setup“ mittig unterhalb des Bildschirms.

Es wird nun nur noch Kanal 1 (gelbe Linie) angezeigt.

- Stellen Sie die Zeitauflösung auf 400ns/div ein. (Drehschalter „Scale“ rechts mittig)

Anzeige Control Signal NE

- Stellen Sie die Auflösung des Kanal 1 auf 5V/div.

(Drehschalter unter der gelben Taste mit der Aufschrift „1“).

Anzeige Control Bus

- Drücken Sie die blaue Taste „D15-D0“ rechts unterhalb des Bildschirms.
- Im sich nun öffnenden Menu nehmen sie folgende Einstellungen vor:
 - D15-D0 On/Off: Kanäle **D0** bis **D4** auf On setzen
 - Thresholds: auf 1.4 Volt stellen
 - Edit Labels: Kanäle **D0** bis **D4** entsprechend Abschnitt 3.2 beschriften.
(Mit Curser *Multipurpose a* Buchstabe anvisieren und mit *Enter Character* auswählen)

Anzeige Address Bus

- Drücken Sie die violette Taste „B1“ rechts neben dem Bildschirm.

Im sich öffnenden Menu nehmen sie folgende Einstellungen vor:

- Bus B1: Parallel wählen
- Define Inputs: Clocked Data: No
Number of Data Bits: 3
Define Bits: **D7** bis **D5** (LSB)
- Thresholds: Alle auf 1.4 Volt stellen
- B1 Label: **ADDR [10 : 8]**
- Bus Display: Hex

Anzeige Data Bus

- Drücken Sie die violette Taste „B2“ rechts neben dem Bildschirm.

Im sich öffnenden Menu nehmen sie folgende Einstellungen vor:

- Bus B2: Parallel wählen
- Define Inputs: Clocked Data: No
Number of Data Bits: 8
Define Bits: **D15** bis **D8** (LSB)
- Thresholds: Alle auf 1.4 Volt stellen
- B2 Label: **DATA**
- Bus Display: Hex

Trigger

Damit das Bild stabil bleibt, muss der Trigger eingestellt werden. Wir triggern auf das **NOE** Signal. Das heisst, die Flanke von high nach low ist immer am gleichen Ort:

- Drücken Sie die graue Taste „Trigger Menu“ rechts am Oszilloskop.

Im sich nun öffnenden Menu nehmen sie folgende Einstellungen vor:

- Type: Edge
- Source: **D4**
- Slope: Falling Edge
- Level: 1.4 Volt

4 Aufgabenstellung

Machen Sie sich mit dem C-Programm zu diesem Praktikum vertraut. Es lässt sich mittels **#defines** unterschiedlich konfigurieren.

4.1 Halfword Zugriffe

- Wählen Sie **MODE_16BIT** aus.

In diesem Modus wird jeweils ein Halfword von den DIP Switches S15..0 gelesen und an die LEDs 15..0 geschrieben.

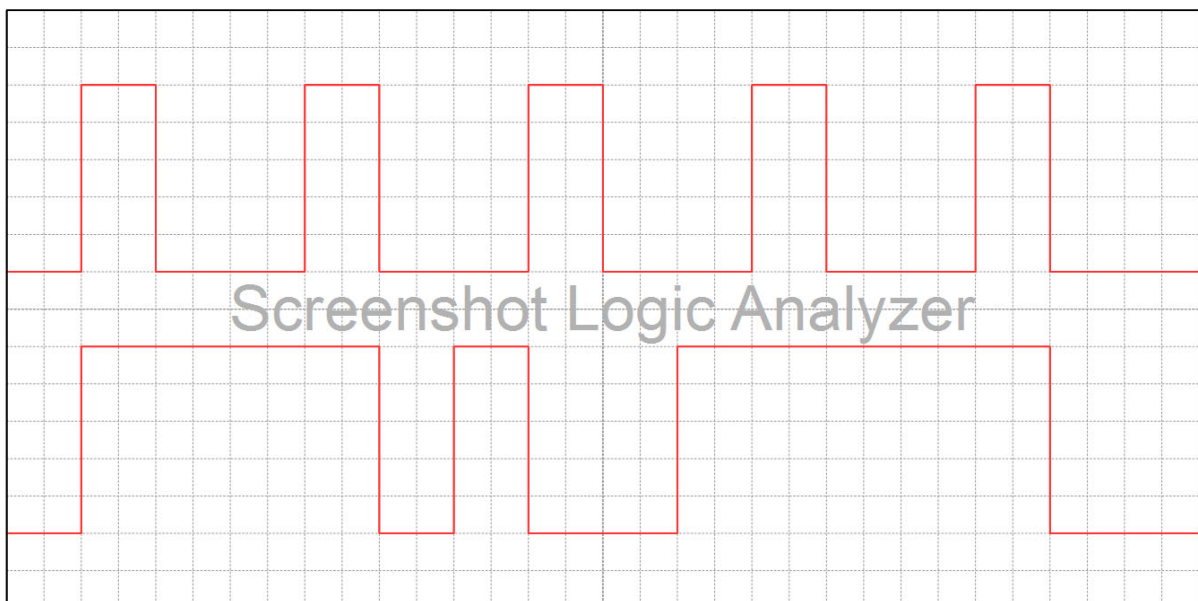
```
//#define MODE_8BIT_EVEN
//#define MODE_8BIT_ODD
#define MODE_16BIT
//#define MODE_32BIT
```

- Analysieren Sie mit Hilfe des Logic Analyzers die verschiedenen Zugriffe:
 - Suchen Sie den Read und den Write Zyklus.
 - Probieren Sie verschiedene DIP Switch Stellungen.

Screenshots

Sie können entweder den Bildschirm des Logic Analyzer mit einem Smartphone abfotografieren oder einen Screenshot direkt mit dem Logic Analyzer erstellen (Anhang A). Ersetzen Sie den Platzhalter (unten) durch einen Screenshot.

- Markieren und beschriften Sie im Screenshot den Read und den Write Cycle.
- Zeichnen Sie die Timeslots gemäss den Vorlesungsfolien ein.



Werte auf dem Bus

Tragen Sie die entsprechenden Werte (in Hex) in die folgende Tabelle ein. Bei den Adressen gehen Sie dafür von den am Logic Analyzer angezeigten Signalen **ADDR[10:8]** aus und schliessen Sie mit Hilfe des Programmes auf die Werte der anderen Leitungen. Für die Datenwerte führen Sie zwei Messungen durch. Einmal hängen Sie die Probe am tieferen Busteil und einmal am höheren Busteil an.

Read Cycle			
Adresse (32-bit)		Daten (16-bit)	

Write Cycle			
Adresse (32-bit)		Daten (16-bit)	

Die Datenwerte hängen von den Schalterstellungen der DIP Switches ab.

Beim Read Cycle erscheinen im Timeslot T5 zusätzlich die Daten der nachfolgenden Speicheradresse. Diese werden bei einem Zugriff auf ein Halfword (wie in diesem Fall) durch die CPU ignoriert. Im Falle eines Zugriffs auf ein Word, würden diese ebenfalls eingelesen. Da auf dem Bus kein gesondertes Kontrollsignal für die Unterscheidung von Halfword und Word Zugriffen existiert, fährt die CPU den gleichen Buszyklus und ignoriert im ersten Fall die hinteren Daten. D.h. das CPLD weiss nicht, ob es 16-bit Daten oder 32-bit Daten liefern muss. Das CPLD liefert daher immer 32-bit.

Das Verhalten im Write Cycle ist anders, da dort der Zyklus kürzer ist. Das Signal NE wechselt mit der steigenden Clockflanke im Zyklus T4 auf high. Die CPU benötigt beim Write Fall im Gegensatz zum Read Fall keine zusätzliche Zeit, um die Daten einzulesen.

4.2 Byte Zugriffe

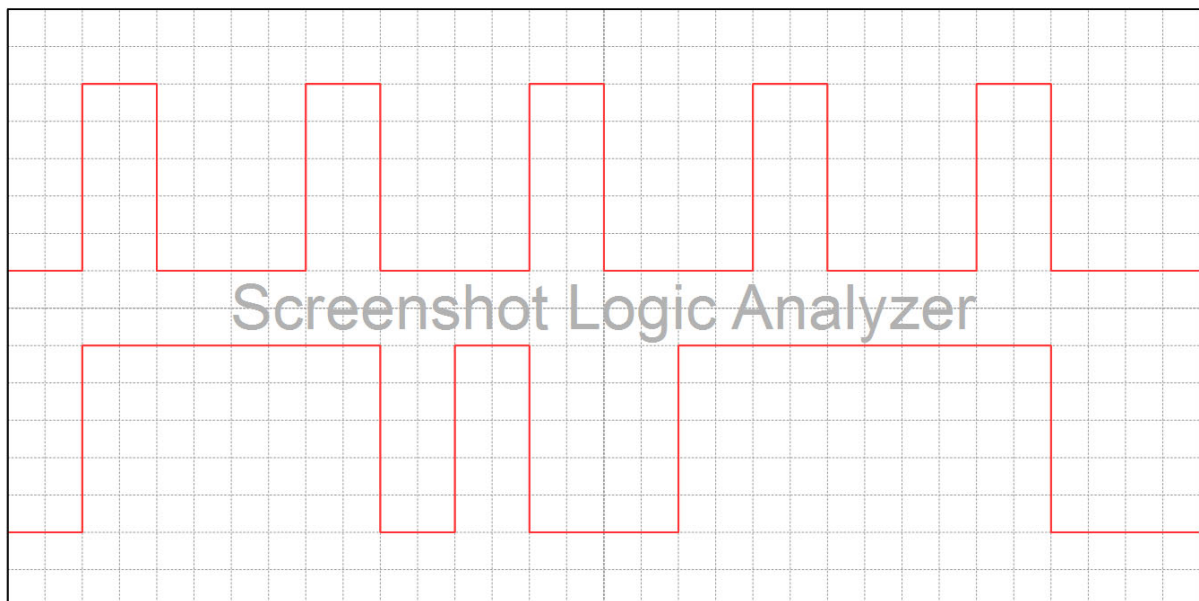
- Wählen Sie **MODE_8BIT_EVEN** aus.
In diesem Modus wird jeweils ein Byte gelesen und geschrieben.

```
#define MODE_8BIT_EVEN
//#define MODE_8BIT_ODD
//#define MODE_16BIT
//#define MODE_32BIT
```

- Suchen Sie die Buszugriffe.

Was hat sich gegenüber dem Halfword Zugriff verändert?

- Ersetzen Sie den Platzhalter (unten) durch einen Screenshot.
- Markieren und beschriften Sie den Read und den Write Cycle im Screenshot.



Das Programm liest die Werte der DIP Switches S7..0 ein und gibt diese auf LEDs7..0 aus.

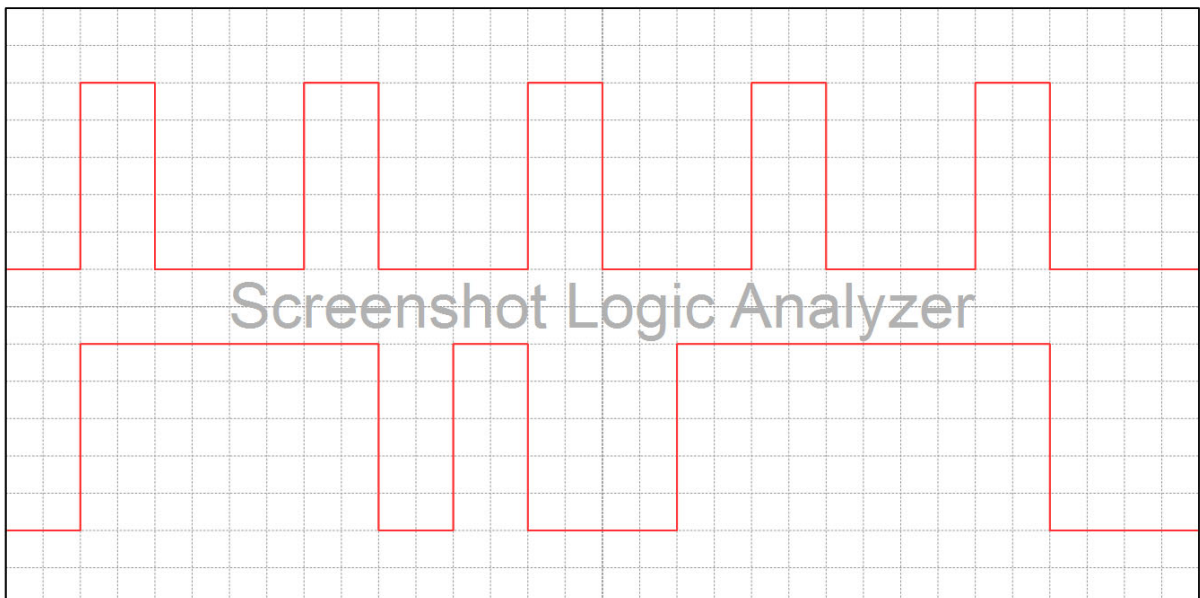
- Stellen Sie das Programm um auf **MODE_8BIT_ODD**:

```
//#define MODE_8BIT_EVEN
#define MODE_8BIT_ODD
//#define MODE_16BIT
//#define MODE_32BIT
```

Was hat sich gegenüber **MODE_8BIT_EVEN geändert?**

Auf welchen Busleitungen werden die Daten übertragen?

- Ersetzen Sie den Platzhalter (unten) durch einen Screenshot.
- Markieren und beschriften Sie den Read und den Write Cycle im Screenshot. Stellen Sie sicher, dass der Datenbus den korrekten Wert anzeigt.



Erklären Sie, wie der Microcontroller signalisiert, welche Datenleitungen gültig sind?

Was könnte der Grund sein, dass beim Read Zyklus keine Byte Signalisierung erfolgt?

- Markieren Sie in beiden Screenshots zum Byte Zugriff die entsprechenden Signale.

Das Programm liest die Werte der DIP Switches S15..8 ein und gibt diese auf LEDs 15..8 aus.

Beim Bytezugriff werden die Daten jeweils auf einer Hälfte des Datenbusses durch den Empfänger ignoriert. D.h. beim Odd Zugriff sind die Werte auf den Leitungen DATA[7:0] bedeutungslos. Da die effektiven Werte bedeutungslos sind, wird oft der Einfachheit halber auf beiden Bushälften der gleiche Wert aufgeschaltet.

4.3 Word Zugriffe

Der herausgeführte Datenbus auf dem ST Discovery Board ist nur 16-Bit breit. Für Halfword und Byte Zugriffe ist das ausreichend. Wie kann nun ein ganzes Word (32-Bit) oder mehr übertragen werden?

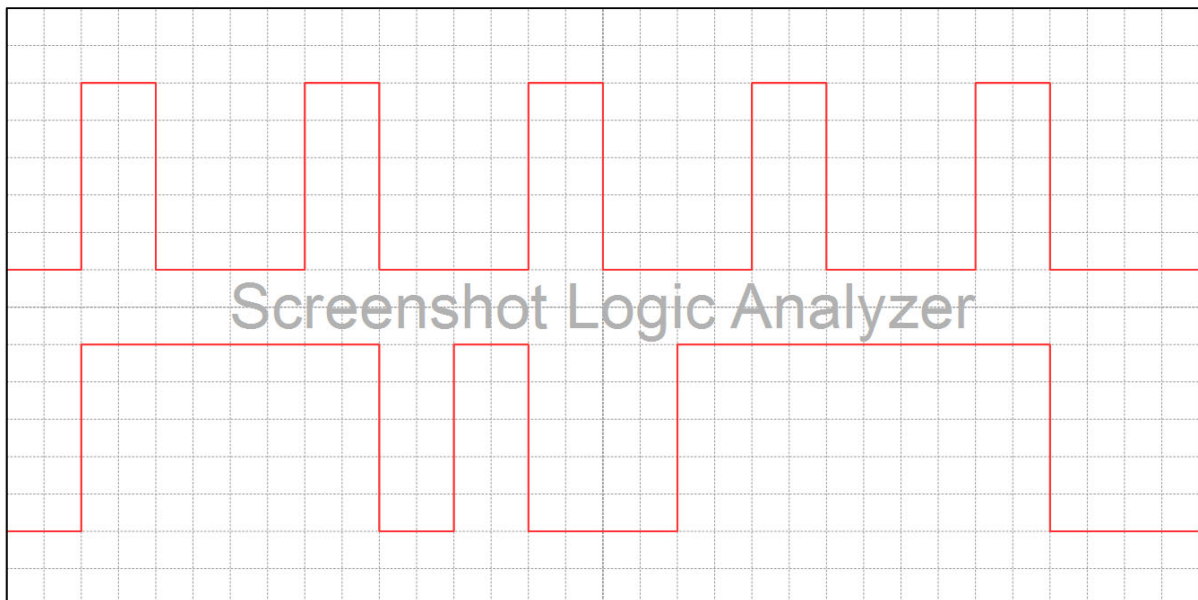
- Wählen Sie **MODE_32BIT** aus:

```
//#define MODE_8BIT_EVEN  
//#define MODE_8BIT_ODD  
//#define MODE_16BIT  
#define MODE_32BIT
```

- Schliessen Sie die Logic Probe an **D[7:0]** an.

Was hat sich gegenüber den vorherigen Zugriffen verändert?

- Ersetzen Sie den Platzhalter (unten) durch einen Screenshot.
- Markieren und beschriften Sie den Read und den Write Cycle im Screenshot.
- Markieren und beschriften Sie die übertragenen Daten.



4.4 Zugriffszeiten

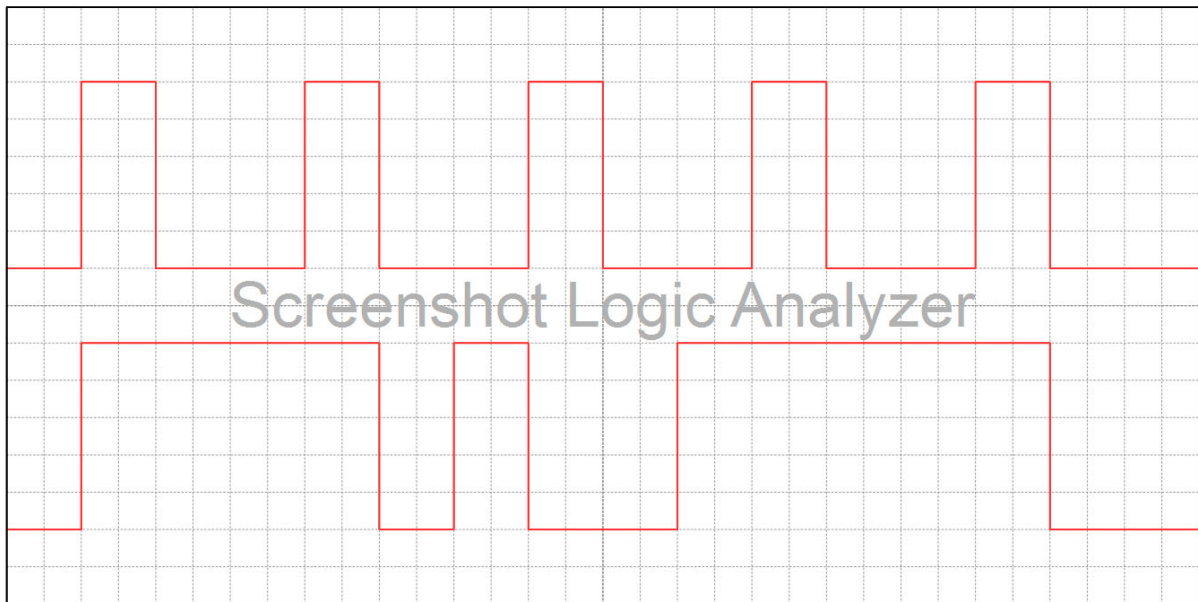
- Stellen Sie das Programm wieder auf **MODE_16BIT** um.

Mit der „Cursors“ Taste oben rechts neben dem Bildschirm können Sie zwei Cursors einblenden, um Zeiten zu messen:

Gehen Sie beim Messen der Zugriffszeiten davon aus, dass die Zugriffsdauer der Zeit entspricht, in der das Signal **NE** aktiv ist.

- Messen Sie die folgenden Zeiten:

Zugriffszeit Lesezyklus t_{read}	
Zugriffszeit Schreibzyklus t_{write}	
Zeit zwischen Lese- und Schreibzyklus $t_{\text{read_to_write}}$	
Zeit zwischen Schreib- und Lesezyklus $t_{\text{write_to_read}}$	



Bewertung

Bewertungskriterien	Gewichtung
Sie haben die Aufgabe Halfword Zugriffe gelöst (Screenshots, Fragen,...).	1/4
Sie haben die Aufgabe Byte Zugriffe gelöst (Screenshots, Fragen,...).	1/4
Sie haben die Aufgabe Word Zugriffe und Zugriffszeiten gelöst (Screenshots, Fragen,...).	1/4
Sie haben die Aufgabe Halfword Zugriffe auf ungerade Adressen gelöst (Screenshots, Fragen,...).	1/4

5 Abschluss

Löschen Sie nach Abschluss des Praktikums die Einstellungen am Oszilloskop mit der Taste „Default Setup“.

Anhang A

Screenshots

Mit dem Logic Analyzer lassen sich Screenshots machen:

- Schliessen Sie einen USB Stick an den Logic Analyzer an.
- Drücken Sie unter dem Bildschirm die Taste „Menu“ und danach im Untermenü die Taste „Save Screen Image“. Hier können Sie den Namen und den Speicherort auswählen. Wenn Sie „Ink Saver“ auf On stellen, wird die Hintergrundfarbe des Screenshots weiss.
- Ersetzen Sie den Platzhalter durch den Screenshot.