



Politechnika Warszawska
Wydział Elektroniki i Technik Informacyjnych
Instytut Systemów Elektronicznych

Piotr Zdunek

Nr albumu: 229417

Praca Inżynierska

Rekonfigurowalny akcelerator obliczeniowy z
procesorami DSP i FPGA w standardzie AMC

Praca wykonana pod kierunkiem:
Dr inż. Grzegorza Kasprówca

Warszawa, 2014

Rekonfigurowalny akcelerator obliczeniowy z procesorami DSP i FPGA w standardzie AMC

Poniższa praca przedstawia opis projektu akceleratora obliczeniowego z dwoma ośmiodzienniowymi procesorami DSP TMS320C6678 firmy *Texas Instruments* oraz układem FPGA *Xilinx XC7A200T* w standardzie AMC (*Advanced Mezzanine Card*), służącego do przetwarzania danych. Dzięki zastosowaniu przełączników szybkich interfejsów szeregowych, układów ADN4604 firmy *Analog Devices* i PEX8616 firmy *PLX*, istnieje możliwość modyfikacji połączeń pomiędzy układami. Wstęp zawiera charakterystykę systemów wbudowanych dedykowanych przetwarzaniu sygnałów oraz zestawienie urządzeń tego samego typu, dostępnych na rynku. W kolejnych rozdziałach przedstawiona została koncepcja poszczególnych systemów, projekt schematów, obwodów drukowanych oraz oprogramowania uruchamiającego. Na końcu przedstawione zostały symulacje integralności sygnałowej i zasilania zaprojektowanego obwodu drukowanego.

Słowa kluczowe

FPGA, DSP, PCB, AMC, PERG, MTCA

Reconfigurable high performance processing AMC module with DSP and FPGA processors

The aim of this Bachelor Thesis was to design a high performance processing AMC (*Advanced Mezzanine Card*) module, consisting of a modern FPGA processor *Xilinx Artix-7 XC7A200T* and two 8-core DSPs *Texas Instruments TMS320C6678*. Additionally, high speed SRIO and PCIe links reconfigurability between chips is possible due to the use of switches ADN4604 and PEX8616. The first chapter describes the characteristics of high performance processing embedded systems and presents a review of available devices on the market. Next chapters present module's units specification, schematics, PCB design and firmware. In the end signal and power integrity module's simulations were carried out which verify proper design.

Keywords

FPGA, DSP, PCB, AMC, PERG, MTCA

Pragnę złożyć serdeczne podziękowania:

Rodzicom za wiarę,

Dr inż. Grzegorzowi Kasprowiczowi za cenne uwagi,

*Koleżankom i kolegom, za atmosferę i współpracę w laboratoriach
PERG/ELHEP ISE PW*

Spis treści

1 Wstęp	13
1.1 Charakterystyka akceleratorów obliczeniowych	13
1.1.1 Układy przetwarzania	13
1.1.2 Interfejsy komunikacyjne	16
1.1.3 Standardy urządzeń przetwarzania	17
1.2 Przegląd urządzeń dostępnych na rynku	18
1.3 Podsumowanie	21
2 Geneza, cel i założenia pracy	23
3 Koncepcja konstrukcji	25
3.1 Opis funkcjonalny akceleratora obliczeniowego	25
3.1.1 Zasada działania	26
3.2 Koncepcja konstrukcji modułu akceleracji sprzętowej	26
3.3 Koncepcja modułów przetwarzania	26
3.4 Koncepcja modułu przełączania interfejsów szeregowych	27
3.5 Pozostałe moduły i peryferia	28
4 Realizacja konstrukcji akceleratora obliczeniowego	29
4.1 Moduł akceleracji sprzętowej	29
4.1.1 Układ FPGA XC7A200T	29
4.1.2 Pamięć SDRAM	32
4.2 Moduły przetwarzania danych	33
4.2.1 Procesor DSP	33
4.2.2 Pamięć SDRAM	38
4.2.3 Interfejs Gigabit Ethernet	38
4.3 Moduł przełączania interfejsów	38
4.3.1 Układ przełącznika interfejsu <i>Serial Rapid IO</i>	38
4.3.2 Układ przełącznika interfejsu <i>PCI Express 2.0</i>	39
4.4 System dystrybucji sygnałów zegarowych	40
4.4.1 Generacja sygnałów zegarowych interfejsu <i>PCI Express 2.0</i>	40
4.4.2 Generacja sygnałów zegarowych dla układu FPGA	42
4.4.3 Generacja sygnałów zegarowych procesora DSP	42
4.5 IPMI i zarządzanie peryferiami	45
4.5.1 I2C - konfiguracja układów	45

4.5.2	Zarządzanie peryferiami	46
4.6	Złącza wejść/wyjść	46
4.6.1	miniSAS	46
4.6.2	RJ45	46
4.6.3	HDMI	47
4.7	MLVDS	47
4.8	JTAG	48
4.9	Zasilanie	48
4.9.1	Estymacja poboru mocy	49
4.9.2	Linie zasilania P1V0, P1V2, P1V8, P1V5, P3V3, VTT	51
4.9.3	Linia zasilania P2V5	51
4.9.4	Regulowane napięcie zasilania rdzenia procesora DSP - CVDD	51
5	Projekt obwodów drukowanych	53
5.1	Wstęp	53
5.2	Wymagania producenta	53
5.3	Oprogramowanie EDA	53
5.4	Projekt warstw	54
5.5	Rozmieszczenie elementów	55
5.6	Zasady prowadzenia ścieżek szybkich interfejsów	56
5.6.1	Dobór szerokości ścieżek	57
5.7	Podsumowanie	58
6	Symulacje integralności sygnałowej i zasilania	61
6.1	Wstęp	61
6.2	Ograniczenia	61
6.3	Opis programu Hyperlynx	62
6.4	Symulacja spadku napięcia linii zasilania	62
6.5	Symulacje sygnałów zegarowych	62
6.6	Pozostałe symulacje i analizy	63
6.7	Podsumowanie	64
7	Oprogramowanie uruchamiające moduł	67
7.1	Wstęp	67
7.2	Opis mikrokontrolera LPC1764	67
7.2.1	Środowisko programistyczne	67
7.3	Uruchomienie linii zasilających	67
7.4	Konfiguracja poszczególnych układów	69
7.4.1	CDCM6208	69
7.4.2	UCD9222	69
7.5	Podsumowanie	70
8	Wnioski końcowe	71

Dodatek A Plyta CD	73
Dodatek B Standard MTCA i AMC	75
B.1 MTCA	75
B.2 AMC	75
Dodatek C System pomiarowy detektora GEM	79
C.1 System pomiarowy detektora GEM	79
C.1.1 Nowa wersja systemu	80
Bibliografia	88



Spis rysunków

1.1	Moduł ATCA wyposażony w dwa procesory Intel Xeon [1]	18
1.2	Karta FMC firmy Createch Instruments SA	19
1.3	Akcelerator obliczeń firmy Commagility	19
1.4	Akcelerator obliczeń firmy 4DSP w formacie FMC	19
1.5	Akcelerator obliczeń firmy Advantech	20
1.6	Akcelerator obliczeń firmy Prodrive	20
3.1	Schemat blokowy akceleratora obliczeniowego	25
3.2	Schemat blokowy modułu akceleracji sprzętowej	26
3.3	Schemat blokowy modułów przetwarzania	27
3.4	Schemat blokowy modułu przełączania interfejsów szeregowych	27
4.1	Rozmieszczenie banków w układzie FPGA XC7A200T	30
4.2	Połączenia banków układu FPGA z peryferiami	32
4.3	Sposób dołączenia pamięci SDRAM do układu FPGA	34
4.4	Schemat napięć zasilających procesora DSP	37
4.5	Szczegółowy schemat blokowy systemu dystrybucji sygnałów zegarowych .	40
4.6	Rodzaje dystrybucji sygnału zegarowego interfejsu <i>PCI Express 2.0</i>	41
4.7	Projekt pętli sprzężenia zwrotnego PLL układu AD9522	43
4.8	Konfiguracja częstotliwości i typów wyjść zegarowych układu CDCM6208	44
4.9	Konfiguracja filtra pętli sprzężenia zwrotnego układu CDCM6208	44
4.10	Schemat blokowy połączeń interfejsu I2C	45
4.11	Schemat blokowy połączeń sygnałów sterujących układu LPC1764	46
4.12	Schemat blokowy połączeń pozostałych sygnałów sterujących układu LPC1764	47
4.13	Złącze miniSAS firmy MOLEX	47
4.14	Schemat blokowy połączeń złącz HDMI	48
4.15	Schemat blokowy połączeń protokołu JTAG	49
4.16	Schemat blokowy sekcji zasilania akceleratora obliczeniowego	49
5.1	Standardowa konfiguracja warstw dla obwodu 16 warstwowego firmy Brandner	54
5.2	Konfiguracja warstw akceleratora obliczeniowego	55
5.3	Podział części analogowej i cyfrowej akceleratora obliczeniowego	56
5.4	Program Saturn PCB Toolkit	57
6.1	Wizualizacja symulacji spadku napięcia na linii P1V0	62
6.2	Wykres diagramu oka dla sygnału zegarowego SGMIISRIOCLK	63

7.1	Środowisko programistyczne LPCXpresso	68
7.2	Sekwencja uruchamiania linii zasilających	68
7.3	Proces programowania układu CDCM6208	69
7.4	Konfiguracja programu Fusion Digital Power Designer	70
B.1	Schemat blokowy systemu MTCA i zdjęcie kraty z modułami AMC	76
B.2	Zdjęcie różnych wymiarów kart AMC	76
B.3	Rodzaje złącz krawędziowych w standardzie AMC	77
C.1	Detektor GEM w JET	79
C.2	Struktura systemu pomiarowego GEM	80
C.3	Wizualizacja kraty MTCA, nowej wersji systemu pomiarowego detektora GEM	80

Spis tabelic

1.1	Zestawienie komercyjnych systemów przetwarzania	20
4.1	Napięcia zasilające i pobór prądu przez układ FPGA	33
4.2	Sygnały zegarowe procesora DSP	35
4.3	Napięcia zasilające i pobór prądu przez procesor DSP	36
4.4	Estymacja pobieranej mocy przez akcelerator obliczeniowy	50
5.1	Podstawowe reguły projektowe	53
5.2	Reguły prowadzenia ścieżek szybkich interfejsów szeregowych	57
5.3	Szerokości ścieżek szybkich interfejsów szeregowych dla impedancji 100Ω	59
5.4	Szerokości ścieżek szybkich interfejsów szeregowych dla impedancji 80Ω	59
6.1	Wyniki symulacji integralności zasilania DC Drop Voltage	63
6.2	Wyniki symulacji integralności sygnałowej sygnałów zegarowych	65
B.1	Zestawienie wymiarów modułów AMC	77

Rozdział 1

Wstęp

Współczesne systemy pomiarowe w eksperymentach fizyki wysokich energii są zaawansowanymi systemami analogowo-cyfrowymi o niestandardowych parametrach. Eksperymenty fizyczne JET [2] czy WEST [3] podczas pracy generują terabajty danych na sekundę i aby móc obsłużyć taką ilość danych potrzebne są rozwiązania dedykowane, nierzadko przełomowe. Przykładem takiego systemu może być system pomiarowy służący do detekcji promieniowania X z detektora GEM [4] wykorzystywany w eksperymencie JET i pozwalający na analizę plazmy w reaktorze termojądrowym.

Niniejsza praca stanowi opis projektu urządzenia służącego do przetwarzania danych - **akceleratora obliczeniowego**, który zostanie wykorzystany w nowym systemie pomiarowym projektowanym przez zespół  CERN Beam Position Monitor Digital Back End [5].

W pierwszym rozdziale przedstawiono charakterystykę i opis najważniejszych parametrów akceleratorów obliczeniowych oraz porównanie dostępnych na rynku urządzeń tego typu. Następnie opisana została koncepcja projektu, realizacja schematów elektrycznych oraz projekt obwodów drukowanych. Kolejne rozdziały zawierają opis wykonanych symulacji integralności sygnałowej i zasilania oraz projekt oprogramowania uruchamiającego.

1.1. Charakterystyka akceleratorów obliczeniowych

Akcelerator obliczeniowy jest to system wbudowany (*ang. embedded system*) służący przetwarzaniu danych. Charakteryzuje się dużą mocą obliczeniową przy relatywnie niskim poborze mocy oraz dużą przepustowością interfejsów wejść/wyjść. Do akceleratorów obliczeniowych możemy zaliczyć np. karty graficzne czy dedykowane moduły np. w standardzie AMC, FMC lub PCIe posiadające specjalizowane układy przetwarzające DSP lub FPGA.

Urządzenia tego typu znajdują zastosowanie np. w nowoczesnych systemach pomiarowych fizyki wysokich energii, gdzie analiza sygnałów musi być wykonywana w czasie rzeczywistym. Innym przykładem mogą być szybkie kamery o wysokiej rozdzielcości.



1.1.1. Układy przetwarzania

Przetwarzanie w akceleratorach obliczeniowych jest wykonywane przez procesory, posiadające odpowiednią architekturę dzięki której można uzyskać bardzo dużą wydajność ob-

liczeń. Poniżej przedstawiono charakterystykę poszczególnych typów układów, które mogą być wykorzystane do przetwarzania danych.

Procesory DSP

Procesory DSP charakteryzują się architekturą zaprojektowaną specjalnie dla przetwarzania sygnałów (stąd też nazwa *Digital Signal Processor*). Dzięki temu potrafią wykonywać skomplikowane operacje matematyczne równolegle. Specjalizowana architektura minimalizuje pobór mocy. Przykładowo procesor DSP firmy Texas Instruments [6] TMS320C6678 posiada teoretyczną moc obliczeniową 160 GFLOPs przy ok. 10 W TDP (*Total Dissipated Power*).

- Zalety:

- bardzo korzystny stosunek mocy obliczeniowej do pobieranej energii
- obsługa wielu szybkich interfejsów szeregowych
- niski koszt układu
- niski pobór mocy

- Wady:

- rozwój oprogramowania jest skomplikowany i długotrwały

Układy programowalne FPGA



Dużą popularnością w systemach przetwarzania sygnałów cieszą się układy programowalne FPGA (*Field Programmable Gate Array*) [4]. Największą zaletą tych procesorów jest możliwość dowolnego łączenia komórek logicznych wewnętrz układu co pozwala na tworzenie zaawansowanych systemów cyfrowych np. filtrów, bloków kryptograficznych itp.. Dodatkowo nowoczesne FPGA obsługują szybkie interfejsy szeregowe [7]. Rozwój tych układów w ostatnich latach pozwolił na minimalizację pobieranej mocy i znaczne zwiększenie ilości jednostek logicznych dzięki czemu, układy te znajdują coraz szersze zastosowanie w systemach przetwarzania sygnałów.



- Zalety:

- możliwość realizacji dowolnych systemów cyfrowych
- obsługa szybkich interfejsów szeregowych
- średni pobór mocy

- Wady:

- wysoki koszt układu
- rozwój oprogramowania jest skomplikowany i długotrwały

Układy GPGPU

GPGPU (*ang. General Purpose Graphics Processing Unit*) są to jednostki obliczeniowe stosowane w kartach graficznych, komputerów klasy PC. Układy te charakteryzują się bardzo dużą wydajnością ze względu na wieloprocesorową architekturę. Na czele zastosowań przetwarzania stoi firma NVIDIA [8] z architekturą CUDA [9], która posiada bardzo dopracowane środowisko do rozwoju oprogramowania (tzw. SDK *Software Developement Kit*).

- Zalety:
 - bardzo duża wydajność
 - dopracowane środowisko programistyczne
- Wady:
 - bardzo duży pobór mocy
 - komunikacja ograniczona do interfejsu PCIe
 - nieopłacalny rozwój własnych urządzeń

Układy ASIC



ASIC są specjalizowanymi układami zaprojektowanymi od podstaw do zastosowania w specyficznych zastosowaniach np. do kompresji wideo. Wykonanie takiego układu jest bardzo kosztowne, jest to opłacalne tylko w wypadku produkcji idącej w tysiącach sztuk. Z drugiej strony dzięki temu układ nieporównywalnie szybszy i oszczędniejszy w zużyciu energii od zwykłych procesorów. Rozwój oprogramowania ogranicza się zwykle do konfiguracji rejestrów wewnętrznych, co bardzo skraca czas realizacji projektu.

- Zalety:
 - bardzo duża moc obliczeniowa w dedykowanym zastosowaniu np. kompresja wideo
 - mały pobór energii
 - łatwa konfiguracja
- Wady:
 - kosztowna realizacja układu

Procesory x86

Procesory z architekturą x86 są sercem każdego komputera klasy PC. Na rynku istnieją dwie firmy oferujące układy tego typu: Intel [10] oraz AMD [11]. Największą zaletą tych procesorów jest uniwersalność, dzięki swojej architekturze i superskalarności posiadają bardzo dużą wydajność w większości zastosowań. Dodatkowo układy te są kompatybilne wstecz względem zestawu instrukcji dzięki czemu rozwój oprogramowania jest łatwy.

Mimo bardzo korzystnego stosunku pobieranej energii do mocy obliczeniowej, układy te bardzo rzadko wykorzystuje się w systemach wbudowanych ze względu na znaczne wymagania mocowe. Przykładowo procesor firmy *Intel* z serii Core i7 odznacza się maksymalną pobieraną mocą na poziomie 140 W TDP (*ang. Total Dissipated Power*). Dodatkowo procesory te często wymagają dodatkowych układów do obsługi szybkich interfejsów szeregowych.

- Zalety:

- bardzo duża wydajność
- łatwy rozwój oprogramowania.

- Wady:

- bardzo duży pobór mocy
- brak bezpośredniej obsługi szybkich interfejsów szeregowych
- nieopłacalny rozwój własnych urządzeń

Porównanie

Wszystkie układy dedykowane zastosowaniom przetwarzania mają swoje wady i zalety. Wybór konkretnego typu zależy głównie od zastosowania. Warto podkreślić, że układy DSP i FPGA dzięki swojej architekturze pozwalają na wykonanie tych samych algorytmów równie szybko (bądź szybciej) jak procesory x86 czy GPGPU jednak jest to okupione czasem realizacji oprogramowania. Z drugiej strony często nie ma możliwości wykorzystania procesorów  6 czy GPGPU w systemach wbudowanych ze względu na bardzo duży pobór mocy. Kolejną kwestią jest też nasycenie rynku, zwykle nie opłaca się projektować dedykowanego urządzenia z układami GPGPU, ponieważ na rynku istnieje tak duża ilość dostępnych produktów, że wykonanie konkurencyjnego urządzenia jest bardzo trudne.

1.1.2. Interfejsy komunikacyjne

Bardzo istotnym aspektem w systemach przetwarzania są interfejsy komunikacyjne. Najczęściej spotykanymi interfejsami w systemach wbudowanych są PCI Express, USB, Ethernet oraz RapidIO. Najważniejszym parametrem interfejsów komunikacyjnych jest ich przepustowość, rodzaj transmisji, kontrola błędów w pakietach itp. Istotna jest też kwestia zastosowania, jedne interfejsy zostały zaprojektowane jako sposób komunikacji między układami wewnątrz urządzenia, inne natomiast pozwalają na przesył danych na duże odległości. Poniżej przedstawiono opis najbardziej popularnych interfejsów w systemach wbudowanych.

PCI Express

PCIe to szybki interfejs szeregowy będący rozwinięciem standardu PCI. Interfejs zapewnia znacznie wyższą przepustowość, zmniejszą ilość połączeń między układami, zapewnia również korekcję błędów transmisji oraz możliwość podłączania urządzeń w czasie pracy

(tzw. *hot-plug*). Dane przesyłane są różnicowo za pomocą standardu LVDS z wykorzystaniem kodowania 8b/10b [12] (w wersji 1.0). Interfejs pozwala na pracę z wykorzystaniem wielu linii (*ang. links*), co pozwala na uzyskanie większej przepustowości.

PCIe jest wykorzystywany jako podstawowy interfejs komunikacyjny np. w komputerach PC - między kartą graficzną a chipsetem, jak również w dedykowanych systemach wbudowanych. Zarówno współczesne układy FPGA jak i DSP pozwalają na komunikację za pomocą tego interfejsu.

Serial Rapid IO

SRIo jest interfejsem zaprojektowanym specjalnie dla systemów wbudowanych. Zapewnia równie dużą przepustowość jak PCIe i dodatkowo posiada mniej skomplikowany sposób przesyłania sygnałów kontrolnych, co minimalizuje opóźnienia i jitter. Dzięki temu pozwala na przesyłanie sygnałów, które wymagają synchronizacji czasowej bądź nawet pracy w systemach czasu rzeczywistego.

Interfejs ten korzysta z standardu LVDS i pozwala na uzyskanie 5 Gbps przepustowości na linię.

Ethernet

Ethernet pozwala na przesył danych wykorzystując protokół np. TCP/IP [13]. Przepustowość tego interfejsu wynosi od 100 Mbps do 10 Gbps. Istotną kwestią jest kontrola przesyłu pakietów, która jest wykonywana na poziomie sieci (*network layer*), a nie na warstwie fizycznej (*physical layer*). Interfejs ten jest najczęściej wykorzystywany do przesyłu niekrytycznych danych między urządzeniami, często na większą odległość.

Inne

Do innych interfejsów komunikacyjnych wykorzystywanych w systemach wbudowanych możemy zaliczyć interfejsy związane z pamięciami jak SATA czy SAS. Zapewniają one bardzo dużą przepustowość, ale służą głównie do przesyłu danych z dysków twardych, nie wykorzystuje się ich do komunikacji między układami scalonymi wewnętrz systemu.

1.1.3. Standardy urządzeń przetwarzania

System wbudowany jest zwykle projektowany względem określonego standardu. Określa on specyfikację elektryczno-mechaniczną jakie musi spełniać urządzenie. Przykładem takich standardów są np. VME, AMC, FMC czy ATCA.

ATCA

Standard ATCA (*Advanced Telecommunication Computing Architecture*) specyfikuje systemy przetwarzania wykorzystywane w telekomunikacji, przemyśle i wojsku. System składa się z kart rozszerzeń ATCA (*blade*) i kraty (*shelf*) ATCA łączącej wszystkie moduły za pomocą tzw. *Backplane*. Specyfikacja obejmuje komunikację między modułami, wymagania

mechaniczne dla kart rozszerzeń etc. Standard zrzesza ponad 100 organizacji na całym świecie. Największą zaletą tego systemu jest jego modułowość, w kracie można umieścić bardzo różnicowane moduły dzięki czemu możliwa jest realizacja systemu dopasowana do potrzeb.



Rysunek 1.1: Moduł ATCA wyposażony w dwa procesory Intel Xeon [1]

AMC

Standard AMC (*Advanced Mezzanine Card*) specyfikuje moduły rozszerzeń do systemów MTCA [14] i ATCA [15]. Powstał on w celu zmniejszenia kosztów w porównaniu do systemów ATCA przy zachowaniu porównywalnej funkcjonalności. Standard opisano szczegółowo w Dodatku B [B.2].

FMC

Moduły FMC (*FPGA Mezzanine Card*) znajdują szerokie zastosowanie jako karty rozszerzeń do płyt-matek (*carrier-board*). Pozwalają na rozszerzenie funkcjonalności działającego systemu bez potrzeby projektowania go od początku. Dzięki małym wymiarom i nieskomplikowanej specyfikacji standardu wykonanie urządzeń jest stosunkowo łatwe. FMC wyróżnia się specjalnym, wielopinowym złączem które pozwala na transmisję z zastosowaniem szybkich interfejsów szeregowych.

1.2. Przegląd urządzeń dostępnych na rynku

Obecnie dostępne jest wiele urządzeń, które można wykorzystać w systemie pomiarowym jako akceleratory numeryczne do przetwarzania danych. Poniżej przedstawiono charakterystyki kilku takich urządzeń dostępnych na rynku.

AMC V7-2c6678 firmy CommAgility AMC-V7-C6678 [16] jest kartą przetwarzania danych zawierającą dwa procesory DSP TMS320C6678 i układ FPGA Xilinx XC7VX415T-2



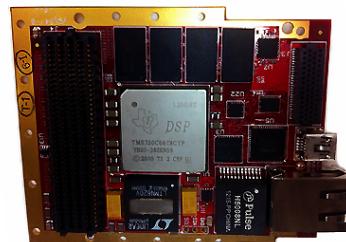
Rysunek 1.2: Karta FMC firmy Createch Instruments SA

zamkniętą w formacie AMC pojedynczej szerokości i pełnej wysokości. Posiada złącze SFP+ oraz złącze miniSAS. Procesory DSP, układ FPGA, złącza na panelu oraz złącze krawędziowe są połączone ze sobą siecią połączeń interfejsu SRIO. Koszt tego urządzenia to 16 tys. EUR.



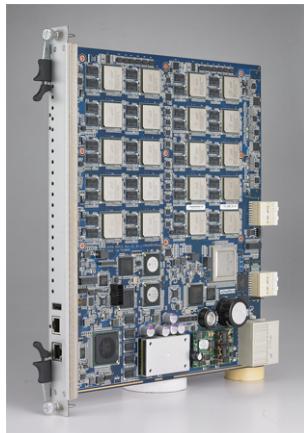
Rysunek 1.3: Akcelerator obliczeń firmy Commagility

FMC6678 Firma 4DSP specjalizuje się w projektowaniu modułów FMC i posiada w swojej ofercie kartę z jednym procesorem TMS320C6678 i 1 GB pamięci dynamicznej DDR3. Na module znajdziemy również gniazdo Gigabit Ethernet, USB oraz pełne 60-pinowe złącze *Trace* do programowania procesora poprzez dedykowany debugger. Interfejsy komunikacyjne SRIO i PCIe są dołączone do złącza FMC. Koszt modułu FMC to 2900 EUR.



Rysunek 1.4: Akcelerator obliczeń firmy 4DSP w formacie FMC

Urządzenia firmy Advantech Firma Advantech jest twórcą modułu ewaluacyjnego do procesora TMS320C6678 i posiada w swojej ofercie szereg urządzeń z tym procesorem. Są to karty PCIe z wieloma procesorami DSP. Przykładem jest karta PCIe - 8 procesorowa DSPC-8682 (64 rdzenie) albo karta ACTA z 20 procesorami (80 rdzeni).



Rysunek 1.5: Akcelerator obliczeń firmy Advantech

PDAK2H Moduł PDAK2H jest modułem AMC z najnowszymi układami SoC firmy *Texas Instruments* z rodziny Keystone II zawierającymi 8 rdzeni DSP C66x oraz czterordzeniowy procesor ARM Cortex-A15. Twórcą modułu jest firma Prodrive. Do procesora może być dołączane do 26 GB pamięci DDR3-1333. Do złącza AMC doprowadzone jest 12 linii SRIO a na przednim panelu zamontowano złącza Gigabit Ethernet oraz UART.



Rysunek 1.6: Akcelerator obliczeń firmy Prodrive

Porównanie W tabeli [1.1] zestawiono wymienione wcześniej moduły wraz z porównaniem peryferiów i ceny.

Urządzenie	Procesory	Standard	Złącza	Interfejsy do CB	Cena
AMC V7-2C6678	Xilinx XC7VX415T-2 2xTMS320C6678	AMC Single width, full size	SFP, SAS	SRIO	16 000 USD
FMC6678	TMS320C6678	FMC single width PCIe	GbE SFP, SAS	SRIO, PCIe, EMIF16 GbE	2900 EUR BD
DSPC-8682	TMS320C6678, Xilinx XC3S200AN				
PDAK2H	66AK2H12	AMC Single width, full size	GbE, UART	SRIO, PCIe	BD

Tabela 1.1: Zestawienie komercyjnych systemów przetwarzania

1.3. Podsumowanie

Ilość rodzajów układów scalonych, interfejsów komunikacyjnych oraz standardów dla systemów wbudowanych daje duże możliwości instytucjom tworzącym takie urządzenia. Dzięki szybkiemu rozwojowi, możliwe jest zaprojektowanie akceleratorów obliczeniowych posiadających bardzo dużą moc obliczeniową oraz przepustowość akwizycji danych dopasowaną do konkretnego zastosowania. Szczególna uwaga należy się urządzeniom w standardzie AMC i FMC, które pozwalają na stosunkowo łatwe rozszerzenie funkcjonalności systemów opartych o standard MTCA.

Na podstawie analizy dostępnych urządzeń (COTS - Commercial off the shelf) zdecydowano się na projekt własnego modułu do przetwarzania obliczeń. Głównym powodem jest minimalizacja kosztów oraz zwiększenie funkcjonalności w porównaniu do urządzeń oferowanych na rynku.

Rozdział 2

Geneza, cel i założenia pracy

Przetwarzanie danych w systemach pomiarowych używanych w laboratorium PERG wymaga dużej mocy obliczeniowej. Istotną kwestią jest również kompatybilność z dostępnym sprzętem i oprogramowaniem. Dostępne na rynku urządzenia nie posiadają odpowiednich wejść/wyjść, nie pozwalają na modyfikację połączeń między układami wewnętrz urządzeń tj. nie są elastyczne; ponadto są one bardzo kosztowne. Dlatego zdecydowano się na zaprojektowanie dedykowanego urządzenia.

Celem niniejszej pracy inżynierskiej było zaprojektowanie modułu w formacie AMC pozwalającego na akwizycję i analizę dużej ilości danych pomiarowych w czasie rzeczywistym, na co składa się:

- projekt schematów elektrycznych
- projekt obwodów drukowanych
- symulacje integralności sygnałowej i zasilania
- napisanie oprogramowania uruchamiającego

Akcelerator obliczeniowy będzie rozszerzeniem obecnie istniejącego systemu pomiarowego w eksperymentach JET i WEST oraz pozwoli na przetwarzanie i analizę danych z za stosowaniem zaawansowanych technik cyfrowego przetwarzania sygnałów. Ze względu na to iż system pomiarowy, w którym ma pracować projektowany moduł jest w trakcie realizacji wstrzymano się z produkcją modułu.

Urządzenie zaprojektowano przy następujących założeniach:

- duża moc obliczeniowa, pozwalająca na analizę i wykorzystanie algorytmów przetwarzania danych w 2D/3D
- duża ilość pamięci operacyjnej
- kompatybilność z istniejącym systemem pomiarowym
- elastyczność systemu

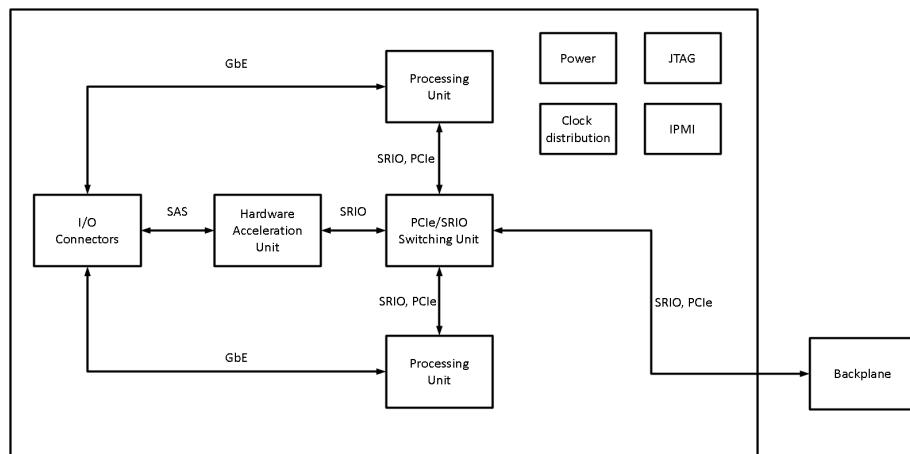
Rozdział 3

Koncepcja konstrukcji

Poniższy rozdział zawiera opis koncepcji konstrukcji akceleratora obliczeniowego. W pierwszej części przedstawiono opis funkcjonalny projektowanego urządzenia oraz jego zasadę działania. Następnie wyszczególniono funkcje poszczególnych modułów urządzenia.

3.1. Opis funkcjonalny akceleratora obliczeniowego

Akcelerator obliczeniowy można podzielić na szereg modułów. Rysunek [3.1] przedstawia blokowy schemat funkcjonalny projektowanego urządzenia.



Rysunek 3.1: Schemat blokowy akceleratora obliczeniowego

Każdy z modułów pełni określoną funkcję:

- **Hardware Acceleration Unit** akceleracja sprzętowa
- **Processing Unit** przetwarzanie danych
- **PCIe/SRIO Switching Unit** przełączanie i przekierowywanie interfejsów szeregowych pomiędzy układami i *Backplane*
- **Clock distribution** dystrybucja sygnałów zegarowych
- **Power Supply** zasilanie
- **IPMI** obsługa standardu IPMI i zarządzanie sygnałami kontrolnymi
- **JTAG** programowanie i testowanie układów scalonych

3.1.1. Zasada działania

Akcelerator obliczeniowy jest kartą w formacie AMC działającą w systemie MTCA. Moduł **akceleracji sprzętowej** zajmuje się akwizycją i wstępnym przetwarzaniem danych. Następnie przesyła dane do **jednostek przetwarzania**, w których następuje dalsza obróbka sygnałów wymagająca dużej mocy obliczeniowej. Przetworzone dane mogą zostać przesłane do *Backplane* znajdującego się w kracie MTCA.

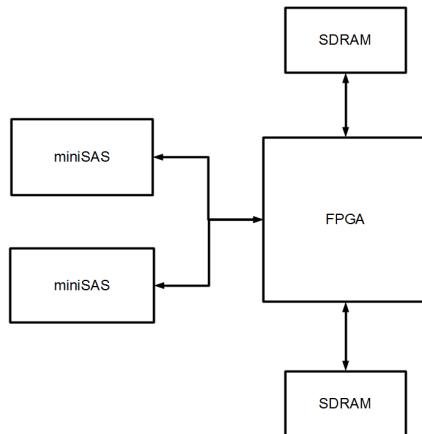
Komunikacja między układami i kratą odbywa się za pomocą szybkich interfejsów sze-regowych. Dzięki zastosowaniu inteligentnych przełączników dodano funkcję rekonfiguracji połączeń interfejsów pomiędzy układami.

System dystrybucji zegara, IPMI, JTAG oraz sekcja zasilania zapewniają poprawną pracę urządzenia.

Standard AMC opisano szczegółowo w Dodatku B [8].

3.2. Koncepcja konstrukcji modułu akceleracji sprzętowej

Moduł akceleracji sprzętowej *Hardware Acceleration Unit* składa się z układu FPGA oraz szybkiej pamięci SDRAM. Do układu dołączone są złącza miniSAS oraz pośrednio *Backplane* poprzez moduł przełączania interfejsów. Zebrane dane mogą zostać zapisane na dołączonej pamięci podręcznej i poddane przetwarzaniu. Bardziej skomplikowane operacje przekazywane są dalej do jednostek przetwarzania *Processing Units* lub do *Backplane*.



Rysunek 3.2: Schemat blokowy modułu akceleracji sprzętowej

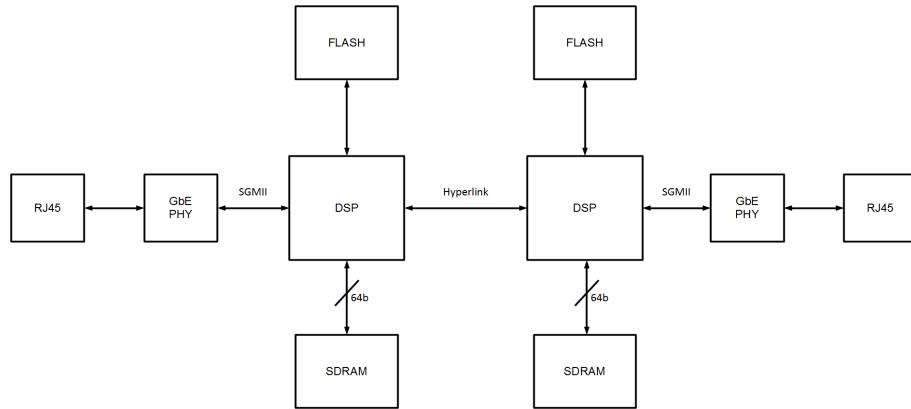
3.3. Koncepcja modułów przetwarzania

Projektowana karta zawiera dwa bliźniacze moduły przetwarzania, których sercem jest procesor DSP. Każdy z procesorów jest wyposażony w pamięć dynamiczną SDRAM, jak również PHY interfejsu Gigabit Ethernet. Dodatkowo procesory wyposażono w szereg pa-

mięci nieulotnych, które pozwalają na uruchomienie oprogramowania przygotowanego przez producenta; przykładem jest dedykowany system operacyjny Linux OS [17].

Razem z układem FPGA znajdującym się w jednostce akceleracji sprzętowej moduły przetwarzania tworzą system pozwalający na bardzo elastyczne podejście do przetwarzania sygnałów i posiadającą wystarczającą moc obliczeniową do zaawansowanych obliczeń w czasie rzeczywistym.

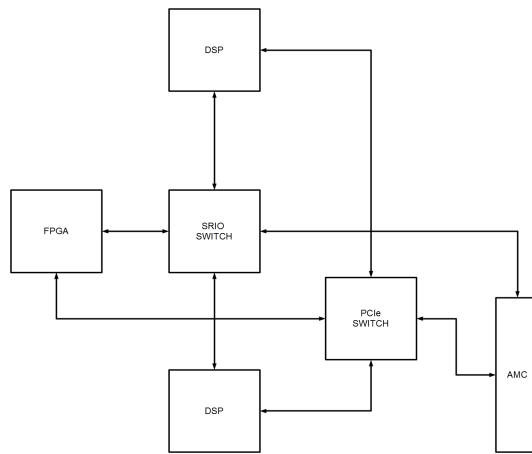
Moduły połączone ze sobą szybkim interfejsem *Hyperlink* o przepustowości 50 Gbps.



Rysunek 3.3: Schemat blokowy modułów przetwarzania

3.4. Koncepcja modułu przełączania interfejsów szeregowych

Moduły akceleracji sprzętowej i przetwarzania oraz *Backplane* są połączone ze sobą dwoma nowoczesnymi przełącznikami interfejsów szeregowych, statycznym SRIO oraz intelligentnym PCIe. Dzięki takiemu rozwiązaniu możliwa jest transparentna transmisja z dużą przepustowością pomiędzy układami jak i *Backplane*.



Rysunek 3.4: Schemat blokowy modułu przełączania interfejsów szeregowych

3.5. Pozostałe moduły i peryferia

System dystrybucji sygnałów zegarowych generuje sygnały zegarowe o odpowiedniej częstotliwości wymagane do prawnej pracy układów znajdujących się na karcie. Zarządzaniem sygnałami sterującymi zajmuje się mikrokontroler, który również obsługuje standard IPMI wymagany do pracy karty w systemie *MTCA*.

Komunikacja ze światem zewnętrznym odbywała się poprzez złącza znajdujące się na panelu przednim oraz za pomocą złącza krawędziowego.

Jak każde urządzenie elektroniczne akcelerator obliczeniowy zawiera układy zasilające generujące odpowiednie napięcia. Programowanie procesorów DSP, układu FPGA i mikrokontrolera wykonuje się poprzez zewnętrzny programator dołączony do złącz JTAG znajdujących się na układzie. Akcelerator obliczeniowy będzie pracował m.in. w nowej wersji systemu pomiarowego detektora GEM. Opis tego systemu znajduje się w Dodatku C [8].

Rozdział 4

Realizacja konstrukcji akceleratora obliczeniowego

Niniejszy rozdział zawiera opis projektów elektrycznych poszczególnych modułów akceleratora obliczeniowego. Głównymi modułami w projektowanym urządzeniu są moduły akceleracji sprzętowej, jednostek przetwarzania i przełączania interfejsów. Pozostałe moduły tj. system generacji sygnałów zegarowych, IPMI, sekcji zasilania zapewniają poprawną pracę całego urządzenia. Schematy elektryczne zamieszczone są w załączniku [B.2].

4.1. Moduł akceleracji sprzętowej

4.1.1. Układ FPGA XC7A200T

Moduł akceleracji sprzętowej oparty jest o nowoczesny układ FPGA firmy Xilinx [18] z serii 7 - Artix 7 XC7A200T w obudowie FFG1156, posiadający 16 transceiver'ów GTP, 215 tys. komórek logicznych oraz 10 banków udostępniających 600 wejść/wyjść (IO) dla projektanta.

Projekt schematów elektrycznych został wykonany w oparciu o projekt *AMC FMC Carrier* gdzie został wykorzystany ten sam układ. Projekt jest dostępny na *Open Hardware Repository* [19].

Konfiguracja układu FPGA

Układy Xilinx FPGA z serii 7 konfiguruje się poprzez załadowanie programu do wewnętrznej pamięci po doprowadzeniu zasilania. Źródłem programu może być zewnętrzna pamięć nieulotna bądź inny układ scalony np. mikrokontroler lub procesor DSP. Tryb konfiguracji jest zależy od stanu pinów **M[2:0]** znajdujących się w banku 0, który ustala się poprzez rezystory podciągające do zasilania albo masy (*ang. pull-up, pull-down*).

Układ FPGA w akceleratorze jest uruchamiany w trybie *Slave-serial* gdzie piny **M[2:0]** są podciągnięte do zasilania 3.3 V (**M[2:0] = 111**). W tym stanie wymagane jest doprowadzenie zewnętrznego zegara **CCLK**, w akceleratorze obliczeniowym jest on doprowadzony z mikrokontrolera zarządzającego, układu LPC1764, który steruje załadowaniem programu do

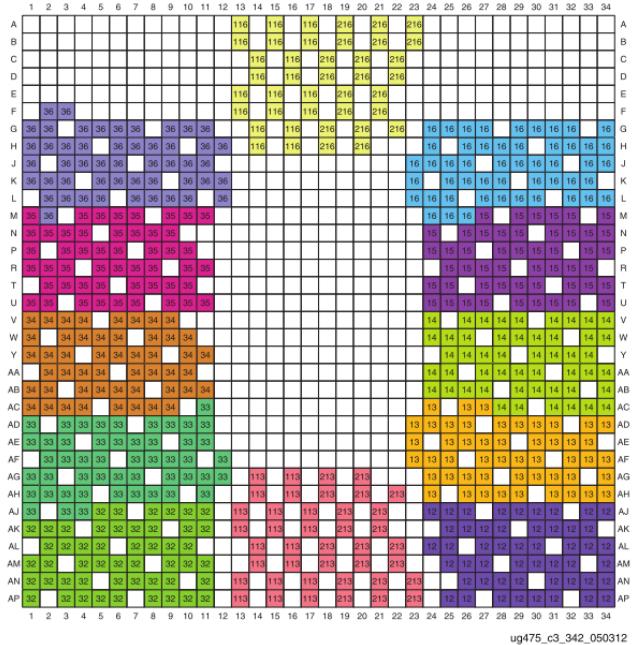


Figure 3-30: FFG1156 Package—XC7A200T I/O Banks

Rysunek 4.1: Rozmieszczenie banków w układzie FPGA XC7A200T

układu FPGA z pamięci FLASH. Wykorzystane zostały dwa układy pamięci nieulotnej firmy Micron [20] M25P128 [21] w obudowie DFN8, zawierające po 16 MB pamięci typu NOR FLASH i komunikujących się poprzez interfejs SPI. Zastosowano dwa układy pamięci aby mieć dostęp do niej zarówno z FPGA jak i mikrokontrolera oraz w celu umieszczenia tam danych konfiguracyjnych np. tablic kalibracyjnych. Istnieje również możliwość wykorzystania drugiej pamięci jako pamięci konfiguracyjnej FPGA fail-safe. Dodano również alternatywny footprint w razie problemów z dostępnością pamięci w obudowie DFN8. Układ FPGA jest dołączony do pamięci poprzez piny z banku 14: **MOSI, DIN, D2, D3 i FCS_B**.

Załadowanie pamięci programu FPGA w trybie Slave-Serial jest wykonywane przy pomocy mikrokontrolera (LPC1764), który przesyła sygnał zegarowy CCLK do FPGA. Pamięć programu jest załadowana bit po bit'cie zgodnie z narastającym zboczem CCLK.

Pin **CFGBVS** (ang. *Configuration Banks Voltage Select Pin*) w banku 0 jest ustawiony w stan wysoki, co determinuje dozwolone napięcia zasilania banków 0 oraz 14 i 15 gdzie znajdują się dodatkowe piny konfiguracyjne. Gdy **CFGBVS** jest w stanie wysokim, dozwolone napięcia to 3.3 V oraz 2.5 V; gdy w niskim odpowiednio 1.8 V oraz 1.5 V. W projekcie bank 0 oraz 14 są zasilane z 3.3 V, natomiast bank 15 z napięcia 2.5 V.

Dodatkowo układ FPGA można zaprogramować (załadować pamięć programu) poprzez interfejs JTAG za pomocą programatora i komputera PC z odpowiednim oprogramowaniem. Interfejs JTAG składa się z wejść/wyjść: **TMS, TCK, TDI** oraz **TDO** (opcjonalnie **TRST**).

Piny **PROGRAM_B** oraz **INIT_B** są, zgodnie z dokumentacją, dołączone do zasilania poprzez rezystory 4.7 k Ω . Dodatkowo **INIT_B** jest dołączony do mikrokontrolera w celu możliwości wykonania ponownego załadowania programu bez konieczności resetowania całego urządzenia. Pin **DONE** jest dołączony do rezystora podciągającego 330 Ω oraz do obwodu diody LED indykującego poprawną aktualizację zawartości pamięci flash z konfigura-

cją FPGA.

Pin **PUDC_B** jest dołączony do masy przez $10k\Omega$ rezystor, pin ten uruchamia wewnętrzne podciagnięcie do zasilania pinów (*SelectIOs*) po dołączeniu zasilania i podczas konfiguracji.

Bank 0 zawiera również piny **DXP**, **DXN** które są wyjściami czujnika temperatury. Dołączone zostały do układu firmy Maxim [22], MAX6642ATT90 [23] kontrolowanego przez mikrokontroler LPC1764 poprzez interfejs I2C.

Więcej informacji dotyczących konfiguracji układów FPGA firmy Xilinx z serii 7 można znaleźć w dokumentacji producenta [24].

Opis połączeń banków 14, 15, 17, 34

Bank 14 Bank 14 jest zasilany z napięcia 3.3 V i dołączono do niego następujące peryferia:

- interfejs komunikacyjny ze złączem miniSAS
- MLVDS
- I2C (dwa oddzielne interfeisy dla pamięci flash i LPC1764)
- diody LED

Bank 15 Bank 15 jest zasilany z napięcia 2.5V i dołączone są do niego sygnały kontrolne z układu przełącznika PCIe PEX8616 [25] firmy PLX [26].

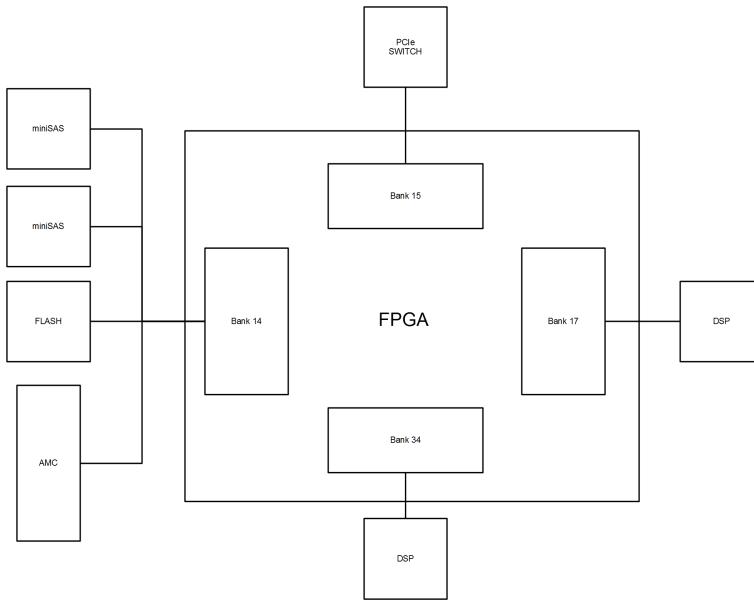
Bank 17 i 34 Banki 17 i 34 służą do komunikacji z procesorami DSP. Banki są zasilane z napięcia 1.8 V. Dołączone interfejsy to:

- Piny GPIO sterujące trybem uruchomienia procesora
- Piny resetu
- Timer
- SPI

Połączenia transceiverów GTP

Układ XC7A200T w obudowie FFG1156 zawiera 4 tzw. GTP Quads [7] 113, 116, 213 oraz 216 każdy zawierający po 4 linie szybkich interfejsów szeregowych **GTP** (*Gigabit Transceiver Port*). Do Quadów dołączone są interfejsy szeregowe SAS, SRIO i PCIe oraz sygnały zegarowe.

- Quad 113 - SRIO
- Quad 213 - PCIe Gen. 2
- Quad 216 - SAS
- Quad 116 - SAS



Rysunek 4.2: Połączenia banków układu FPGA z peryferiami

Sygnały zegarowe

Układ FPGA potrzebuje do poprawnej pracy 9 sygnałów zegarowych:

- sygnał zegarowy PCIe dołączony do GTP Quad 213
- 2 sygnały zegarowe do interfejsu SAS dołączone do GTP Quad 216 i 116
- sygnał zegarowy interfejsu SRIO dołączony do GTP Quad 213
- 2 sygnały zegarowe dla kontrolerów pamięci SDRAM
- zegar CCLK (tylko podczas konfiguracji)

Sygnały zegarowe są wygenerowane przez układy CDCUN1208 [27] oraz AD9522 [28].

Zasilanie

Układ Xilinx Artix 7 jest zasilany z napięć 1.0 V, 1.2 V, 1.8 V, 2.5 V oraz 3.3 V, gdzie napięcia 1.0 V, 1.2 V i 3.3 V służą do zasilania wewnętrznych systemów układu, a pozostałe zasilają poszczególne banki [29].

Wrażliwe napięcia zostały oddzielone przez zastosowanie filtrów. Ilość i wielkość kondensatorów blokujących jest zgodna z zaleceniami producenta [30]. Projekt zasilania układu FPGA został zaadaptowany z projektu *AMC FMC Carrier*. Zmienione zostały napięcia zasilające poszczególnych banków i wraz z nimi kondensatory blokujące.

Nie używane banki

Banki 16, 35, 36 nie zostały wykorzystane w projekcie.

4.1.2. Pamięć SDRAM

Pamięć SDRAM o wspólnych liniach adresowych jest nazywana rankiem (*rank*). Do układu FPGA dołączone zostały dwa ranki synchronicznej pamięci dynamicznej SDRAM

Linia	Opis	Napięcie [V]	Prąd [A]
VCCINT	Internal supply voltage	1.0	2.926
VCCAUX	Auxiliary supply voltage	1.8	0.303
VCCBRAM	Block RAM supply voltage	1.0	0.043
VCCO	Supply voltage for 3.3 V HR I/O banks	3.3	0.003
VIN	Input voltage	(-0.2, VCCO+0.2)	0.003
VCCBATT	Battery voltage	1.8	BD
VMGTAVCC	Analog supply voltage for GTP transceivers	1.0	1.116
VMGTAVTT	Analog supply voltage for GTP termination	1.2	0.952
VDCADC	XADC supply relative to GNDADC	1.8	0.025
VREFP	Externally supplied reference voltage	1.25	BD

Tabela 4.1: Napięcia zasilające i pobór prądu przez układ FPGA

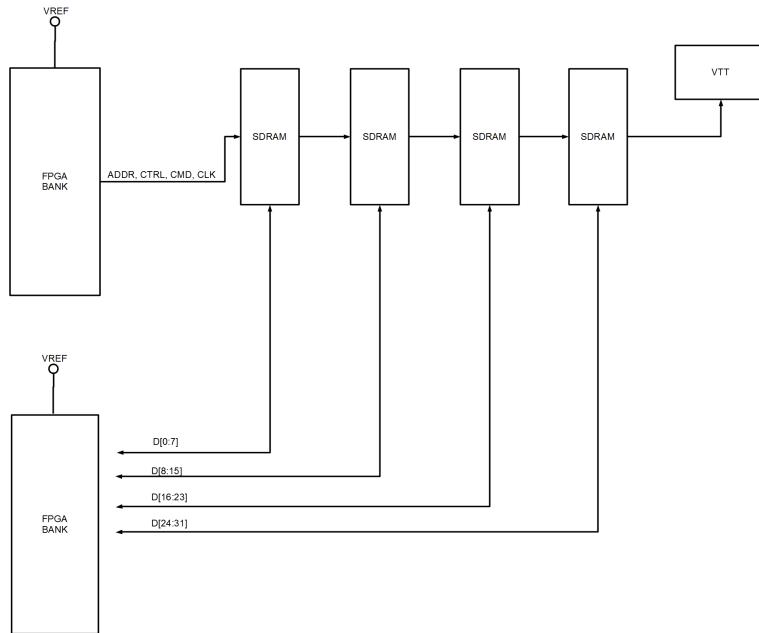
DDR3-1600, każda po 4 kości firmy Micron MT41J512M8RA-125:D [31]. Szerokość szyny adresowej to 16 bitów, a szyny danych to 32 bity (po 8 bitów na kość), częstotliwość pracy to 800 MHz. Każdy rank obsługiwany jest przez dwa banki. Na bankach znajdują się tzw. *Byte Groups* do których należy dołączyć sygnały danych, oraz strobe z poszczególnych kości. Nie można pamięci dołączyć w dowolny sposób. Jeden bank obsługuje sygnały kontrolne (*Control*), poleceń (*Command*), sygnał zegarowy, oraz sygnały adresowe. Do drugiego natomiast dołączone są sygnały danych z pamięci.

Banki obsługujące pamięci pracują w standardzie sygnałowym SSTL. Wymagane jest, aby piny VREF były dołączone do napięcia referencyjnego. Maksymalnie do układu można dołączyć 8 GB pamięci. Projekt połączenia pamięci jest oparty o projekt *AMC FMC Carrier* z tą różnicą, że wymagana była zmiana dołączenia pinów danych, adresowych i kontrolnych ze względu na możliwości prowadzenia połączeń na PCB. Cztery kości dołączone są do banków 12 i 13, następne cztery do 32 i 33.

4.2. Moduły przetwarzania danych

4.2.1. Procesor DSP

Sercem jednostek przetwarzania jest układ *Texas Instruments TMS320C6678*. Jest to ośmiordzeniowy procesor DSP pracujący na częstotliwości 1250 MHz. Układ posiada wiele interfejsów komunikacyjnych takich jak Hyperlink, SRIO, PCIe Gen. 2.0 , SGMII, TSIP. Główną zaletą tego układu jest bardzo duża moc obliczeniowa, która wynosi teoretycznie 160 GFLOPs. Zadaniem procesorów jest przetwarzanie danych odebranych od układu FPGA [32]. Projekt schematów jest oparty o referencyjny projekt modułu ewaluacyjnego dla procesora TMS320C6678 wykonany przez firmę Advantech [33] oraz o dokumentację producenta [34].



Rysunek 4.3: Sposób dołączenia pamięci SDRAM do układu FPGA

PCIe

Procesor zawiera dwie linie *PCIe Gen. 2.0*. Oba dołączone są do układu PEX8616. Połączenie ma sprzężenie pojemnościowe. Interfejs jest bardzo popularny w systemach wbudowanych jako ewolucja magistrali równoległej PCI. Maksymalna przepustowość interfejsu to 2.5 Gbps na linię.

Serial Rapid IO

Układ posiada 4 interfejsy SRIO (*Serial Rapid IO*), które są dołączone do układu przełącznika gigabitowego firmy Analog Devices [35], układu ADN4604 [36]. SRIO jest to szybki interfejs szeregowy pozwalający na przesył danych z prędkością 5 Gbps na linię, czyli sumarycznie 20 Gbps.

Gigabit Ethernet

Procesor dysponuje dwoma interfejsami SGMII, które pozwalają na komunikację w sieciach lokalnych z prędkością 1 Gbps. Jeden interfejs jest dołączony do gniazda RJ45 poprzez PHY firmy Vitesse [37] układ VSC8221 [38]. Pozwala to na komunikację z procesorami DSP bezpośrednio poprzez sieć lokalną.

Hyperlink

Hyperlink jest szybkim interfejsem szeregowym obsługiwany przez procesory DSP firmy *Texas Instruments*. Przepustowość tego interfejsu to aż 12.5 Gbps na linię. Zgodnie ze specyfikacją [34] interfejs ten ma sprzężenie DC, jednak według informacji umieszczonej na oficjalnym forum *Texas Instruments* <http://e2e.ti.com/> [39] interfejs może również

pracować ze sprzężeniem AC. Hyperlink w akceleratorze obliczeniowym służy do przesyłu danych pomiędzy procesorami, maksymalna przepustowość to 50 Gbps (4 x 12.5 Gbps). Przydatną właściwością interfejsu jest możliwość dowolnego zamianiania linii oraz par różnicowych w celu ułatwienia prowadzenia połączeń na PCB. Poza liniami przesyłającymi dane, interfejs zawiera dodatkowe linie dedykowane specjalnemu protokołowi komunikacyjnemu.

Pozostałe interfejsy

Procesor posiada ponadto interfejsy TSIP, AIF, I2C, SPI, oraz liczniki. TSIP oraz AIF nie są wykorzystane w projekcie. Wyprowadzenia pozostałych interfejsów zostały dołączone bezpośrednio do układu FPGA.

SPI

DSP komunikuje się z pamięcią NOR oraz FPGA za pomocą interfejsu SPI. Sygnał zegara jest rozdzielony za pomocą bufora SN74AUC2G07 [40]. Sygnał zegarowy do układu FPGA jest dołączony do wejścia MRCC, które jest dedykowanym wejściem zegarowym [41]. Schemat połączeń pozwala na uruchomienie DSP z pamięci NOR (*Second Level Bootloader*) oraz na komunikację z FPGA poprzez interfejs SPI.

Sygnały zegarowe

Procesor DSP TMS320C6678 potrzebuje do pracy, w zależności od wykorzystywanych peryferiów, 6 sygnałów zegarowych.

Sygnal	Opis	Czestotliwość [MHz]
CORECLK	sygnał zegarowy rdzenia procesora	100
DDRCLK	sygnał zegarowy kontrolera pamięci DDR3	66.67
SRIOSGMIICLK	sygnał zegarowy kontrolera interfejsów SGMII oraz SRIO	312.5
PCIECLK	sygnał zegarowy dla kontrolera magistrali PCI Express Gen 2	100
MCMCLK	sygnał zegarowy magistrali Hyperlink	312.5
PASSCLK	sygnał zegarowy dla koprocesora sieciowego	100

Tabela 4.2: Sygnały zegarowe procesora DSP

Wszystkie sygnały zegarowe są typu LVDS o sprzężeniu pojemnościowym. Możliwe jest też dołączenie zegarów HCSL przy zastosowaniu odpowiedniej terminacji. Sygnały zegarowe są generowane przez system dystrybucji zegara, a dokładniej przez układy CDCM6208 [42] i 5V41068A [43]. Dokładny opis wejść zegarowych procesora DSP można znaleźć w dokumentacji producenta [44].

Zasilanie

Do pracy procesor DSP TMS320C6678 wymaga 4 podstawowych napięć zasilających oraz dodatkowych wymagających filtracji.

Linia	Opis	Napięcie [V]	Prąd [A]
CVDD	core logic adjustable supply	(0.9 - 1.05)	7.3
CVDD1	fixed internal supply	1.0	1.5
VDDTn	filtered SerDes termination voltage	1.0	BD
DVDD18	LVCMOS buffers and PLL supply	1.8	0.021
AVDDAn	filtered PLL supply	1.8	BD
DVDD15	DDR3 buffers supply	1.5	0.414
VDDRn	filtered SerDes supply	1.5	BD
VTT	DDR3 termination supply	0.75	BD
VREF	DDR3 reference supply	0.75	BD

Tabela 4.3: Napięcia zasilające i pobór prądu przez procesor DSP

Sekcja zasilania procesora DSP tj. ilość i wielkość kondensatorów odsprzęgających, wykorzystane filtry typu T zostały zaadaptowane z modułu ewaluacyjnego procesora TMS320C6678.

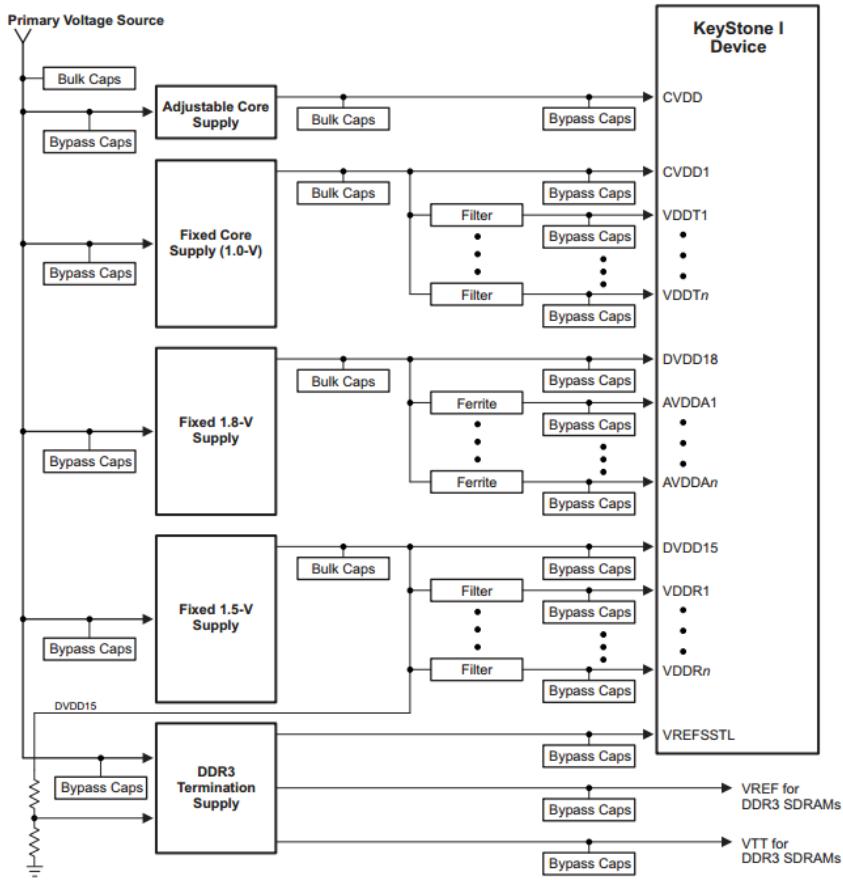
Smartflex

Napięcie rdzenia procesora DSP wykorzystuje specjalny interfejs **SmartReflex** typu C, który reguluje napięcie rdzenia po wyjściu procesora ze stanu resetu. W przypadku procesorów TMS320C6678 napięcie rdzenia jest uzależnione od procesu produkcji i może zawierać się w przedziale od 0.9 V do 1.05 V. Stan pinów VID[0:3] określa napięcie rdzenia. Do obsługi tego interfejsu zostały wyprodukowane dedykowane układy kontrolerów przetwornic oraz samych tranzystorów przełączających z serii UCD92xx oraz UCD72xx. W akceleratorze zastosowano te same układy jak w module ewaluacyjnym z tą różnicą iż oba wyjścia UCD7242 [45] generują napięcie regulowane rdzenia (*adjustable core voltage supply*) do każdego z procesorów (w module ewaluacyjnym UCD7242 generuje napięcie CVDD i CVDD1). Ponieważ układ UCD9222 [46] pracuje z napięciem zasilania 3.3 V, a procesor DSP 1.8 V wymagany jest translator poziomów, zastosowano układ firmy *Texas Instruments* SN74AVC4T [47]. CVDD1 w projekcie akceleratora obliczeniowego odpowiada linii P1V0.

Pamieci flash procesora DSP

Każdy z procesorów DSP posiada dostęp do trzech układów pamięci nieulotnej FLASH: EEPROM, NOR i NAND. Dostęp do pamięci EEPROM jest zapewniony poprzez interfejs I2C, do NOR poprzez SPI, a NAND wykorzystuje specjalny interfejs komunikacyjny EMIF16. Konfiguracja pamięci została zaadaptowana z modułu ewaluacyjnego TMS320C6678. Dodatkowo piny **WRITE PROTECT** są dołączone do układu FPGA w celu zabezpieczenia

Figure 1 KeyStone I Power Supply Planes (Rails)



Rysunek 4.4: Schemat napięć zasilających procesora DSP

zmiany pamięci nieulotnej. Taka konfiguracja pozwala na uruchamianie procesora w różnych trybach pracy, jak również na uruchomienie systemu operacyjnego Linux z pamięci NAND. Możliwe konfiguracje uruchamiania procesora są szczegółowo opisane w dokumentacji producenta [48].

Pamięć SPI NOR FLASH

Pamięcią NOR jest układ N25Q128 [49] o pojemności 16 MB. Układ komunikuje się z procesorem za pomocą interfejsu SPI.

Pamięć EEPROM

Zastosowana pamięć EEPROM jest to układ M24M01 [50] firmy STMicroelectronics [51]. Układ wykorzystuje interfejs I2C do komunikacji z procesorem DSP.

Pamięć NAND FLASH

Zastosowano pamięć NAND FLASH MT29F2G16 [52] o pojemności 64 MB. Różni się ona od tej zastosowanej w module ewaluacyjnym szerokością szyny danych (16 linii zamiast 8). Taka zmiana będzie wymagała modyfikacji kodu uruchamiającego procesor z EMIF16

udostępnionego przez producenta. Powodem zmiany był brak kompatybilnej pamięci o 8 liniach danych na rynku.

4.2.2. Pamięć SDRAM

Procesor DSP ma możliwość zapisu danych na szybkiej pamięci dynamicznej SDRAM-1333 o częstotliwości pracy 667 MHz. Szyna adresowa ma 16 bitów, natomiast szyna danych 64 bity. Istnieje możliwość dołączenia piątej kości w celu dodania funkcji ECC. Schemat połączeń został zaadaptowany z modułu ewaluacyjnego procesora TMS320C6678 [53].

4.2.3. Interfejs Gigabit Ethernet

PHY Vitesse VSC8221

Układ Vitesse VSC8221 [38] jest tzw. PHY (*ang. OSI PHYSical layer*) interfejsu Gigabit Ethernet. Układ łączy warstwę MAC procesora DSP ze światem zewnętrznym poprzez złącze RJ45. Komunikacja między procesorem DSP a układem realizującym warstwę fizyczną odbywa się przez interfejs SGMII (*Serial Gigabit Media Independent Interface*) wraz z dodatkowymi informacjami przesyłanymi liniami **MDI, MDO**.

Zdecydowano się na ten układ ze względu na kompaktową obudowę i mały pobór mocy (<700 mW). Dodatkowym czynnikiem była dostępność układu wykorzystanego w module ewaluacyjnym procesora TMS320C6678, 88E1111 [54] firmy Marvell [55], którego zamówienie w małej ilości jest problematyczne.

Układ jest zasilany z napięcia 3.3 V i posiada wewnętrzne stabilizatory generujące napięcie 1.2 V eliminując tym samym konieczność podłączenia kolejnego obciążenia do linii 1.2 V akceleratora. Istnieje możliwość dołączenia nieulotnej pamięci EEPROM, którą przewidziano w projekcie jako opcjonalną. Układ jest skonfigurowany do pracy w trybie SGMII bez sygnału zegara referencyjnego; tryb jest ustalany za pomocą pinów **CMODE[0:3]**. Dodatkowo w celu kontroli pracy układu piny **MODEDEF0, SIGDET i SRESETz** zostały dołączone do mikrokontrolera LPC1764.

Pin **MODEDEF0** jest pinem wyjściowym sygnalizującym poprawną inicjalizację układu, **SIGED** jest sygnałem wyjściowym indykującym stan transmisji. **SRESET** natomiast resetuje PHY z zachowaniem konfiguracji rejestrów wewnętrznych.

4.3. Moduł przełączania interfejsów

4.3.1. Układ przełącznika interfejsu *Serial Rapid IO*

Istnieje możliwość modyfikacji połączeń pomiędzy jednostkami przetwarzania, akwizycji i *Backplane* dzięki zastosowaniu w akceleratorze przełącznika gigabitowego (*gigabit crosspoint switch*), układu ADN4604 [36]. Przełącznik posiada 16 wejść i wyjść różnicowych, pomiędzy którymi można się przełączać na zasadzie każdy z każdym oraz jeden do wszystkich.

Układ jest zasilany z napięcia 3.3 V, przełączanie jest sterowane za pomocą mikrokontrolera LPC1764 poprzez interfejs I2C.

Procesory DSP są dołączone do ADN4604 za pomocą interfejsu SRIO (4 linie), natomiast FPGA wykorzystuje 4 linie GTP, które również obsługują interfejs SRIO. Do przełącznika jest ponadto dołączona magistrala Fat Pipe 2 ze złącza AMC. Fat Pipe jest grupą portów na złączu AMC służącą połączeniu wielo-liniowych interfejsów, takich jak np. PCIe czy SRIO [patrz B.2]. Na złączu AMC znajdują się dwie grupy Fat Pipe po cztery linie Tx i cztery linie Rx. Taka sieć połączeń pozwala na elastyczną komunikację o dużej przepustowości między układami.

Jako przykład można podać sytuacje kiedy FPGA przetwarza wstępnie dane otrzymane z interfejsu SAS i przesyła je do jednej jednostki przetwarzania za pomocą wszystkich linii, gdyż wymagane przetwarzanie potrzebuje dużej przepustowości (4 linie SRIO), z drugiej strony może zdarzyć się sytuacja kiedy przepustowość nie będzie istotna a moc obliczeniowa będzie kluczowym parametrem. Wtedy jednostka akwizycji ma możliwość przesłania danych do obu procesorów DSP, jak również jednocześnie do DSP i płyty matki. Zastosowanie tego układu zwiększa elastyczność i uniwersalność akceleratora.

4.3.2. Układ przełącznika interfejsu *PCI Express 2.0*

Inteligentny przełącznik PCI Express (*PCIe Switch*) to układ PEX8616 [25], który posiada 4 porty *PCIe Gen 2.0*, co pozwala na dołączenie do niego obu procesorów DSP, układu FPGA i złącza AMC. Układ TMS320C6678 przesyła dane do przełącznika za pomocą dwóch linii, FPGA za pomocą 4 portów GTP, które mogą być skonfigurowane do pracy w interfejsie *PCIe*. Czwarty port jest podłączony do złącza AMC, do portu Fat Pipe 1. Na złączu krawędziowym znajdują się cztery linie interfejsu *PCIe*. Układ pozwala na transparentną transmisję danych między portami.

Schematy przełącznika zostały zaprojektowane w oparciu o referencyjny moduł ewaluacyjny **PEX8616 RDK** oraz o projekt OHWR *Beam Position Monitor, Digital Back End* [5] gdzie został wykorzystany podobny układ jednak o większej ilości portów.

Porty są skonfigurowane jako 4 liniowe, za pomocą rezystorów podciągających dołączonych do pinów **STRAP_STN0_PORTCFG1**, **STRAP_STN1_PORTCFG0**. Mimo tego że DSP są dołączone za pomocą dwóch linii do przełącznika, układ PEX8616 dzięki funkcji autonegocjacji sam zmniejszy ilość pracujących linii. Funkcja ta przydatna jest również podczas prowadzenia połączeń na PCB gdyż kolejność linii oraz polaryzacja par różnicowych może być dowolna.

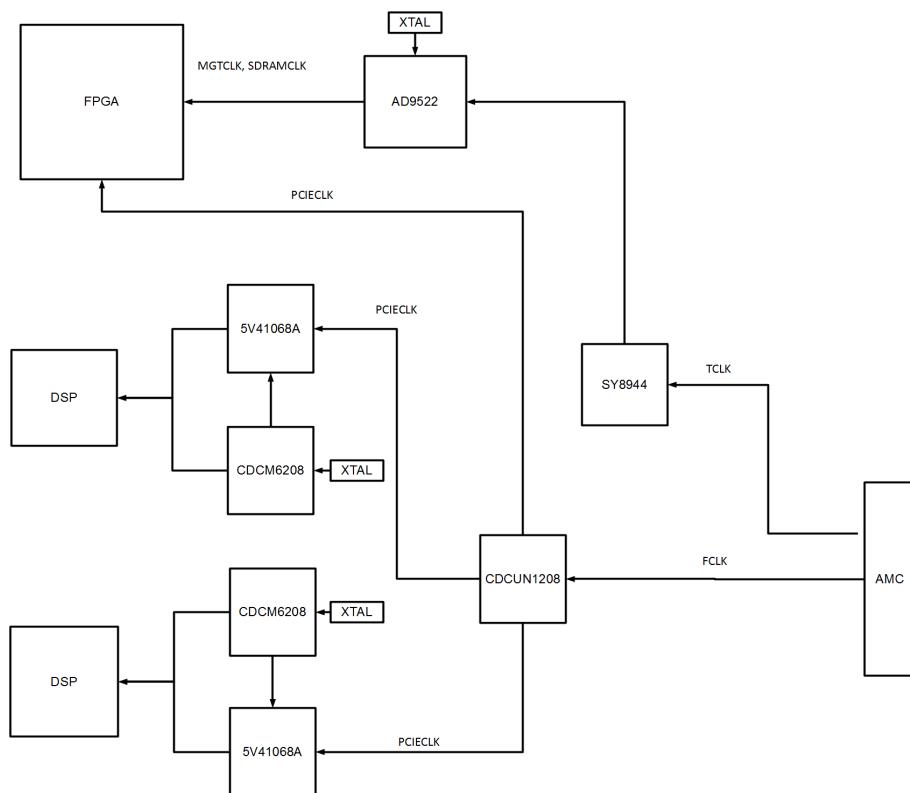
Układy DSP, FPGA oraz złącze AMC są węzłami typu *End Point*, a PEX8616 jest węzłem typu *Root Complex*. Do układu jest doprowadzony referencyjny sygnał zegarowy o częstotliwości $f_{clk} = 100\text{MHz}$ z układu CDCUN1208LP.

Istnieje możliwość konfiguracji wewnętrznych rejestrów układu poprzez interfejs I2C (z FPGA) oraz zapis konfiguracji w opcjonalnie montowanej pamięci nieulotnej. Zaawansowane funkcje układu są dostępne jedynie poprzez EEPROM. Układ będzie spełniał swoją funkcję bez konfiguracji jednak warto mieć możliwość rozszerzenia funkcjonalności.

Układ, ponadto, pozwala na obsługę funkcji *Hot Plug* pozwalającej na dołączanie oraz odłączanie układów do niego dołączonych podczas pracy. Ta funkcja może być szczególnie przydatna, gdy wystąpi konieczność aktualizacji oprogramowania, nie będzie wtedy konieczny reset systemu operacyjnego kontrolera karty.

4.4. System dystrybucji sygnałów zegarowych

Dystrybucja i generacja sygnałów zegarowych na karcie jest wykonana za pomocą szeregu układów dedykowanych takim zastosowaniom. Sygnały zegarowe są krytyczne dla poprawnej pracy układów scalonych, dlatego zastosowano sprawdzone i wcześniej wykorzystywane w innych projektach układy aby zapewnić poprawność działania systemu. Zamieszczony diagram przedstawia system dystrybucji sygnałów zegarowych na akceleratorze obliczeniowym.



Rysunek 4.5: Szczegółowy schemat blokowy systemu dystrybucji sygnałów zegarowych

Sygnały zegarowe można podzielić na te dedykowane interfejsowi PCIe, układowi FPGA i procesorom DSP.

4.4.1. Generacja sygnałów zegarowych interfejsu *PCI Express 2.0*

Sygnały zegarowe interfejsu PCIe są generowane z jednego źródła, aby umożliwić pracę układów w trybie *common refclk* zsynchronizowanego z sygnałem zegarowym MCH. Standard PCIe specyfikuje również sposób dystrybucji sygnału zegarowego *separate refclk* oraz *data clocked refclk*. Pierwszy występuje wtedy, kiedy układy posiadają lokalne źródło sygnału

zegara PCIe; korzysta się w tym przypadku z faktu, że standard PCIe specyfikuje iż przesunięcie między sygnałami zegarowymi może zawierać się w przedziale $+/-300\text{ppm}$. Minusem tego rozwiązania jest brak możliwości korzystania z *SSC* (*Spread Spectrum Clocking*). Ostatni tryb, jak sama nazwa wskazuje, zaszywa zegar w przesyłanych danych. Częstotliwość sygnału zegarowego PCIe to 100MHz .

SSC jest to metoda zmniejszania generowanych zakłóceń elektromagnetycznych z linii zegarowej (EMI) oraz redukcji wpływu szumów na linię poprzez modulację sygnału zegara wokół częstotliwości nośnej. Częstotliwość modulacji jest niska (33 kHz).

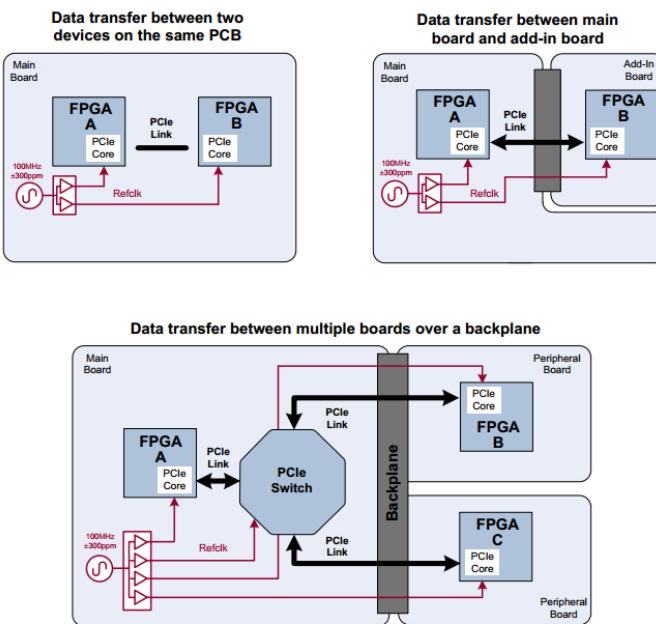


Figure 2. System Applications of PCIe Interconnects

Rysunek 4.6: Rodzaje dystrybucji sygnału zegarowego interfejsu *PCI Express 2.0*

Warunkiem poprawnej pracy systemu dystrybucji *common refclk* jest dopasowanie sygnałów zegarowych do 12 ns przesunięcia (*skew*) [56] między liniami. W przypadku modułu AMC trudno jest nie spełnić tego wymogu, ze względu na małe wymiary mechaniczne.

Dedykowanym wyjściem zegarowym dla interfejsu PCIe na złączu AMC jest wyjście FCLK [57]. Zegar ten (typu HCSL) dołączony jest do bufora 1:8 układu CDCUN1208, który powiela sygnał zegarowy do wszystkich układów obsługujących interfejs PCIe. Do układu FPGA i przełącznika PCIe zegary są dołączone bezpośrednio, natomiast do procesorów DSP poprzez przełącznik (multiplekser) zegarowy 2:1 interfejsu PCIe układ 5V41068A sterowany za pomocą mikrokontrolera LPC1764. Pozostałe zegary zostały wyprowadzone na panel przedni modułu AMC do złącz HDMI i służą jako wyjście nieużywanych sygnałów zegarowych. Sygnał zegarowy dołączony do przełącznika PCIe jest typu HCSL i dlatego należało zastosować odpowiednią terminację.

Układ CDCUN1208, jest konfigurowany za pomocą pinów wejściowych:

- **OE** - uruchomienie wyjść, stan wysoki, wyjścia uruchomione

- **MODE** - tryb programowania, stan open drain, tryb pracy układu *pin programming mode*
- **DIVIDE** - dzielnik częstotliwości na wyjściu, stan open drain, dzielnik = 1
- **ERC** - szybkość narastania zboczy sygnałów wyjściowych, stan open drain, tryb *FAST*
- **ITTP** - rodzaj wejścia zegara referencyjnego, stan wysoki, wejście **HCSL**
- **INSEL** - wybór wejścia referencyjnego, stan niski, wejście **IN1** aktywne
- **OTTP** - tryb pracy wyjść, stan niski, wyjścia typu **LVDS**

4.4.2. Generacja sygnałów zegarowych dla układu FPGA

Złącze AMC poza wyjściem zegarowym FCLK posiada cztery wejścia/wyjścia zegarowe TCLK[0:3]. Zgodnie ze specyfikacją standardu AMC [57] są to sygnały zegarowe o niskiej częstotliwości, które mogą służyć jako zegary referencyjne bądź *wyjściowe* tj. generowane na module i przesyłane do *MCH*. Oryginalnym zastosowaniem tych sygnałów jest synchronizacja w systemach telekomunikacyjnych. W przypadku akceleratora obliczeniowego zegary TCLK[0:3] uznane zostały za wyjściowe i dołączone do multiplexera 4:1 układu SY89544U [58] firmy *Micrel Inc.* [59], którego wyjście zostało dołączone do jednego z wejść referencyjnych układu AD9522 [28]. Wyjście układu SY89544U jest sterowane za pomocą mikrokontrolera.

Układ AD9522 generuje sygnały zegarowe wymagane przez układ FPGA. Dodatkowo aby uniezależnić się od parametrów zegarów TCLK, do układu dołączono oscylator TCXO 10 MHz. Konieczne było również dodanie filtra pętli PLL. Filtr zaprojektowano za pomocą oprogramowania udostępnionego przez producenta ADIsimCLK. Ustanowiono maksymalną częstotliwość wyjściową na 600 MHz (*maximum bandwidth*), taka jest maksymalna częstotliwość pracy wejść zegarowych transceiver'ów GTP układu XC7A200T.

Sygnały zegarowe generowane przez układ to:

- 6 zegarów do transceiverów GTP układu XC7A200T
- 2 zegary kontrolerów pamięci SDRAM FPGA
- 4 zegary wyjściowe dołączone do gniazd HDMI

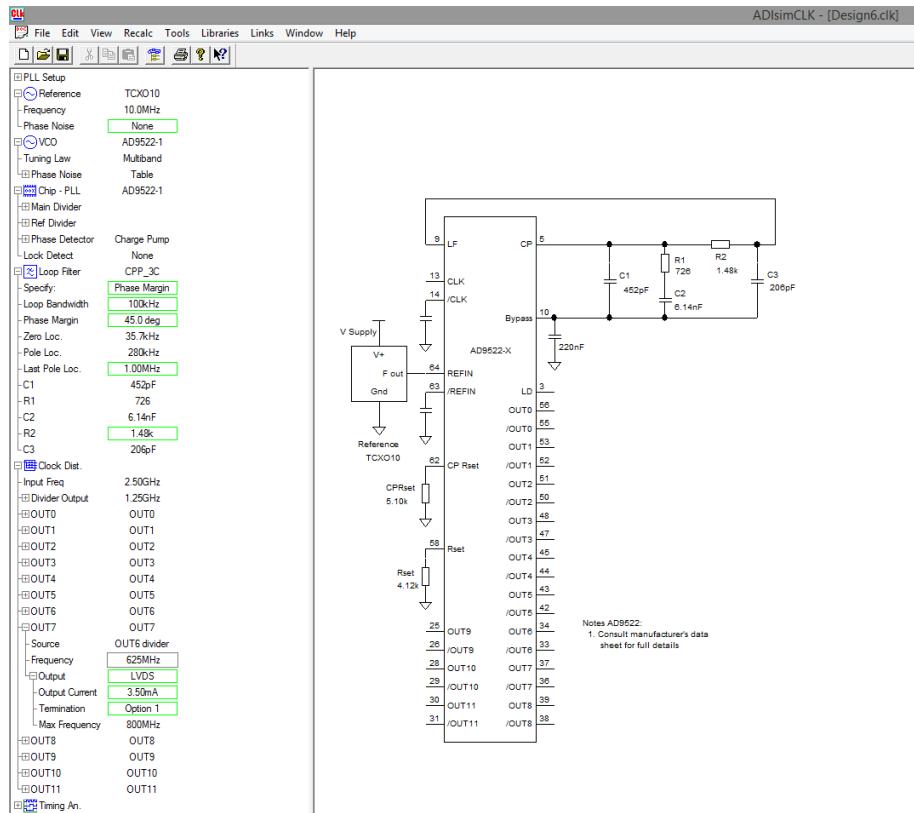
Wyjścia/wejścia kontrolne **STATUS**, **SYNC** i **RESET**, zostały dołączone do układu LPC1764.

4.4.3. Generacja sygnałów zegarowych procesora DSP

Procesor DSP wymaga do poprawnej pracy 6 sygnałów zegarowych [patrz 4.2]; do ich generacji w module zastosowano układy CDCM6208 oraz 5V41068A.

Dobór układu generującego sygnały zegarowe

Dedykowanymi układami dystrybucji zegara dla procesorów DSP z rodziny TMS320C66x są układy CDCE6205, CDCL6010 i CDCM6208. Zdecydowano się na wykorzystanie układu CDCM6208 gdyż pozwala on na generację wszystkich potrzebnych sygnałów zegarowych do DSP. Dla porównania, moduł ewaluacyjny TMDXEVM6678L [33] posiada system generacji



Rysunek 4.7: Projekt pętli sprzężenia zwrotnego PLL układu AD9522

sygnałów zegarowych zbudowany na dwóch układach CDCE62005 oraz zewnętrznym modyfikatorze sygnałów zegarowych PCIe 2:1 ICS557. Wykorzystanie układu CDCM6208 pozwala uprościć ten system. Generuje on 6 sygnałów zegarowych, z czego 5 doprowadzonych jest bezpośrednio do procesora DSP, a jeden PCIECLK do modyfikatora sygnału zegarowego interfejsu PCIe układu 5V41068A (dedykowanego PCIe Gen. 2.0).

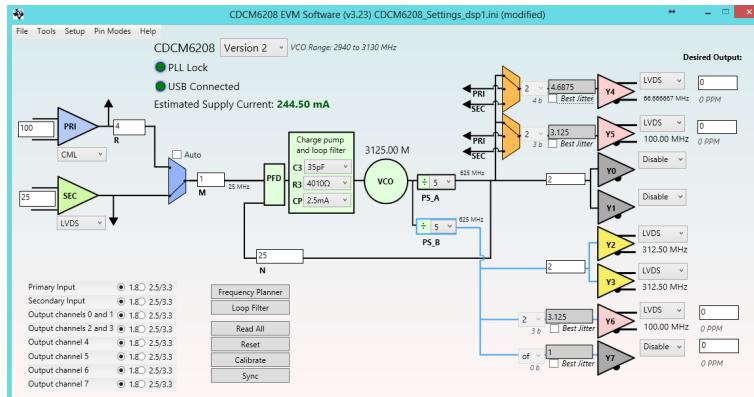
Schemat elektryczny układu dystrybucji sygnałów zegarowych CDCM6208

Układ jest zasilany z napięcia 1.8 V. Źródłem referencyjnym sygnału zegara jest oscylator kwarcowy 25 MHz dołączony do wejścia **PRI_REF/N** (wejście różnicowe), wybierany pinem **REF_SEL** (stan niski). Pin **SYNCN** jest ustawiony w stan wysoki, aby wyjścia były aktywne. Funkcja wyłączenia układu nie jest wykorzystywana, dlatego **PDN** jest ustawiony w stan wysoki. Zgodnie z zaleceniami producenta dołączono kondensator opóźniający uruchomienie układu (aby wewnętrzne PLL ustabilizowało się). Do pinu resetu układu dołączono układ opóźniający RC, reset układów zegarowych jest **oddzielony** od resetu pozostałych układów.

Konfiguracja odbywa się poprzez interfejs I2C. Ponieważ w akceleratorze znajdują się dwa układy generacji zegara dla procesorów DSP, różne są ustawienia pinów **AD[0:1]** które ustalają adres urządzenia.

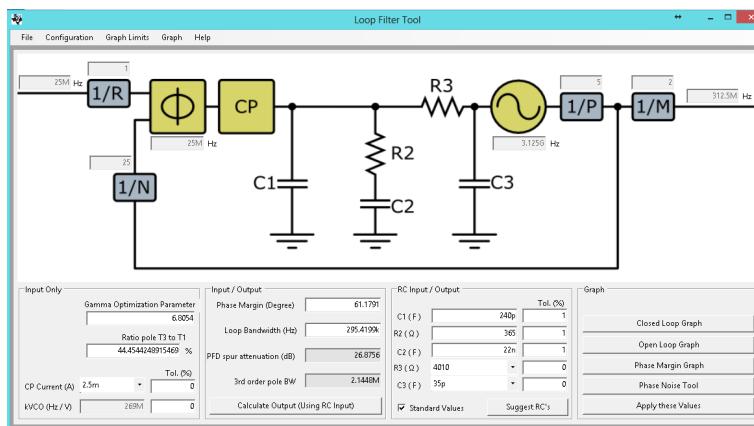
- adres CDCM6208 DSP0 0x54
- adres CDCM6208 DSP1 0x55

Producent udostępnia specjalne oprogramowanie, dzięki któremu można wygenerować odpowiednie wartości wewnętrznych rejestrów oraz elementów pętli sprzężenia zwrotnego. Układ został skonfigurowany w trybie *Synthesiser Mode* i pozwala na generację zegarów typu LVDS o częstotliwościach wymaganych przez procesor DSP.



Rysunek 4.8: Konfiguracja częstotliwości i typów wyjść zegarowych układu CDCM6208

Pętla sprzężenia zwrotnego układu CDCM6208 jest przedstawiona na rysunku [4.9].



Rysunek 4.9: Konfiguracja filtra pętli sprzężenia zwrotnego układu CDCM6208

Projekt pętli został wykonany w oparciu o dokumentację producenta [60] [61].

Multiplekser sygnału zegarowego PCIe Gen. 2.0 5V41068A Układ 5V41068A pełni taką samą rolę jak ICS557 w module ewaluacyjnym procesora TMS320C6678. Zasilany jest z napięcia 3.3 V odseparowanego od linii P3V3 filtrem typu CLC. Zdecydowano się na zmianę układu gdyż ten jest dedykowany interfejsowi *PCIe Gen. 2.0* a taki obsługuje procesor DSP. Układ pełni rolę przełącznika sygnału zegarowego interfejsu PCIe do DSP sterowanego z mikrokontrolera LPC1764 poprzez piny **PD, OE, SEL**. Takie rozwiązanie jest konieczne, aby zapewnić synchronizację we wcześniej wspomnianym systemie dystrybucji zegara *common refclk*.

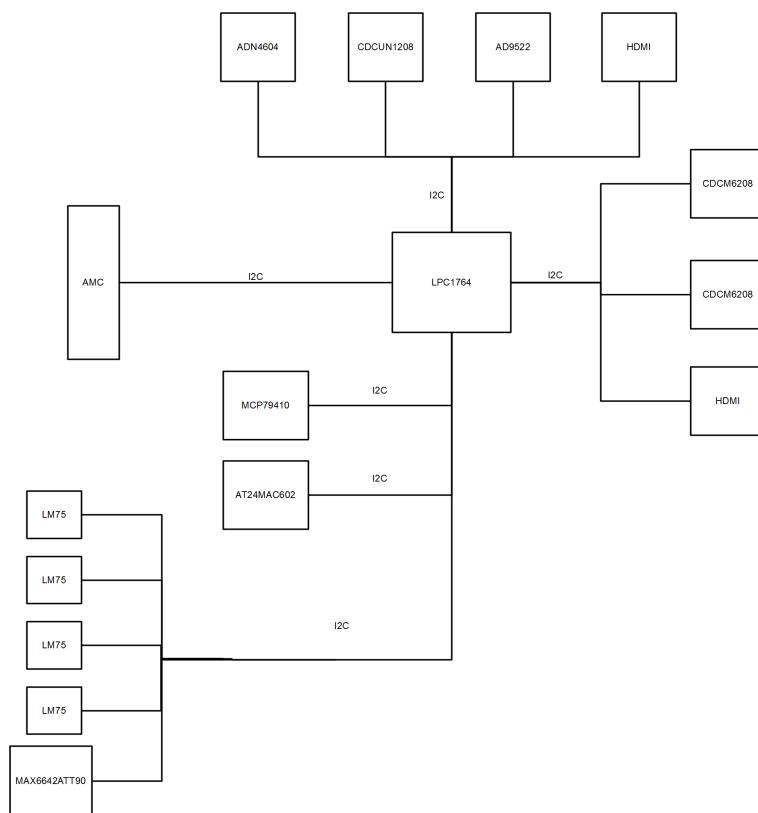
4.5. IPMI i zarządzanie periferiami

Moduł akceleratora obliczeniowego jest wyposażony w mikrokontroler LPC1764, którego zadaniem jest obsługa standardu IPMI [62] [63], sterowanie wejściami i interfejsami konfiguracyjnymi układów. Jest to mikrokontroler firmy NXP w obudowie LQFP100 z rdzeniem Cortex-M3. Układ jest zasilany z linii P3V3_MP, dedykowanej tylko IPMI zgodnie ze standardem AMC [57, page 4.22]. Do układu dołączona jest bezpośrednio pamięć EEPROM - układ AT24MAC602 [64] firmy Atmel [65] oraz układ RTC MCP79410 [66] firmy Microchip. Projekt schematów wykonano w oparciu o projekt AFC [67].

4.5.1. I2C - konfiguracja układów

Jedną z funkcji mikrokontrolera jest obsługa interfejsów I2C. LPC1764 zawiera 4 linie I2C pełniące następujące funkcje:

- komunikacja z MCH
- obsługa czujników temperatury i RTC
- konfiguracja układów CDCM6208 (1.8V)
- konfiguracja układów ADN4604, CDCUN1208, AD9522



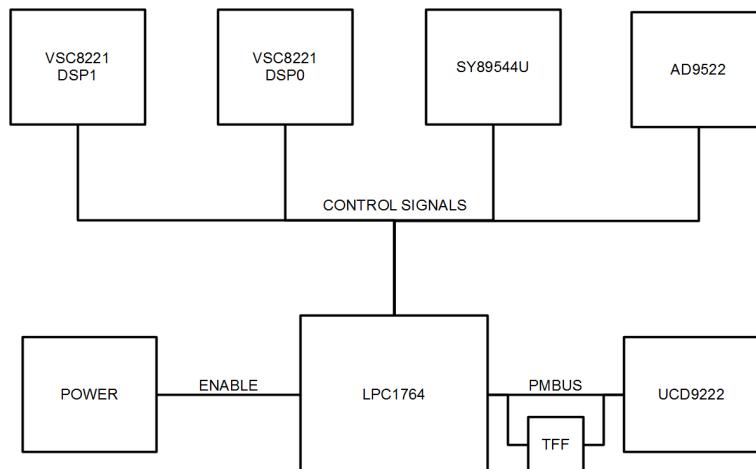
Rysunek 4.10: Schemat blokowy połączeń interfejsu I2C

Linia konfigurująca układy zegarowe CDCM6208 jest dołączona do nich przez translator poziomów układ PCA9306DCTR [68] gdyż są one zasilane z napięcia 1.8 V. Dodatkowo dwie linie interfejsów zostały wyprowadzone na panel przedni do złącz HDMI w celach diagnostycznych.

4.5.2. Zarządzanie peryferiami

Moduł akceleratora obliczeniowego jest wyposażony w mikrokontroler, który zajmuje się uruchomieniem całego urządzenia i zarządzaniem innymi układami. Do funkcji tego układu należy:

- konfiguracją rejestrów wewnętrznych CDCM6208
- sterowanie wejściami konfiguracyjnymi układów VSC8221, SY8544U i AD95222



Rysunek 4.11: Schemat blokowy połączeń sygnałów sterujących układu LPC1764

Pozostałymi funkcjami jakie pełni układ LPC1764 jest obsługa przycisku RESETu znajdującego się na panelu przednim akceleratora. Zarządzaniem ładowaniem pamięci programu układu FPGA z pamięci FLASH poprzez interfejs SPI, zgodnie ze scenariuszem *Slave-Serial*. Ponadto układ steruje sygnałami **GA[0:2]** ustalającymi adres I2C modułu w skrzyni *MTCA*.

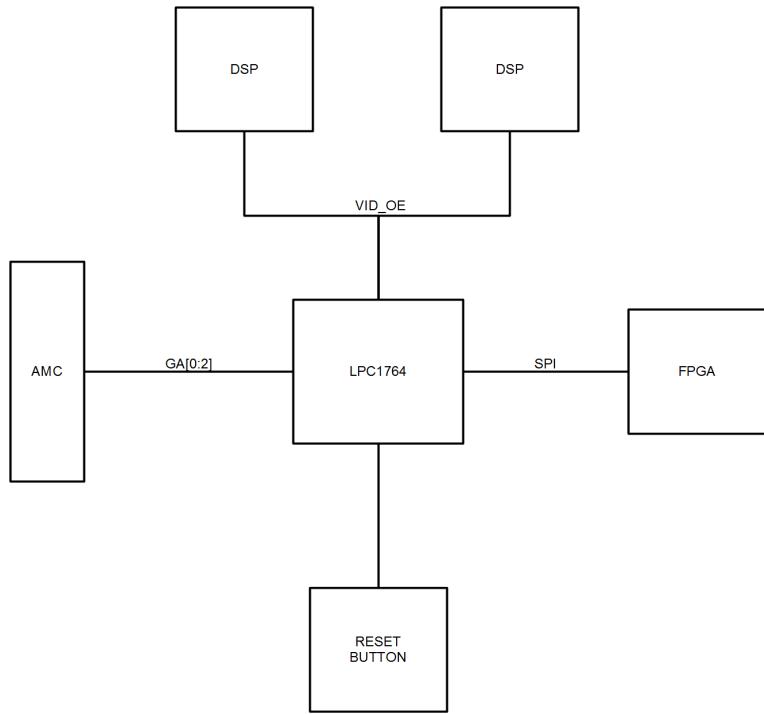
4.6. Złącza wejść/wyjść

4.6.1. miniSAS

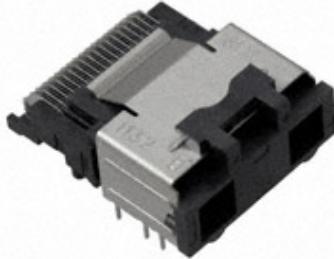
Dane w urządzeniu są przekazywane za pomocą dwóch złącz miniSAS firmy MOLEX [69] umieszczonych na panelu przednim. Każde ze złącz zawiera 4 linie RX/TX i interfejs komunikacyjny. Głównym zastosowaniem złącz SAS są centra danych. W porównaniu do złącz SATA, standard SAS jest wytrzymalszy mechanicznie i pozwala na łączenie urządzeń dłuższym przewodem. Maksymalna przepustowość danych w tym złączu to 4 x 12.0 Gbps czyli sumarycznie 48 Gbps.

4.6.2. RJ45

Gniazdo RJ45 *SI-61001-F* z wbudowaną izolacją magnetyczną dołączone jest do PHY VSC8221. Schemat połączeń i terminacji został zaadaptowany z projektu modułu ewaluacyjnego procesora TMS320C6678.



Rysunek 4.12: Schemat blokowy połączeń pozostałych sygnałów sterujących układu LPC1764



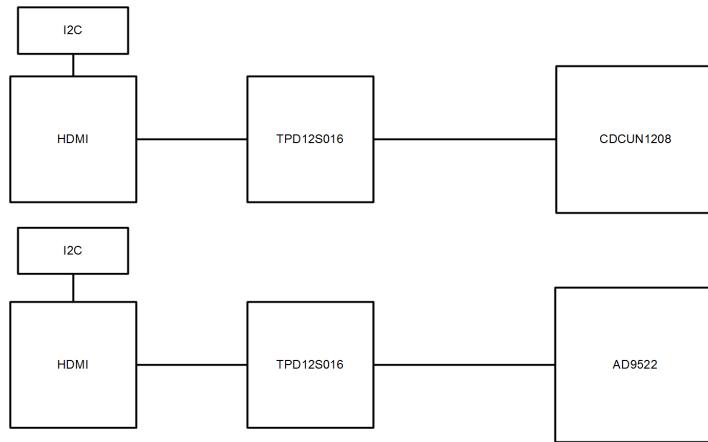
Rysunek 4.13: Złącze miniSAS firmy MOLEX

4.6.3. HDMI

Niewykorzystane wyjścia zegarowe w układach AD9522 i CDCUN1208 wyprowadzono na panel przedni z wykorzystaniem złączy HDMI typu D. Dodatkowo do złączy doprowadzone są interfejsy I₂C i sygnał OVERTEMP. Sygnały zostały zabezpieczone przed ESD/EMI poprzez dołączenie dedykowanych układów TPD12S016 [70].

4.7. MLVDS

Złącze AMC zawiera interfejs komunikacyjny MLVDS służący do dystrybucji sygnałów zegarowych, jak również triggerów i interlocków. W projektowanym urządzeniu zaadoptowano schemat dystrybucji sygnałów MLVDS z projektu AFC [67] z tą różnicą iż nie była konieczna translacja napięć z 3.3 V na 1.5 V, gdyż na banku zasilanym z napięcia 3.3 V było



Rysunek 4.14: Schemat blokowy połączeń złącza HDMI

wystarczająco dużo wolnych pinów, aby dołączyć sygnały MLVDS bezpośrednio. Linie różnicowe MLVDS wychodzące ze złącza AMC są dołączone do układów transceiverów MLVDS SN65MLVD040 [71] których wyjścia są dołączone do FPGA.

4.8. JTAG

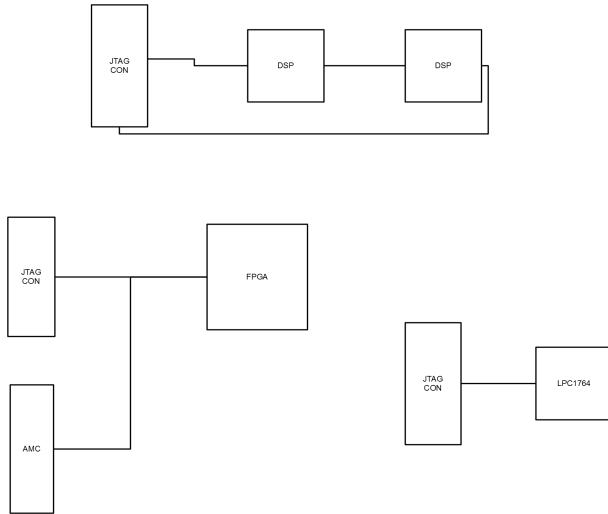
Protokół JTAG układu FPGA jest doprowadzony do złącza AMC oraz równolegle do złącza goldpin w celu ułatwienia uruchomienia urządzenia.

Protokoły JTAG procesorów DSP są połączone w łańcuch tzw. *Daisy Chain* zgodnie z zaleceniami producenta [34] [72]. Dodano również bufor SN74ALVC125PW [73] na poszczególne sygnały aby zapewnić poprawną pracę protokołu. Procesor DSP TMS320C6678 poza standardowym protokołem JTAG wspiera również dodatkowe protokoły *HS_RTDX* oraz *Trace* które pozwalają na szybsze programowanie i dokładniejszą analizę oprogramowania i pracy procesora. Złącze programatora w module ewaluacyjnym ma aż 60 sygnałów. W przypadku projektu akceleratora obliczeniowego nie potrzebujemy aż tak dokładnego protokołu programowania dlatego zdecydowano się na złącze 20 pinowe, które dodatkowo zajmuje najmniej miejsca na PCB (w porównaniu do np. złącza 14-pinowego) i wspiera część dodatkowego interfejsu programatora dla procesorów DSP.

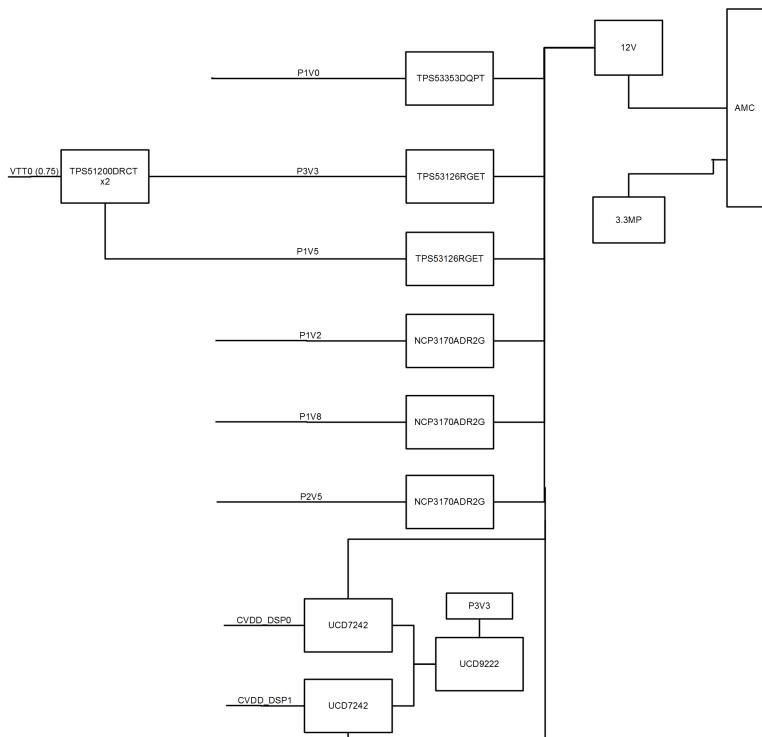
Programowanie mikrokontrolera LPC1764 odbywa się poprzez standardowe złącze JTAG.

4.9. Zasilanie

Sekcja zasilania w module składa się z sześciu przetwornic impulsowych oraz dwóch stabilizatorów LDO (*Low Dropout Regulator*) generujących wszystkie wymagane napięcia. Poniższy schemat blokowy przedstawia system zasilający akceleratora obliczeniowego.



Rysunek 4.15: Schemat blokowy połączeń protokołu JTAG



Rysunek 4.16: Schemat blokowy sekcji zasilania akceleratora obliczeniowego

4.9.1. Estymacja poboru mocy

Estymację poboru mocy przez poszczególne układy wykonano poprzez analizę danych z not katalogowych oraz wykorzystując specjalnie przygotowane przez producentów arkusze kalkulacyjne. Dla układu FPGA jest to dokument *Xilinx Power Estimator*, szczegółowo opisany w dokumentacji [74] [75] [76]. Dla układu DSP również wykorzystano arkusz kalkulacyjny obliczający pobór mocy *C6678 Power Consumption Model (Rev. C)* [77]. Zestawienie poboru prądu przez poszczególne układy znajduje się w tabeli [4.4].

Linia	Układ	Napięcie [V]	Prąd [A]	Ilość	Sumar. prąd [A]	Moc [W]	Komentarz
CVDD DSP0	TMS320C6678	1	8		7.3	7.3	UCD9222+UC7242
CVDD DSP1	TMS320C6678	1	8	1	7.3	7.3	1000 MHz, 50
P1V0	TMS320C6678 XC7A200T PEX8616	1	14		10.2	10.2	TPS53353DQPT
P1V2	XC7A200T	1.2	3	1	4.2	4.2	WORST CASE, 1.7W TYP. NCP3170ADR2G
P1V5	TMS320C6678 K4B2G1646 MT4J512M8RA-125 XC7A200T	1.5	11		6.11	9.165	TPS53126RGET
VTT	K4B2G1646 MT4J512M8RA	0.75	2	0.9	0.675	0.675	TPS51200DRCT
P1V8	TMS320C6678 XC7A200T CDCM6208	1.8	3	1.08	1.944	1.944	NCP3170ADR2G
P2V5	PEX8616 XC7A200T	2.5	3	0.61	1.475	1.475	NCP3170ADR2G
P3V3	XC7A200T ADN4604 CDCUN1208	3.3	3	0.85	2.805	2.805	TPS53126RGET
Moc sumaryczna		12	3.443			41.316	

Tabela 4.4: Estymacja pobieranej mocy przez akcelerator obliczeniowy

4.9.2. Linie zasilania P1V0, P1V2, P1V8, P1V5, P3V3, VTT

Linie zasilania *P1V0*, *P1V2*, *P1V8*, *P1V5*, *P3V3*, *VTT* zostały zaadaptowane z projektu **AFC** [67]. Spełniają one wymagania prądowe do tego projektu.

Przy projekcie linii napięcia terminacji pamięci SDRAM zastosowano dwa stabilizatory LDO zlokalizowane po dwóch stronach PCB, aby uniezależnić się od spadku napięcia wynikającego z przepływu prądu po znacznej odległości w module.

4.9.3. Linia zasilania P2V5

Napięcie +2.5V jest wymagane dla układu PEX8616 [25] firmy PLX Technology [26]. Projekt przetwornicy został wykonany wykorzystując układ NCP3170 [78] firmy *ON Semiconductor* [79], taki sam jaki został wykorzystany do generacji napięć 1.2V oraz 1.8V. Dóbór elementów do otrzymania przetwornicy o odpowiednich parametrach został wykonany przy wykorzystaniu arkusza kalkulacyjnego udostępnionego przez producenta oraz sprawdzony wykorzystując znaną teorię projektowania przetwornic impulsowych typu *Step-Down*. Zgodnie z przewidywanym poborem dla linii *P2V5*, możemy się spodziewać bardzo małego poboru mocy; typowy pobór mocy przez przełącznik PEX8616 wynosi ok. 0.5A. Jednak nie bierzemy tu pod uwagę prądu pobieranego przez Bank układu FPGA. Przetwornica jest zaprojektowana na maksymalny pobór prądu 3A zgodnie z tabelą dostępną w dokumentacji układu [78, page 19]. Na schematach został opcjonalnie umieszczony liniowy regulator LDO, który można zamienić z przetwornicą w przyszłych rewizjach projektu jeśli pobór prądu przez układ FPGA dla tej linii również będzie mały.

4.9.4. Regulowane napięcie zasilania rdzenia procesora DSP - CVDD

Projekt sekcji zasilającej napięcia rdzenia procesorów DSP oparty jest o układy zalecane przez producenta [34] tj. UCD9222 oraz UCD7242 które są układami specjalizowanymi do zasilania procesorów TI z rodziny TMS320C66x. Zgodnie z wymaganiami każdy procesor musi mieć oddzielną linię zasilania CVDD. Projekt zasilania został zaadaptowany z modułu referencyjnego TMDXEVM6678L, z tą różnicą iż zmieniono wyjście CVDD1 na CVDD dla drugiego procesora DSP (CVDD1 to stałe napięcie 1V, a CVDD to napięcie regulowane). Konfiguracja przetwornicy odbywa się za pomocą interfejsu PMBus, która może być wykonana zarówno za pomocą układu LPC1764, który został przystosowany do obsługi tego interfejsu, jak i poprzez programator USB-TO-GPIO [80].

Rozdział 5

Projekt obwodów drukowanych

5.1. Wstęp

Poniższy rozdział zawiera opis projektu obwodów drukowanych akceleratora obliczeniowego. Pierwsza część zawiera opis wymagań i ograniczeń producenta, według których ustalone zostały reguły projektowe. Kolejne części zawierają proces projektowania PCB, na co składa się projekt warstw, rozmieszczenia elementów oraz opis zasad prowadzenia ścieżek.

5.2. Wymagania producenta

Produkcję obwodów drukowanych zlecono firmie *Brandner PCB* [81] z Estonii. Firma ta pozwala na szybką produkcję zaawansowanych projektów. Strona producenta zawiera zestawienie możliwości produkcyjnych [82].

Względem tych zasad ustalone zostały podstawowe reguły projektowe:

Wymaganie	Min [mm]	Maks. [mm]
Odstęp między ścieżkami	0.1	
Wymiary przelotki (otwór/średnica)	0.2/0.4	0.4/0.8
Odległość między przelotkami	0.1	
Odległość otworów od polygonów	0.1	
Szerokość ścieżek	0.08	10
Odległość ścieżek od krawędzi	0.2	

Tabela 5.1: Podstawowe reguły projektowe

5.3. Oprogramowanie EDA

Programem wykorzystanym do zaprojektowania obwodów drukowanych jest *Altium Designer* [83]. Program ten jest zintegrowanym środowiskiem pozwalającym na tworzenie schematów, obwodów drukowanych, a nawet posiada takie funkcje jak możliwość programowania układów FPGA.

5.4. Projekt warstw

Ze względu na znaczną ilość linii zasilających oraz ilość układów scalonych projekt akceleratora obliczeniowego wykonano na 16 warstwowym obwodzie drukowanym. Wykorzystano standardowy stackup producenta oparty o materiał FR4 o stałej dielektrycznej $\epsilon = 4.6$.



Build-up PCB

MITMEKIHILISE TRÜKKPLAADI		DOK. NR.	BRN1010-072B6	VERSIOON:	LEHTI 1 / 1
PEALKIRI:	PAKETI KOOSTAMINE	VORMI KOOSTAS	A.SOON	VORMI AKTSESTEERIS:	M.ALJAS
				VERSIOONIKUUPÄEV	18.02.2004
				ALGKUUP.	18.02.2004
<input type="checkbox"/> DIFFERENT PREPRAG					
CUSTOMER:	BRANDNER PCB OÜ	BOARD NAME:	16-layers		
OUR CODE:	88888	QUANTITY:			
APPLICATION STANDART:	PERFAG 3C: X	LAYERS:	16		
ORDER NUMBER:	DELIVERY DATE				
MATERIAL PCB TYPE:	R1755V High Tg 170 2mm;35 μ ;ML16;CM;SM;CK;SK;KULD				
LAYE	BUILD UP	TYPE	THICKNESS mm		
1	COMP Cu	18 μ	0.018		
	PREPREG	2116	0.11		
2	Cu	18 μ	0.018		
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1		
3	Cu	18 μ	0.018		
	PREPREG	2116	0.11		
4	Cu	18 μ	0.018		
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1		
5	Cu	18 μ	0.018		
	PREPREG	2116	0.11		
6	Cu	18 μ	0.018		
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1		
7	Cu	18 μ	0.018		
	PREPREG	2116	0.11		
8	Cu	18 μ	0.018		
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1		
9	Cu	18 μ	0.018		
	PREPREG	2116	0.11		
10	Cu	18 μ	0.018		
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1		
11	Cu	18 μ	0.018		
	PREPREG	2116	0.11		
12	Cu	18 μ	0.018		
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1		
13	Cu	18 μ	0.018		
	PREPREG	2116	0.11		
14	Cu	18 μ	0.018		
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1		
15	Cu	18 μ	0.018		
	PREPREG	2116	0.11		
16	SOLDER Cu	18 μ	0.018		
			1.87		
	REQUIRED FINAL THICKNESS:		2.00		

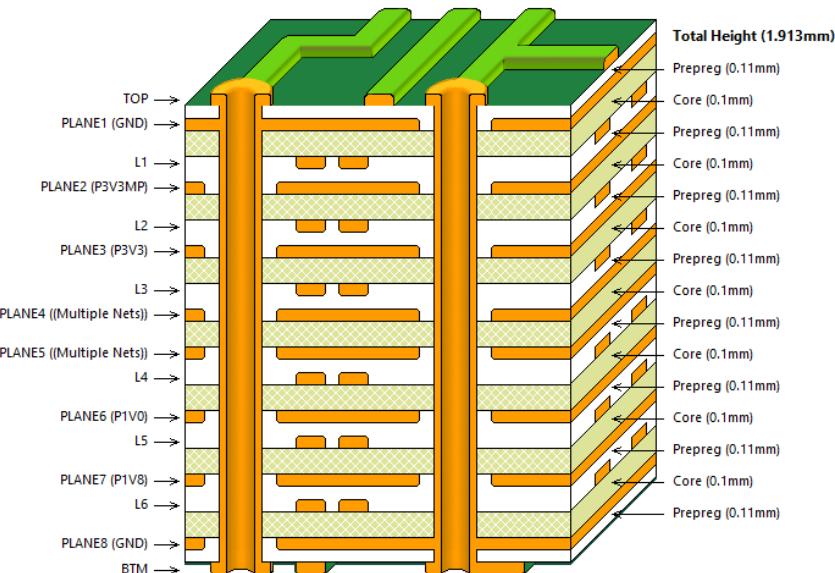
Rysunek 5.1: Standardowa konfiguracja warstw dla obwodu 16 warstwowego firmy Brandner

Dobór ilości warstw jest szeroko opisany w profesjonalnej literaturze dotyczącej projektowania szybkich systemów cyfrowych [84] [85] jak również w poradnikach tzw. *User Guides*

udostępnianych przez producentów układów scalonych [86] [87]. Zdecydowano się na obwód 16 warstwowy z szeregu powodów:

- duża ilość szybkich interfejsów szeregowych - nie można prowadzić takich ścieżek pod/nad rozdzielonymi warstwami (*split planes*)
- 9 głównych linii zasilających
- duże upakowanie elementów
- rezygnacja z wykorzystania ślepych i zagrzebanych przelotek

Zalecaną praktyką jest, aby każda linia zasilania była prowadzona na oddzielnej warstwie. Z punktu widzenia integralności sygnałowej jest to poprawna praktyka, jednak znacznie zwiększa koszty produkcji urządzenia. Dlatego konieczne było rozdzielenie dwóch warstw zasilających, aby poprowadzić wszystkie napięcia zasilające. Ważnym aspektem jest ścieżka powrotna sygnałów, która również może być podatna na zakłócenia. Zastosowana konfiguracja warstw udostępnia każdej warstwie sygnałowej przynajmniej jedną pełną warstwę referencyjną.

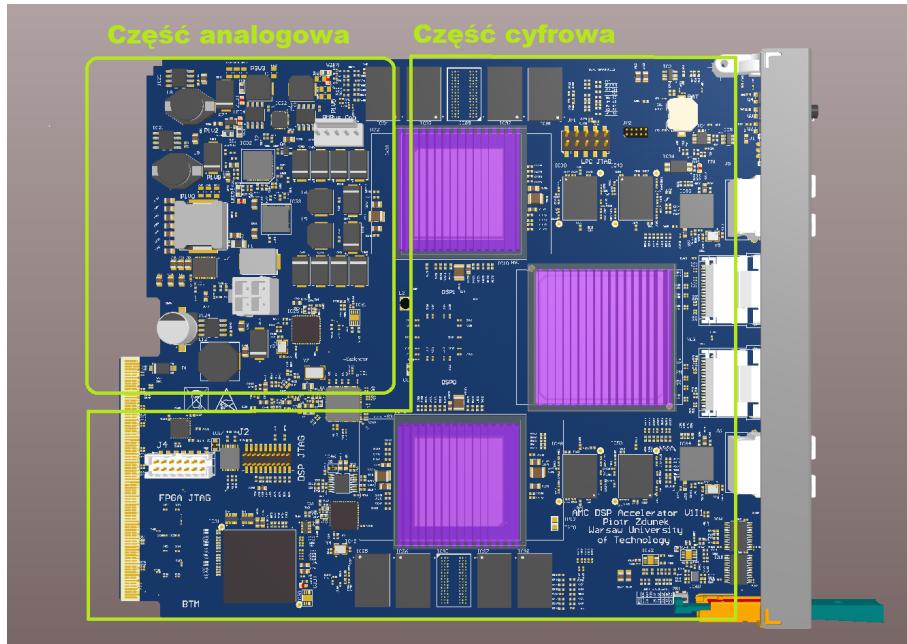


Rysunek 5.2: Konfiguracja warstw akceleratora obliczeniowego

5.5. Rozmieszczenie elementów

Krytycznym aspektem projektowania urządzeń elektronicznych jest poprawne rozmieszczenie elementów na obwodzie drukowanym. W akceleratorze obliczeniowym zastosowano ogólnie znane praktyki rozmieszczania elementów jak m. in. :

- skupienie układów zasilających w jednym miejscu
- zapewnienie jak najkrótszej ścieżki powrotnej dla sygnałów
- minimalizacja długości połączeń



Rysunek 5.3: Podział części analogowej i cyfrowej akceleratora obliczeniowego

Główną trudnością podczas projektowania było odpowiednie rozmieszczenie elementów aby zapewnić optymalne połączenia szybkich interfejsów szeregowych między układami. To one głównie decydowały o rozmieszczeniu elementów, dla przykładu: układ przełącznika SRIO ADN4604 umieszczono na drugiej stronie PCB aby możliwe było poprowadzenie ścieżek interfejsu Hyperlink między procesorami DSP. Natomiast przełącznik PCIe umieszczono blisko złącza krawędziowego AMC, ponieważ umieszczenie go pomiędzy procesorami DSP i FPGA spowodowałoby znaczne utrudnienia w prowadzeniu połączeń interfejsu SRIO wcześniej wspomnianego przełącznika. Kolejną kwestią jest dystrybucja sygnałów zegarowych; układy je generujące powinny znajdować się jak najbliżej układu docelowego co starano się wykonać w projekcie. Końcowy efekt jest zadowalający i wszystkie interfejsy spełniają wymagania producenta.

5.6. Zasady prowadzenia ścieżek szybkich interfejsów

Poniższa część zawiera zasady, którymi kierowano się przy prowadzeniu połączeń szybkich szeregowych interfejsów takich jak: *PCI Express*, *SRIO*, *Hyperlink* oraz sygnałów zegarowych. Sygnały płynące w obwodach drukowanych mają prędkość mniejszą od prędkości światła w przybliżeniu o połowę, dla typowego laminatu FR4. Zgodnie ze wzorem:

$$v = \frac{c}{\sqrt{\epsilon_r}} = \frac{3 \cdot 10^8}{\sqrt{4.6}} \approx 14 \text{ cm/ns}$$

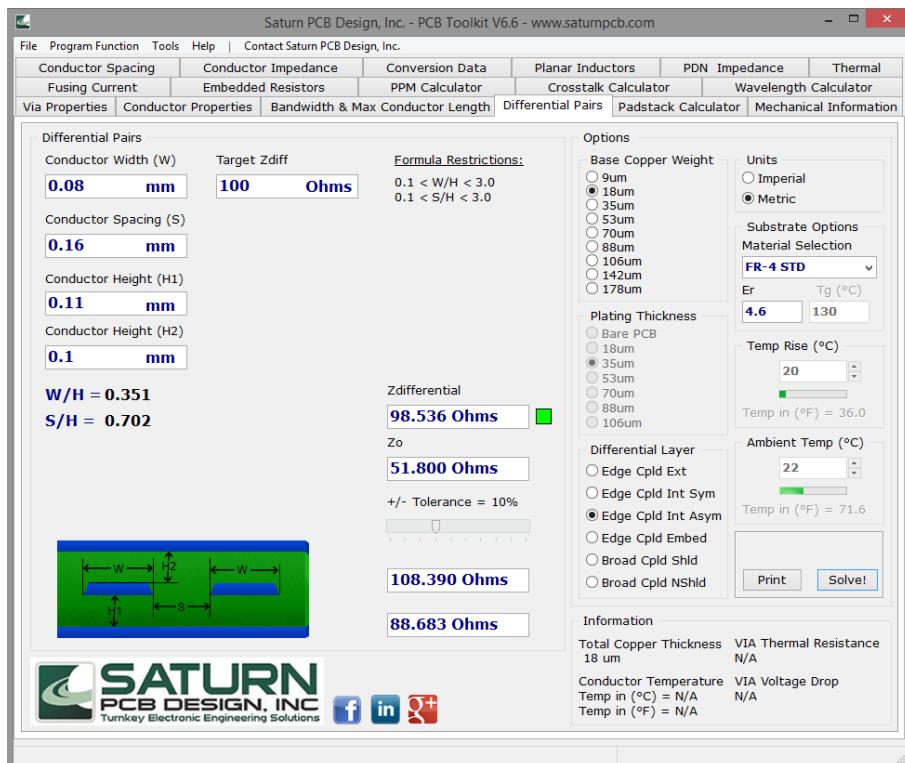
Dokumentacja producentów układów zawiera zasady prowadzenia poszczególnych interfejsów [88] [89] [90]. Dopasowanie par różnicowych i linii opiera się o czas propagacji sygnału w linii transmisyjnej jaką jest ścieżka w obwodzie drukowanym przy dużej prędkości transmisji, dlatego określa się je często w *pikosekundach*.

Interfejs	Dopas. P/N min. [ps]	Dopas. P/N min. [mm]	Dopas. P/N maks. [mm]	Dopas. TXn/RXn [ps]	Dopas. TXn/RXn min. [mm]	Dopas. TXn/RXn maks. [ps]
SRIo	5	0.7	0.9	10	1.38	1.8
PCIe	1	0.14	0.18	5	0.7	0.9
Hyperlink	1	0.14	0.18	100	13	18
SGMII	5	0.7	0.9	5	0.7	0.9

Tabela 5.2: Reguły prowadzenia ścieżek szybkich interfejsów szeregowych

5.6.1. Dobór szerokości ścieżek

Kolejnym kluczowym elementem przy prowadzeniu połączeń szybkich szeregowych interfejsów cyfrowych jest impedancja połączeń. Szybkie interfejsy szeregowe wymagają odpowiedniej wartości terminacji przy odbiorniku (która zwykle jest wbudowana w układ). Najbardziej popularną wartością jest 100Ω lub np. w przypadku pamięci DDR3 80Ω . Z tego powodu wymagane jest aby *linia transmisyjna* którą jest ścieżka różnicowa miała odpowiednią impedancję charakterystyczną (różnicową *differential* oraz pojedynczą *single ended*). Do wyznaczenia odpowiedniej szerokości ścieżek posłużono się darmowym programem *Saturn PCB Toolkit* [91].



Rysunek 5.4: Program Saturn PCB Toolkit

Tabela [5.3] przedstawia wyliczone wartości szerokości oraz odległości między parami różnicowymi dla interfejsów o impedancji różnicowej 100Ω . Przygotowane zostały cztery tabele, dwie dla impedancji 100Ω oraz dwie dla impedancji 80Ω , pierwsza przedstawia standarde wartości szerokości oraz odległości a druga minimalne. Minimalne wartości są szczególnie przydatne, gdy konieczne jest poprowadzenie pary różnicowej np. pod układem w obudowie BGA.

Pozostałe tabele z wyliczeniami szerokości ścieżek zostały dołączone w załączniku [B.2], w pliku **AMC_DSP.xls**.

5.7. Podsumowanie

Powyższy rozdział opisuje najważniejsze reguły prowadzenia ścieżek na akceleratorze. Zastosowanie tych reguł pozwala zakładać, iż interfejsy pomiędzy układami będą poprawnie pracować pod kątem integralności sygnałowej.

Warstwa	Rodzaj	Grubość miedzi [μm]	Wys. H1 [mm]	Wys. H2 [mm]	Szer. ścieżki [mm]	Odległość [mm]	Impedancja równ. [Ω]	Impedancje poj. [Ω]
TOP	Edge cpl. ext	18	0.11	0	0.15	0.3	98.562	51.06
GND	Plane	18	0.1	0.08	0.16	0.16	98.536	51.8
L1	Edge Cpld Int Asym	18	0.1	0	0.11	0.08	98.536	51.8
POWER	Plane	18	0.1	0	0.11	0.08	98.536	51.8
L2	Edge Cpld Int Asym	18	0.1	0	0.11	0.08	98.536	51.8
POWER	Plane	18	0.1	0	0.11	0.08	98.536	51.8
L3	Edge Cpld Int Asym	18	0.1	0.11	0.11	0.08	98.536	51.8
POWER	Plane	18	0.1	0	0.11	0.08	98.536	51.8
L4	Edge Cpld Int Asym	18	0.1	0.11	0.11	0.08	98.536	51.8
POWER	Plane	18	0.1	0	0.11	0.08	98.536	51.8
L5	Edge Cpld Int Asym	18	0.1	0.11	0.11	0.08	98.536	51.8
POWER	Plane	18	0.1	0	0.11	0.08	98.536	51.8
L6	Edge Cpld Int Asym	18	0.1	0.11	0.11	0.08	98.536	51.8
GND	Plane	18	0	0	0.15	0.3	98.562	51.06
BTM	Edge cpl. ext	18	0.11	0	0.15	0.3	98.562	51.06

Tabela 5.3: Szerokości ścieżek szybkich interfejsów szeregowych dla impedancji 100Ω

Warstwa	Rodzaj	Grubość miedzi [μm]	Wys. H1 [mm]	Wys. H2 [mm]	Szer. ścieżki [mm]	Odległość [mm]	Impedancja równ. [Ω]	Impedancje poj. [Ω]
TOP	Edge cpl. ext	18	0.11	0	0.22	0.33	78.202	40.184
GND	Plane	18	0.1	0.11	0.13	0.26	80.53	40.826
L1	Edge Cpld Int Asym	18	0.1	0	0.11	0.13	80.53	40.826
POWER	Plane	18	0.1	0	0.11	0.13	80.53	40.826
L2	Edge Cpld Int Asym	18	0.1	0	0.11	0.13	80.53	40.826
POWER	Plane	18	0.1	0	0.11	0.13	80.53	40.826
L3	Edge Cpld Int Asym	18	0.1	0	0.11	0.13	80.53	40.826
POWER	Plane	18	0.1	0	0.11	0.13	80.53	40.826
L4	Edge Cpld Int Asym	18	0.1	0	0.11	0.13	80.53	40.826
POWER	Plane	18	0.1	0	0.11	0.13	80.53	40.826
L5	Edge Cpld Int Asym	18	0.1	0.11	0.13	0.26	80.53	40.826
POWER	Plane	18	0.1	0	0.11	0.13	80.53	40.826
L6	Edge Cpld Int Asym	18	0.1	0.11	0.13	0.26	80.53	40.826
GND	Plane	18	0.11	0	0.22	0.33	78.202	40.184
BTM	Edge cpl. ext	18	0.11	0	0.22	0.33	78.202	40.184

Tabela 5.4: Szerokości ścieżek szybkich interfejsów szeregowych dla impedancji 80Ω

Rozdział 6

Symulacje integralności sygnałowej i zasilania

6.1. Wstęp

Rozdział ten zawiera opis przeprowadzonych symulacji integralności sygnałowej oraz integralności zasilania. Symulacje są bardzo istotną częścią projektowania szybkich systemów cyfrowych, ponieważ minimalizują liczbę błędów w projekcie jeszcze przed produkcją zmniejszając znacznie koszt i czas realizacji urządzenia. Obecnie w projektach wykorzystujących szybkie interfejsy szeregowe przesyłające dane z prędkością 1 Gbps i więcej symulacje są wręcz konieczne. Kolejną kwestią są symulacje zasilania urządzeń elektronicznych, które również pozwalają na znalezienie błędów w projekcie, w postaci np. zbyt wąskich ścieżek doprowadzających zasilanie do układu czy zbyt małej liczby przelotek łączących wyjście przetwornicy z płaszczyzną zasilania. Symulacje akceleratora obliczeniowego wykonano w programie Hyperlynx [92] w wersji 8.1.

6.2. Ograniczenia

Wykonanie wszystkich wymaganych symulacji nie było możliwe ze względu na brak modeli IBIS-AMI do poszczególnych układów:

- DSP TMS320C6678
- FPGA XC7A200T
- ADN4604
- PEX8616
- złącz miniSAS

Możliwe było wykonanie symulacji części linii zegarowych oraz symulacja spadku napięcia zasilania na poszczególnych - najważniejszych liniach zasilających. Symulacja połączeń sygnałów zegarowych częściowo weryfikuje inne połączenia, ponieważ przy projektowaniu obu rodzajów połączeń stosowano te same reguły projektowe.

6.3. Opis programu Hyperlynx

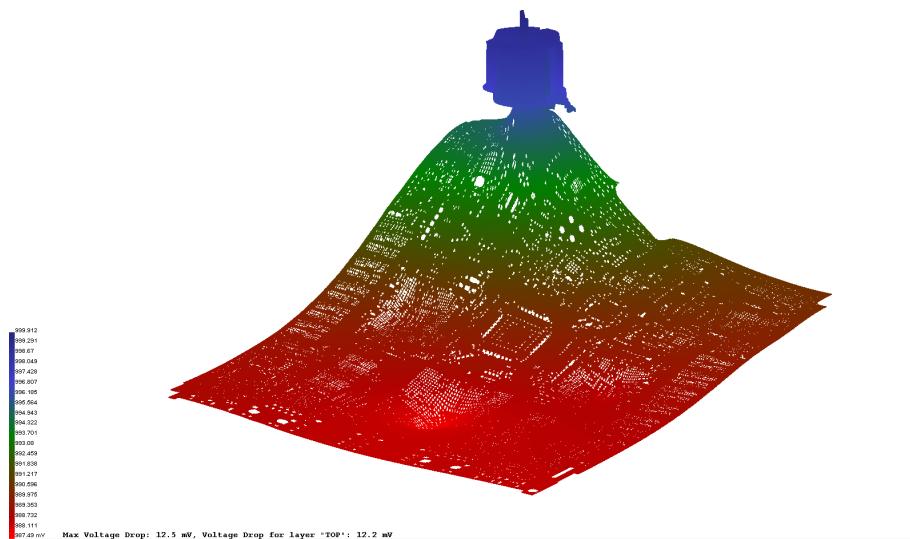
Program Hyperlynx firmy Mentor Graphics [93], służy do symulacji integralności sygnałowej i integralności zasilania projektów obwodów drukowanych. Wykorzystywana wersja jest tzw. *solverem* 2D tzn. symulacja jest wykonywana w dwóch wymiarach. Powoduje to pewne ograniczenia i dopiero najnowsza wersja pozwala na pełną symulację 3D.

Przy symulacji należy wziąć pod uwagę sposób w jaki Hyperlynx wykonuje obliczenia. Przykładowo program nie bierze pod uwagę rozdzielonych płaszczyzn oraz zakłada, że ścieżka powrotna sygnału jest idealny.

Pomimo tych ograniczeń Hyperlynx pozwala na sprawdzenie czy zaprojektowane urządzenie spełnia podstawowe założenie projektowe.

6.4. Symulacja spadku napięcia linii zasilania

Zasilanie jest krytyczną częścią każdego urządzenia elektronicznego. Nowoczesne układy scalone wymagają stabilnego napięcia o odpowiedniej wartości. Za pomocą programu Hyperlynx wykonano symulację spadku napięcia na najważniejszych liniach zasilania.



Rysunek 6.1: Wizualizacja symulacji spadku napięcia na linii P1V0

W tabeli [6.1] umieszczone są wyniki symulacji spadku napięcia na najważniejszych liniach zasilania. Symulacje wykonano zgodnie z wcześniej przygotowaną tabelą estymowanego poboru mocy [4.4].

6.5. Symulacje sygnałów zegarowych

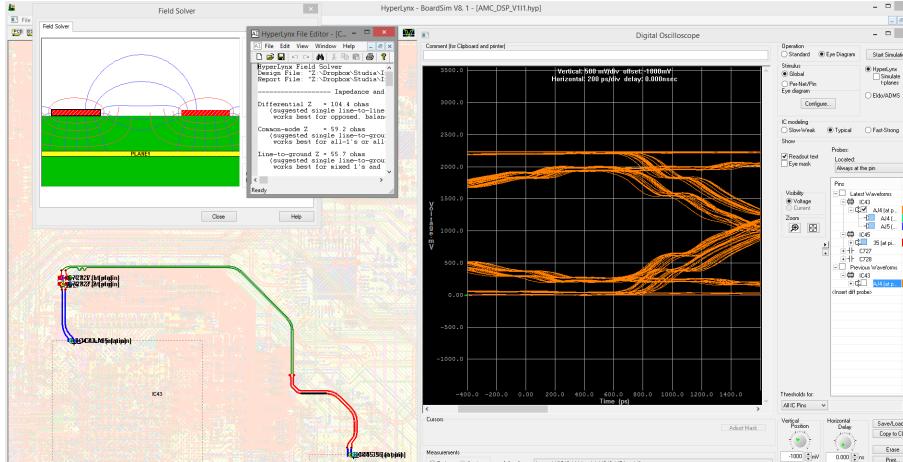
Projekt akceleratora obliczeniowego zawiera wiele krytycznych sygnałów zegarowych, których jakość jest bardzo istotna dla poprawnej pracy układów. Przykładowo procesor sygnałowy wykorzystany w projekcie wymaga aby sygnały zegarowe miały określony - maksy-

Linia zasilania	Maks. spadek napięcia [mV]
P1V0	12.5
P1V2	12.5
P1V5	13.5
P1V8	1.8
P2V5	4.5
P3V3	4.5
P12V	8.3
P3V3MP	4.5
VTT0	1.2
VTT1	1.7
CVDD_DSP0	21
CVDD_DSP1	3

Tabela 6.1: Wyniki symulacji integralności zasilania DC Drop Voltage

malny, poziom wahań częstotliwości tzw. *jitter*. Ze względu na ilość wykonanych symulacji przedstawiony został przykładowy jej wynik dla najszybszego sygnału zegarowego występującego w projekcie akceleratora obliczeniowego, natomiast wyniki liczbowe pozostałych zaprezentowano w postaci tabeli [6.2].

- Sygnał SRIOSGMICLK, Częstotliwość pracy 312 MHz. Wysokość diagramu oka 1.26 V, szerokość diagramu oka 1.38 ns, impedancja różnicowa linii 104.4 Ω.



Rysunek 6.2: Wykres diagramu oka dla sygnału zegarowego SGMIIISRIOCLK

6.6. Pozostałe symulacje i analizy

Pomiędzy ścieżkami w obwodzie drukowanym, znajdującymi się zbyt blisko siebie występują przesłuchy, które mogą powodować przekłamanie transmisji np. interfejsu I2C. Program Hyperlynx pozwala na znalezieni błędów projektowych, które mogą powodować to zjawisko. Wykonana symulacja Signal Integrity Batch Simulation została przeanalizowana

i poprawione zostały połączenia zaproponowane przez program jako te mogące powodować zakłócenia na innych liniach. Poprawienie polega na odseparowaniu od siebie poszczególnych ścieżek na obwodzie drukowanym.

Inną analizą jaką można wykonać za pomocą Hyperlynx jest analiza poprawności połączenia kondensatora z siecią zasilania. Wykonana symulacja przedstawiała jednak często wyniki niezgodne z projektem obwodów drukowanych. Przykładowo analiza wykazała, że dany kondensator nie jest dołączony do płaszczyzny zasilania lub zostały przeanalizowane kondensatory, które nie należą do grupy wybranej do analizy. Przedstawia to istotny problem, przy symulacjach bardzo istotną kwestią jest krytyczne podejście do wyników.

6.7. Podsumowanie

Przeprowadzone symulacje integralności sygnałowej oraz integralności zasilania pozwalają zakładać, że obwody drukowane zostały zaprojektowane poprawnie. Niestety mimo usiłnych starań nie udało się uzyskać potrzebnych modeli IBIS-AMI od producentów układów scalonych co uniemożliwiło symulacje interfejsów SerDes.

Sygnal zegarowy	Źródło	Odbiornik	Wys. ED [V]	Szer. ED [ns]	V_{TH} maks. [V]	V_{TL} [min] [mV]	Częst. [MHz]	T_r [ns]	T_f [ns]	Typ	Terminacja
SRIOSGMiCLK	CDCM6208 (IC45)	TMS320C6678 (IC43)	1.26	1.38	1.56	94	312	0.558	0.553	LVDS	AC
DDRCLK	CDCM6208 (IC45)	TMS320C6678 (IC43)	2.04	7.82	2.2	64	67	1.9	1.8	LVDS	AC
MCMCLK	CDCM6208 (IC45)	TMS320C6678 (IC43)	1.42	1.56	1.57	53	312	485	470	LVDS	AC
CORECLK	CDCM6208 (IC45)	TMS320C6678 (IC43)	0.998	3.3	1.94	280	100	2.391	2.43	LVDS	AC
PCIECLK	CDCM6208 (IC45)	5V41068a (IC46)	0.489	4.1	1.24	600	100	887	883	HCSL	Thevenina, AC
PASSCLK	CDCM6208 (IC45)	TMS320C6678 (IC43)	1.13	3.675	1.97	256	100	2.3	2.3	LVDS	AC
PCIECLK	5V41068a (IC46)	TMS320C6678 (IC43)	1.06	4.744	1.1	8.95	100	461	461	HCSL	Thevenina, AC
<hr/>											
SRIOSGMiCLK	CDCM6208 (IC25)	TMS320C6678 (IC41)	1.26	1.265	1.56	112	312	574	571	LVDS	AC
DDRCLK	CDCM6208 (IC25)	TMS320C6678 (IC41)	1.44	5.43	203	200	67	3.5	3.7	LVDS	AC
MCMCLK	CDCM6208 (IC25)	TMS320C6678 (IC41)	1.1	1.474	1.54	130	312	543	529	LVDS	AC
CORECLK	CDCM6208 (IC25)	TMS320C6678 (IC41)	1.44	3.989	2.04	191	100	2.472	2.662	LVDS	AC
PCIECLK	CDCM6208 (IC25)	5V41068a (IC26)	543	4.7	543	33	100	673	636	HCSL	Thevenina, AC
PASSCLK	CDCM6208 (IC25)	TMS320C6678 (IC41)	999	4.1	1.95	277	100	2.343	2.4	LVDS	AC
PCIECLK	5V41068a (IC26)	TMS320C6678 (IC41)	1.11	4.738	1.12	7.95	100	477	475	HCSL	Thevenina, AC

Tabela 6.2: Wyniki symulacji integralności sygnałowej sygnałów zegarowych

Rozdział 7

Oprogramowanie uruchamiające moduł

7.1. Wstęp

Poniższy rozdział zawiera opis oprogramowania uruchamiającego akcelerator obliczeniowy. W pierwszej części opisano sterowanie przetwornicami, a następnie opis konfiguracji poszczególnych układów. Oprogramowanie zawiera się w dwóch plikach: **adsp.c**, **adsp.h** i dodaje funkcję obsługi akceleratora obliczeniowego do istniejącego software'u wykorzystywanego w modułach AMC w laboratorium PERG.

7.2. Opis mikrokontrolera LPC1764

Układ LPC1764 jest 32 bitowym mikrokontrolerem z rdzeniem Cortex-M3 firmy NXP. Jest to rozbudowany układ, który posiada wiele sprzętowych peryferiów takich jak kontroleury interfejsów I2C, CAN czy przetwornik analogowo cyfrowy. Główną jego funkcją jest sterowanie procesem załadowania pamięci programu do układu FPGA oraz obsługa standardu IPMI. Poza tym układ zajmuje się sterowaniem pinów konfiguracyjnych poszczególnych układów oraz konfiguracja ich rejestrów wewnętrznych. Na rysunku [4.10] przedstawiona jest struktura połączeń interfejsu I2C w projekcie akceleratora obliczeniowego.

7.2.1. Środowisko programistyczne

Producent, firma NXP [94] udostępnia środowisko programistyczne *LPCXpresso* oparte o znane IDE (*Integrated Developement Environment*) Eclipse [95]. Producent udostępnia do układu kompilator ANSI C oraz podstawowe biblioteki do obsługi peryferiów.

7.3. Uruchomienie linii zasilających

Zarówno procesor DSP jak i FPGA wymagają aby poszczególne napięcia były uruchamiane sekwencyjnie. Procesor DSP ma dwa scenariusze uruchamiania zasilania *Core before IO* i *IO before Core* natomiast FPGA ma jeden, który jak się okazuje w praktyce nie ma

The screenshot shows the Code::Blocks IDE interface for developing software for the TMS320F28335 processor. The top menu bar includes File, Edit, Source, Refactor, Navigate, Search, Project, Run, Window, Help, and Quick Access. The title bar indicates the project is named "Develop - TMS320F28335/pms_12c_driver.c - IAR/presso".

The left sidebar displays the Project Explorer, showing the file structure:

- CardHardware
- CardHardware.h
- configuart.h
- configuart.c
- gpmi.c
- gpmi.h
- mp_driver.c
- mp_driver.h
- UDSdevice.c
- UDSdevice.h
- mcu.c
- mcu.h
- mcu_start.c
- mcu_stop.c
- timer_callback.c
- sticx.c
- sticx.h
- exception.c
- exception.h
- tempdump.c

The main code editor window shows the file `pms_12c_driver.c` with the following content:

```
#include "adsp.h"
#include "anc_dsp_acq.h"
#include "gpmi.h"
#include "mp_driver.h"
#include "UDSdevice.h"
#include "mcu.h"
#include "mcu_start.h"
#include "timer_callback.h"
#include "sticx.h"
#include "exception.h"
#include "tempdump.h"

// PMS driver for ANC DSP Accelerator
// This file contains the power interface functions for ANC DSP Accelerator

// Power interface functions for ANC DSP Accelerator
void ANC_DSP_ACQ_H(void)
{
    // Power up ANC DSP Accelerator
    ANC_DSP_ACQ_POWEROFF();
    ANC_DSP_ACQ_POWERON();
}

void ANC_DSP_ACQ_W(void)
{
    // Power down ANC DSP Accelerator
    ANC_DSP_ACQ_POWERON();
    ANC_DSP_ACQ_POWEROFF();
}

void ANC_DSP_ACQ_F(void)
{
    // Force power down ANC DSP Accelerator
    ANC_DSP_ACQ_POWERON();
    ANC_DSP_ACQ_POWEROFF();
}

void ANC_DSP_ACQ_R(void)
{
    // Release power down ANC DSP Accelerator
    ANC_DSP_ACQ_POWERON();
    ANC_DSP_ACQ_POWEROFF();
}

void ANC_DSP_ACQ_T(void)
{
    // Trigger power down ANC DSP Accelerator
    ANC_DSP_ACQ_POWERON();
    ANC_DSP_ACQ_POWEROFF();
}

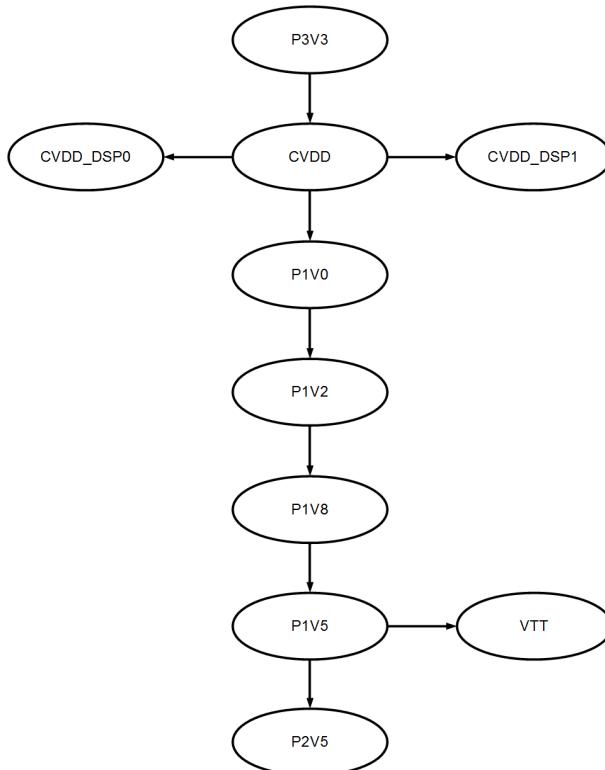
void ANC_DSP_ACQ_S(void)
{
    // Set power down ANC DSP Accelerator
    ANC_DSP_ACQ_POWERON();
    ANC_DSP_ACQ_POWEROFF();
}

void ANC_DSP_ACQ_U(void)
{
    // Unset power down ANC DSP Accelerator
    ANC_DSP_ACQ_POWERON();
    ANC_DSP_ACQ_POWEROFF();
}
```

The bottom status bar shows the current file is `pms_12c_driver.c`, the line number is 20, and the column number is 1.

Rysunek 7.1: Środowisko programistyczne LPCXpresso

większego znaczenia [32] [29]. Poniższy schemat prezentuje proces uruchamiania napięć zasilających tak, aby spełnić wymagania dla wszystkich układów.



Rysunek 7.2: Sekwencja uruchamiania linii zasilających

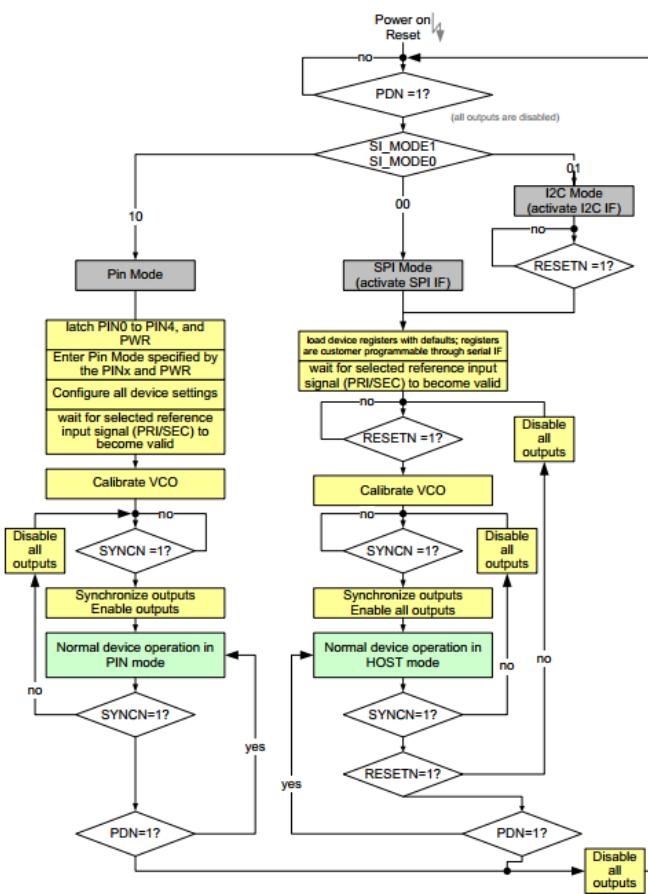
Pierwszą linią zasilania uruchamianą na module jest napięcie 3.3V, ze względu na to że jest to napięcie wymagane przez kontroler przetwornicy układ UCD9222 do pracy. Następnie uruchamiane jest regulowane napięcie rdzenia procesorów DSP (linie CVDD_DSP0 i CVDD_DSP1). Kolejnym krokiem jest uruchomienie napięcia 1.0V, 1.2V, 1.8V. W tym momencie konieczna jest konfiguracja układów generacji sygnału zegarowego tak aby procesory DSP poprawnie się uruchomiły. Po konfiguracji uruchamiana jest linia 1.5V i procesory DSP są poprawnie zasilone i czekają na zmianę stanu pinu **RESETn**, który rozpoczęcie procesu łą-

dowania *bootloadera* pierwszego poziomu. Ta operacja jest wykonywana przez FPGA, które do pełnego uruchomienia potrzebuje jeszcze napięć 2.5V. Układ FPGA kontroluje również piny konfiguracyjne *GPIO* procesorów DSP, które ustalają ich tryb pracy.

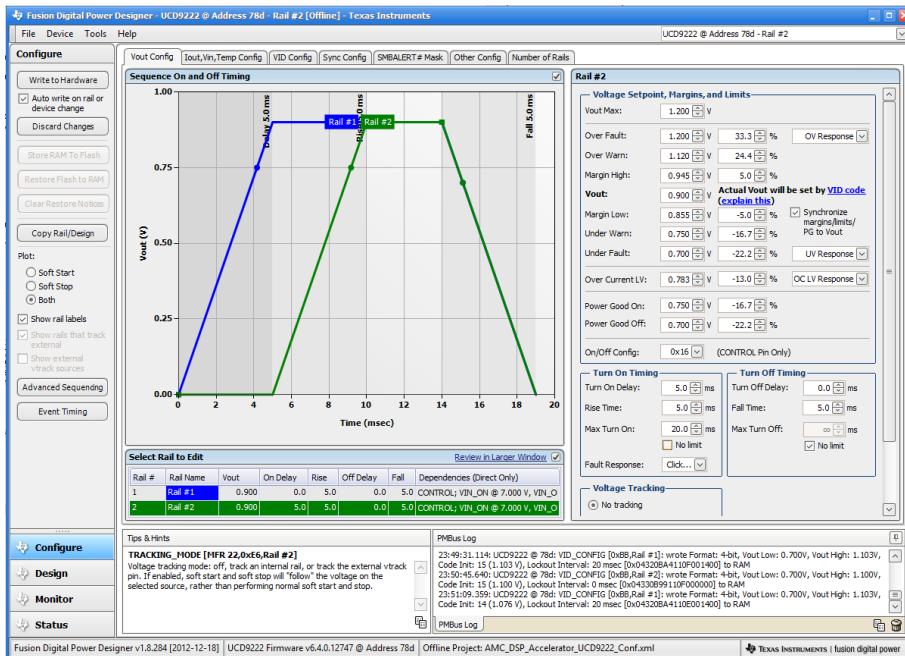
7.4. Konfiguracja poszczególnych układów

7.4.1. CDCM6208

Układy generacji sygnału zegarowego CDCM6208 są konfigurowane poprzez interfejs I₂C i pracują w trybie *Slave*. Ich adresy to kolejno: 0x54 i 0x55. Po uruchomieniu linii zasilania **P1V8** odbywa się konfiguracja wewnętrznych rejestrów układów. Wartości rejestrów zostały wygenerowane za pomocą programu dostarczonego przez producenta **CDCM6208** [61]. Adresy układu są 16 bitowe, ale wypełnianie ich odbywa się poprzez wysłanie dwóch słów 8 bitowych.



oprogramowanie producenta *Fusion Digital Power Designer* [96] oraz przykładowy plik konfiguracyjny z modułu ewaluacyjnego [97] przygotowano konfigurację generującą odpowiednie napięcia dla obu procesorów DSP.



Rysunek 7.4: Konfiguracja programu Fusion Digital Power Designer

Konfiguracja układu może odbywać się za pomocą zewnętrznego programatora lub poprzez mikrokontroler LPC1764, jednak ta funkcjonalność jest opcjonalna. Kontroler przetwornicy zawiera w sobie pamięć nieulotną FLASH, na której zapisuje konfigurację rejestrów i nie potrzebna jest jej aktualizacja podczas uruchamiania układu.

7.5. Podsumowanie

Przygotowane oprogramowanie pozwala na uruchomienie akceleratora obliczeniowego do momentu programowania układu FPGA.

Rozdział 8

Wnioski końcowe

Projekt rekonfigurowalnego akceleratora obliczeniowego w standardzie AMC zrealizowano z sukcesem. Urządzenie jest gotowe do produkcji i wstępnego uruchamiania, założenia projektowe zostały spełnione. W ramach Pracy Dyplomowej Inżynierskiej wykonano:

- Projekt schematów elektrycznych
- Projekt obwodów drukowanych
- Symulacje integralności sygnałowej i integralności zasilania
- Oprogramowanie uruchamiające

Zaprojektowany akcelerator obliczeniowy posiada bardzo dużą moc obliczeniową, wystarczającą do analizy dużej ilości danych w czasie rzeczywistym. Ponadto jest bardzo elastyczny dzięki zastosowaniu nowoczesnego układu FPGA oraz układów przełączników interfejsów szeregowych. W porównaniu do urządzeń istniejących na rynku, akcelerator obliczeniowy prezentuje się bardzo konkurencyjnie, zarówno pod względem funkcjonalności jak i ceny.

Dalszy rozwój projektu W ramach Pracy Magisterskiej planowane jest uruchomienie modułu oraz dalszy jego rozwój polegający na napisaniu natywnego oprogramowania do analizy danych w systemie pomiarowym *Beam Position Monitor Digital Back End*.

Dodatek A

Płyta CD

Opis plików i katalogów znajdujących się na płycie CD:

- **AMC_DSP** - projekt urządzenia
 - *Design Files* - folder z plikami projektowymi, schematy i obwody drukowane
 - *Release Files* - folder z plikami produkcyjnymi
- **AMC_DSP.xls** - arkusz kalkulacyjny z obliczeniami szybkich interfejsów szeregowych
- **Software** - folder z oprogramowaniem uruchamiającym
 - *adsp.c, adsp.h* - oprogramowanie mikrokontrolera
 - *AMC_DSP_Accelerator_UCD9222_Conf.xml* - plik konfiguracyjny kontrolera przetwornicy układu UCD9222

Dodatek B

Standard MTCA i AMC

B.1. MTCA

MTCA (*Micro Telecommunication Computing Architecture*) jest platformą, której głównym zastosowaniem są systemy sieciowe w telekomunikacji. Jest to standard związany z ATCA (*Advanced Telecommunication Computing Architecture*), który jest szeroko wykorzystywany w telekomunikacji do systemów wymagających bardzo wysokiej wydajności. MTCA celuje w dziedziny gdzie koszt i wymagania na wydajność nie są aż tak, duże aby wykorzystywać ATCA. MTCA zawiera większość zalet standardu ATCA i jest znacznie tańszy. Dzięki modułowości MTCA pozwala na zbudowanie systemu dokładnie dopasowanego do potrzeb.

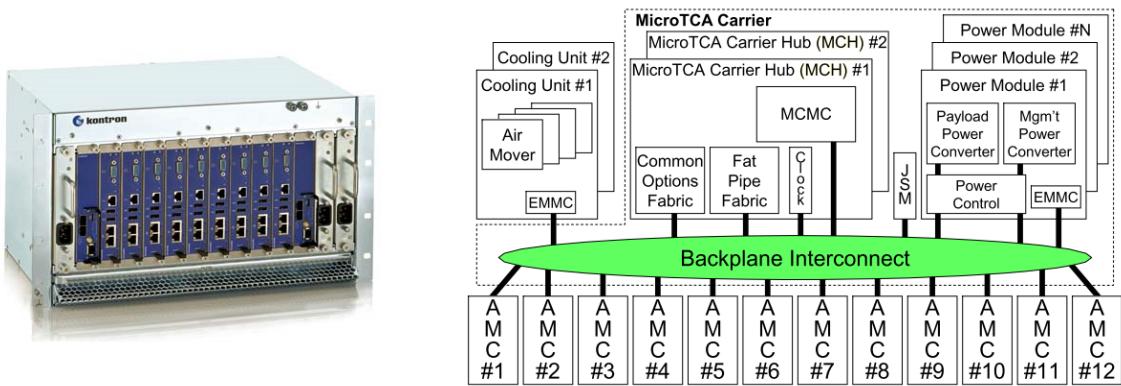
System składa się z kraty (*Shelf, Rack*), do której wpinane są karty rozszerzeń AMC (*Advanced Mezzanine Card*). W kracie znajduje się szereg systemów wymaganych do prawnej pracy kart rozszerzeń:

- *Backplane* - łączy ze sobą karty i systemy wewnętrz kraty
- MCH (*MicroTCA Carrier Hub*) - kontrola, zarządzanie, dystrybucja sygnałów zegarowych i interfejsów szeregowych
- JTAG Switching Module (JSM) - testowanie kart rozszerzeń podczas produkcji, jak również podczas pracy w systemach HA (*High Availability*)
- Zasilanie (*Power Module*)
- Chłodzenie

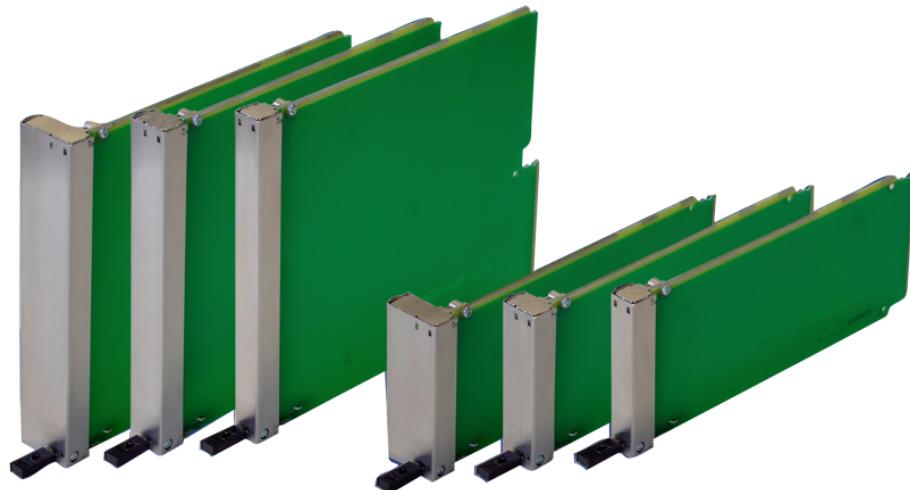
B.2. AMC

Standard AMC specyfikuje wymagania kart rozszerzeń wykorzystywanych w systemach ATCA i MTCA. Bazowa specyfikacja dotyczy wymagań elektrycznych, mechanicznych, temperaturowych, mocowych i dotyczących zarządzania dla karty AMC. W standardzie ATCA karta AMC jest wpinana do *Carrier Board* natomiast w standardzie MTCA karty wpinane są bezpośrednio w *Backplane*. Karty AMC mogą zawierać procesory x86, DSP, FPGA, NPU i inne, a nawet dyski twarde.

Standard podzielony jest na pięć części:



Rysunek B.1: Schemat blokowy systemu MTCA i zdjęcie kraty z modułami AMC



Rysunek B.2: Zdjęcie różnych wymiarów kart AMC

- AMC.0 - specyfikacja bazowa
- AMC.1 - PCI Express i Advanced Switching
- AMC.2 - Gigabit Ethernet/10 Gigabit XAUI Ethernet
- AMC.3 - specyfikacja dla systemów danych (Storage)
- AMC.4 - Serial RapidIO

Standard specyfikuje różne wielkości modułów. Karta AMC może być pojedyńczej (*Single width*) lub podwójnej wielkości (*Double width*) i może mieć jedną z trzech wysokości: *Compact*, *Mid-size* i *Full-size*. Poniższe tabele zawierają wymiary kart AMC.

Złącze krawędziowe AMC Standard specyfikuje cztery rodzaje złącz krawędziowych:

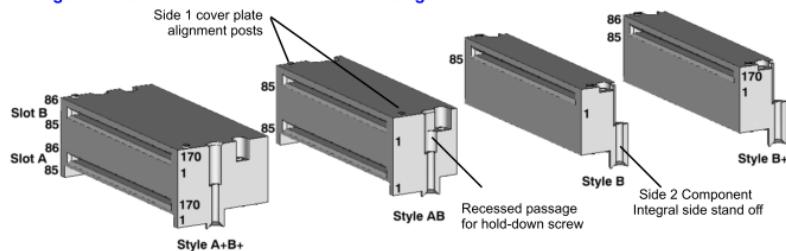
- B
- B+
- AB
- A+B+

Rodzaj modułu	Wysokość [mm]	Szerokość [mm]	Długość [mm]	Moc [W]
Compact, Single-width	5.58	73.5	180.6	20
Compact, Double-width	5.58	148.5	180.6	40
Mid-size, Single-width	Patrz. rys. 2-15 [57]	73.5	180.6	20
Mid-size, Double-width	Patrz. rys. 2-15 [57]	148.5	180.6	40
Full-size, Single-width	21.05	73.5	180.6	60
Full-size, Double-width	21.05	148.5	180.6	60

Tabela B.1: Zestawienie wymiarów modułów AMC

Connector Style	Interface to AMC Module	Number of Module Slots	Number of contact positions to Carrier	Number of contact rows on Carrier	Differential pairs	General purpose contacts	Power contacts	Ground contacts
B	Basic	1	85	1	19	11	8	28
B+	Extended	1	170	2	45	16	8	56
AB	Basic	2	170	2	38	22	16	56
A+B+	Extended	2	340	4	90	32	16	112

Figure 7-1 Overview of AMC Connector housings



Rysunek B.3: Rodzaje złącz krawędziowych w standardzie AMC

Projektowana karta jest typu **Double width** ze złączem **B+**. Złącze typu B+ zawiera szereg interfejsów szeregowych oraz wyjścia/wejścia sygnałów zegarowych.

- **FCLK** - *Fabric Clock* - sygnał zegarowy dedykowany interfejsowi PCI Express
- **TCLK[A:D]** - *Telecom Clock* - cztery wejścia/wyjścia zegarowe służące do synchronizacji w systemach telekomunikacyjnych
- **PORT[0:3]** - cztery linie dedykowane interfejsom zarządzającym (*Control*) i dotyczących zapisu danych np. SAS
- **FAT PIPE** - cztery linie dedykowane interfejsom PCI Express, SRIO, Advanced Switching
- **ADD - GA[0:3]** piny ustalające adres karty
- **MLVDS** - interfejs komunikacyjny typu *Multipoint* - dystrybuca sygnałów zegarowych, interlock'ów i triggerów
- **JTAG** - protokół do testowania i programowania kart
- **I2C** - interfejs komunikacyjny wykorzystywany przez IPMI

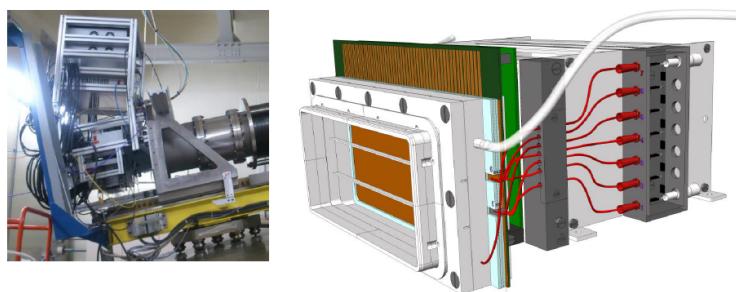
Powyższy opis standardów AMC i MTCA umożliwi dokładne zrozumienie założeń i realizacji projektu akceleratora obliczeniowego.

Dodatek C

System pomiarowy detektora GEM

C.1. System pomiarowy detektora GEM

Detektor GEM służy do pomiaru promieniowania w eksperymentach fizycznych. Zjednizowane cząstki o określonej energii w przepływającym przez detektor gazie są powielane przez specjalne płyty z otworami, do których przyłożone jest wysokie napięcie. Wewnątrz odbywa się pomiar energii przepływających elektronów. Pomiar promieniowania jest możliwy dzięki wzmacnieniu jakie można uzyskać w detektorze. Przykładem wykorzystania takiego detektora jest eksperyment JET gdzie detektor GEM jest częścią detekcyjną spektrometru X.

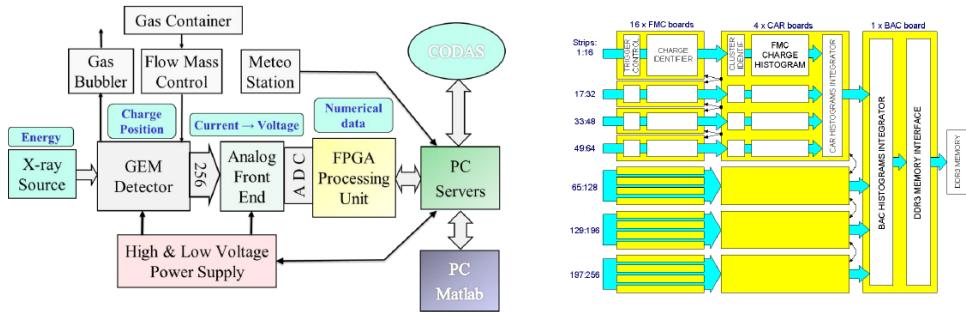


Rysunek C.1: Detektor GEM w JET

Do analizy danych z detektora zaprojektowany został system pomiarowy przez zespół PERG z Instytutu Systemów Elektronicznych Wydziału Elektroniki i Technik Informacyjnych Politechniki Warszawskiej. System pomiarowy składa się z:

- detektora GEM
- analogowych kart pomiarowych Analog Front End (AFE)
- kart FMC z przetwornikami ADC dołączonymi do płyty-matki (*Carrier-board*)
- płyt głównej w standardzie Mini ITX z procesorem x86 i systemem operacyjnym Linux
- jednostki zasilającej

System posiada 256 wejściowych kanałów pomiarowych, które zamienia w jeden wyjściowy będący histogramem energii widma fotonów w czasie ustalonym podczas pomiaru.



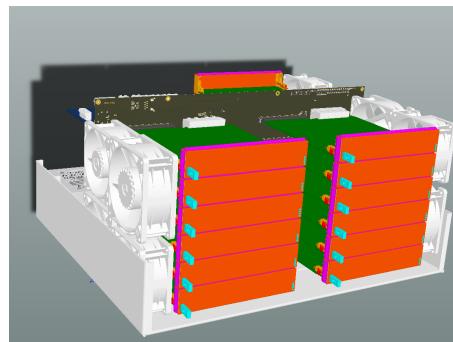
Rysunek C.2: Struktura systemu pomiarowego GEM

Przetwarzanie danych w systemie pomiarowym GEM odbywa się w kilku etapach. Początkowo dane zebrane przez analogowe karty pomiarowe (AFE) są zamienione na postać cyfrową za pomocą kart FMC z przetwornikami ADC. Na kartach odbywa się również kontrola *Trigger'ów* oraz identyfikacja ładunków wykonana w FPGA. Następnie dane z kart są analizowane w układach FPGA znajdujących się na *Carrier Board*, których zadaniem jest integracja histogramów. Ostatnim etapem jest finalna integracja w *Backplane* oraz zapis pomiaru do pamięci DDR. Cały system jest połączony do komputera PC gdzie dane mogą być diagnozowane za pomocą oprogramowania Matlab firmy Mathworks [98].

Pomiar promieniowania odbywa się poprzez pomiar napięcia z detektora. Aby rozróżnić energię fotonów, które nakładają się na siebie, potrzebna jest dokładniejsza analiza sygnału z zastosowaniem cyfrowego przetwarzania sygnałów. Obecny system pozwala na to w ograniczonym zakresie i wiele pomiarów jest odrzucanych. Dlatego zdecydowano się na zaprojektowanie dedykowanego urządzenia, które będzie służyło do przetwarzania i analizy danych pomiarowych z detektora w czasie rzeczywistym.

C.1.1. Nowa wersja systemu

Obecny system pomiarowy detektora GEM jest bazą do nowego systemu pomiarowego *Beam Position Monitor Digital Back End*, w której najbardziej istotną zmianą jest zastosowanie standardu MTCA do przetwarzania danych. Projekt jest umieszczony na dostępnym dla każdego repozytorium *Open Hardware Repository* [5].



Rysunek C.3: Wizualizacja kraty MTCA, nowej wersji systemu pomiarowego detektora GEM

System działa na podobnej zasadzie jak system pomiarowy detektora GEM, z tą różnicą, że płytą-matką dla kart FMC jest moduł AFC (*AMC FMC Carrier*). Standard AMC staje się coraz bardziej popularny w zastosowaniach fizyki wysokiej energii [99] ze względu na niskie koszty i dużą elastyczność systemu.

Bibliografia

- [1] ATCA Blade has dual 2.13 GHz quad-core Intel® processors. <http://www.silabs.com/Support%20Documents/TechnicalDocs/PCIe-Clock-Source-Selection.pdf>.
- [2] Joint European Torus. [http://www.efda.org/jet/.](http://www.efda.org/jet/)
- [3] W Environment in Steady-state Tokamak. [http://www.iter.org/newsline/158/531.](http://www.iter.org/newsline/158/531)
- [4] Gas Electron Multiplier. [http://cerncourier.com/cws/article/cern/2792.](http://cerncourier.com/cws/article/cern/2792)
- [5] Beam Position Monitor, Digital Back End . [http://www.ohwr.org/projects/bpm/wiki.](http://www.ohwr.org/projects/bpm/wiki)
- [6] Texas Instruments. <http://www.ti.com/.>
- [7] 7 Series FPGAs GTP TransceiversUser Guide UG482 . http://www.xilinx.com/support/documentation/user_guides/ug482_7Series_GTP_Transceivers.pdf.
- [8] NVIDIA . <http://www.nvidia.com/content/global/global.php>.
- [9] CUDA. http://www.nvidia.com/object/cuda_home_new.html.
- [10] Intel . [http://www.intel.pl/.](http://www.intel.pl/)
- [11] Advanced Micro Devices . <http://www.amd.com/.>
- [12] 8b/10b encoding . <http://www.latticesemi.com/~/media/Documents/ReferenceDesigns/1D/8b10bEncoderDecoder-Documentation.PDF>.
- [13] TCP/IP protocol . <http://www.ietf.org/rfc/rfc1180.txt>.
- [14] Micro Telecommunications Computing Architecture Base Specification .
- [15] Advanced Telecommunication Computing Architecture. <http://www.picmg.org/v2internal/newinitiative.htm>.
- [16] Commagility AMC-V7-2C6678. <http://www.commagility.com/amc-v7-2c6678.php>.

- [17] Linux Multicore Software Developement Kit. <http://www.ti.com/tool/bioslinuxmcsdk>.
- [18] Xilinx Inc. <http://www.xilinx.com/>.
- [19] Open Hardware Repository. <http://www.ohwr.org/projects/>.
- [20] Micron. <http://www.micron.com/>.
- [21] SPI NOR FLASH M25P128 . <https://www.micron.com/~/media/documents/products/data%20sheet/nor%20flash/serial%20nor/m25p/m25p128.pdf>.
- [22] Maxim Integrated . <http://www.maximintegrated.com/>.
- [23] MAX6642ATT90. <http://datasheets.maximintegrated.com/en/ds/MAX6642.pdf>.
- [24] 7 Series FPGAs Configuration User Guide UG470. http://www.xilinx.com/support/documentation/user_guides/ug470_7Series_Config.pdf.
- [25] PEX8616 . <http://wwwplxtech.com/products/expresslane/pex8616>.
- [26] PLX Technology . <http://wwwplxtech.com/>.
- [27] CDCUN1208 . <http://www.ti.com/general/docs/lit/getliterature.tsp?genericPartNumber=cdcun1208lp& fileType=pdf>.
- [28] Analog Devices AD9522 . http://www.analog.com/static/imported-files/data_sheets/AD9522-1.pdf.
- [29] Artix-7 FPGAs Data Sheet:DC and Switching Characteristics DS181. http://www.xilinx.com/support/documentation/data_sheets/ds181_Artix_7_Data_Sheet.pdf.
- [30] 7 Series FPGAs PCB Design and Pin Planning Guide UG483 . http://www.xilinx.com/support/documentation/user_guides/ug483_7Series_PCB.pdf.
- [31] Mt41j512m8ra sdram. <https://www.micron.com/partsdram/ddr3-sdram/mt41j512m8ra-15e>.
- [32] TMS320C6678 . <http://www.ti.com/lit/ds/symlink/tms320c6678.pdf>.
- [33] Tmdxevm6678l. http://www.advantech.com/Support/TI-EVM/6678le_of.aspx.
- [34] Hardware Design Guide for KeyStone I Devices . <http://www.ti.com/lit/an/sprabi2c/sprabi2c.pdf>.
- [35] Analog Devices . <http://www.analog.com/en/index.html>.

- [36] ADN4604 . http://www.analog.com/static/imported-files/data_sheets/ADN4604.pdf.
- [37] Vitesse . <https://www.vitesse.com/>.
- [38] Vsc8221. <https://www.vitesse.com/products/product.php?number=VSC8221>.
- [39] E2E Forum Hyperlink AC . http://e2e.ti.com/support/dsp/c6000_multi-core_dsp/f/639/p/117559/423660.aspx#423660.
- [40] SN74AUC2G07 . <http://www.ti.com/product/sn74auc2g07>.
- [41] 7 Series FPGAs Clocking Resources User Guide UG472 . http://www.xilinx.com/support/documentation/user_guides/ug472_7Series_Clocking.pdf.
- [42] CDCM6208 . <http://www.ti.com/product/cdcm6208>.
- [43] 5v41068a. <https://www.idt.com/document/dst/5v41068a-datasheet>.
- [44] Clocking Design Guide for KeyStone Devices . <http://www.ti.com/general/docs/lit/getliterature.tsp?baseLiteratureNumber=sprabi4>.
- [45] TI UCD7242 . <http://www.ti.com/general/docs/lit/getliterature.tsp?literatureNumber=slus962b>.
- [46] Ucd9222. <http://www.ti.com/lit/ds/slvsal7/slvsal7.pdf>.
- [47] SN74AVC4T . <http://www.ti.com/product/sn74avc4t245>.
- [48] KeyStone Architecture DSP Bootloader User Guide . <http://www.ti.com/lit/ug/sprugy5c/sprugy5c.pdf>.
- [49] N25Q128 SPI NOR FLASH . <http://www.micron.com/partsnor-flash/serial-nor-flash/n25q128a11ef840e>.
- [50] M24M01 I2C EEPROM . <http://www.st.com/web/catalog/mmc/FM76/CL1276/SC112/PF252608?referrer=70071840>.
- [51] STMicroelectronics . <http://www.st.com/web/en/home.html>.
- [52] MT29F2G16 NAND FLASH . <http://www.micron.com/partsnand-flash/mass-storage/mt29f2g16abbeahc-it>.
- [53] DDR3 Design Requirements for KeyStone Devices . <http://www.ti.com/general/docs/lit/getliterature.tsp?baseLiteratureNumber=sprabi1&fileType=pdf>.
- [54] Ethernet PHY 88E1111 . <http://www.marvell.com/transceivers/assets/Marvell-Alaska-Ultra-88E1111-GbE.pdf>.

- [55] Marvell . <http://www.marvell.com/>.
- [56] Silicon Labs PCIe Clock Selection User Guide . <http://www.silabs.com/Support%20Documents/TechnicalDocs/PCIe-Clock-Source-Selection.pdf>.
- [57] Amc base specification short form. http://www.picmg.org/pdf/AMC.0_R2.0_Short_Form.pdf.
- [58] SY89544U. http://www.micrel.com/_PDF/HBW/sy89544u.pdf.
- [59] Micrel Inc.. <http://www.micrel.com/>.
- [60] CDCM6208 Configuration video . <http://www.youtube.com/watch?v=DijjUJQEELM>.
- [61] CDCM6208 Users guide . <http://www.ti.com/lit/ug/scau049a/scau049a.pdf>.
- [62] Intelligent Platform Management Interface . <http://www.intel.com/content/www/us/en/servers/ipmi/ipmi-home.html>.
- [63] NXP LPC1764 . <http://www.nxp.com/products/microcontrollers/cortex-m3/LPC1764FBD100.html>.
- [64] AT24MAC602 . <http://www.atmel.com/Images/Atmel-8807-SEEPROM-AT24MAC402-602-Datasheet.pdf>.
- [65] Atmel . <http://www.atmel.com>.
- [66] MCP79410 . <http://ww1.microchip.com/downloads/en/DeviceDoc/22266A.pdf>.
- [67] AMC FMC Carrier . <http://www.ohwr.org/projects/afc>.
- [68] PCA9306DCTR . <http://www.ti.com/product/pca9306>.
- [69] Molex iPass connector . http://www.molex.com/pdm_docs/sd/757830132_sd.pdf.
- [70] TPD12S016 . <http://www.ti.com/product/tpd12s016>.
- [71] SN65MLVD040 . <http://www.ti.com/lit/ds/slls902/slls902.pdf>.
- [72] Processors Wiki TI. http://processors.wiki.ti.com/index.php/XDS_Target_Connection_Guide.
- [73] SN74ALVC125 . <http://www.ti.com/lit/ds/sces110h/sces110h.pdf>.
- [74] Xilinx Power Estimator Xilinx Inc.. http://www.xilinx.com/products/design-tools/logic_design/xpe.htm.
- [75] Seven Steps to an Accurate Worst-Case Power Analysis Using Xilinx Power Estimator (XPE) . http://www.xilinx.com/support/documentation/white_papers/wp353.pdf.

- [76] Xilinx Power Estimator User Guide. http://www.xilinx.com/support/documentation/sw_manuals/xilinx2013_2/ug440-xilinx-power-estimator.pdf.
- [77] C6678 Power Consumption Model (Rev. C) . <http://www.ti.com/litv/zip/sprm545c>.
- [78] NCP3170 . http://www.onsemi.com/pub_link/Collateral/NCP3170-D.PDF.
- [79] ON Semiconductor . <http://www.onsemi.com/>.
- [80] USB-TO-GPIO . <http://www.ti.com/tool/usb-to-gpio>.
- [81] Brandner PCB . <https://www.brandner.ee/>.
- [82] Brander PCB Production capabilities . <https://www.brandner.ee/eng/74/83/>.
- [83] Altium Designer. <http://www.altium.com/en>.
- [84] James A. McCall Stephen H. Hall, Garrett W. Hall. *High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*. Prentice-Hall, 2001.
- [85] Martin Graham Howard W. Johnson. *High Speed Digital Design: A Handbook Of Black Magic*. Prentice-Hall, 1993.
- [86] Multilayer PCB Stackup Planning . http://www.icd.com.au/articles/Stackup_Planning_AN2011_2.pdf.
- [87] 7 Series FPGAs PCB Design and Pin Planning Guide. http://www.xilinx.com/support/documentation/user_guides/ug483_7Series_PCB.pdf.
- [88] SerDes Implementation Guide for KeyStone I Devices. <http://www.ti.com/lit/an/sprabc1/sprabc1.pdf>.
- [89] High Speed DSP PCB Design User Guide Texas Instruments . <http://www.ti.com/lit/ug/spru889/spru889.pdf>.
- [90] High-Speed Layout Guidelines . <http://www.ti.com/lit/an/scaa082/scaa082.pdf>.
- [91] Saturn PCB Toolkit . http://www.saturnpcb.com/pcb_toolkit.htm.
- [92] Mentor Graphics Hyperlynx . <http://www.mentor.com/pcb/hyperlynx/signal-integrity/>.
- [93] Mentor Graphics. <http://www.mentor.com/>.
- [94] NXP Semiconductors . <http://www.nxp.com/>.
- [95] Eclipse . <http://www.eclipse.org/>.

- [96] Fusion Digital Power Designer . http://www.ti.com/tool/fusion_digital_power_designer.
- [97] UCD9222 EVM Configuration File . [http://wfcache.advantech.com/support/DSPM-8301E_EVM%20\(6678\)-3.0/TMDXEVMD6678L_UCD9222_16May11_ver5.rar](http://wfcache.advantech.com/support/DSPM-8301E_EVM%20(6678)-3.0/TMDXEVMD6678L_UCD9222_16May11_ver5.rar).
- [98] Mathworks Matlab. [http://www.mathworks.com/products/matlab/.](http://www.mathworks.com/products/matlab/)
- [99] MTCA for Physics. [http://schroff.co.uk/microtca4/0.html.](http://schroff.co.uk/microtca4/0.html)