



Politechnika Warszawska
Wydział Elektroniki i Technik Informacyjnych
Instytut Systemów Elektronicznych

PRACA DYPLOMOWA MAGISTERSKA

Grzegorz Kasprowicz

**Zintegrowany moduł kamery CCD z układem FPGA
i interfejsem USB do profesjonalnych
badań astronomicznych**

Promotor pracy:

Dr inż. Krzysztof Poźniak

Opiekun naukowy:

Dr hab. Grzegorz Wrochna

Warszawa 2005

Streszczenie

Zintegrowany moduł kamery CCD z układem FPGA i interfejsem USB do profesjonalnych badań astronomicznych

Współczesne kierunki badawcze wymagają obserwacji coraz słabszych obiektów astronomicznych na dużych obszarach nieba. To implikuje konieczność stosowania aparatury pomiarowej o dużej rozdzielczości czasowej i optycznej oraz komputerowego przetwarzania obrazów. Z powyższych powodów znaczenia nabrały technologie oparte na czujnikach ze sprzężeniem ładunkowym (Charge Coupled Devices). Umożliwiają one szybkie cyfrowe przetworzenie obrazu o jakości przewyższające dotychczasowe rozwiązania oparte na zastosowaniu klisz fotograficznych.

Obserwuje się dwie główne tendencje w obserwacjach astronomicznych. Pierwszą z nich jest konstruowanie coraz większych teleskopów z coraz czulszymi układami rejestracji obrazów, które pozwalają dotrzeć do coraz dalszych zakątków Wszechświata. Przykładem może tutaj być teleskop KECK na Hawajach. Drugą tendencją jest budowa systemów pozwalających rejestrować znaczne obszary nieba z dużą rozdzielczością czasową. Umożliwiają one badania szybkozmiennych obiektów. Nierzadko obiekty te są dość jasne, zatem nie ma szczególnych wymagań na czułość. Jednakże ze względu na ogrom zbieranych danych, analizę trzeba przeprowadzać na bieżąco. W ten sposób zostaje znacznie zredukowany strumień danych który ulega archiwizacji i dalszej obróbce.

Przykładem projektu realizującego koncepcję obserwacji zmienności nieba jest „Pi of The Sky”. Głównym jego celem jest wykrywanie błysków optycznych towarzyszących wybuchom gwiazd. Ponieważ warunki, jakie panują podczas takich wydarzeń, są zbliżone do tych jakie panowały w czasie powstawania naszego Wszechświata, zatem badania te są interesujące także dla fizyków cząstek elementarnych.

Niniejsza praca stanowi opracowanie teoretyczne i realizację systemu rejestracji obrazów w oparciu o technologię CCD. Zaprojektowana kamera została zoptymalizowana na potrzeby projektu „Pi of The Sky”, jednakże może być zaadoptowana do innych profesjonalnych badań astronomicznych. Praca obejmuje tematykę związaną z przetwarzaniem obrazu na postać elektroniczną, akwizycją sygnału z użyciem FPGA, przesyłaniem wyników do komputera PC oraz konstrukcją mechaniczną urządzenia.

Abstract

Integrated CCD camera with USB interface and FPGA device for professional astronomical researches

Modern research trends require observation of fainter and fainter astronomical objects on large areas of the sky. This implies usage of systems with high temporal and optical resolution with computer based data acquisition and processing. Therefore Charge Coupled Devices became so popular. They offer quick picture conversion with much better quality than film based technologies.

There are two main trends in astronomical observations. First one is construction of large telescopes with sensitive picture sensors. They allow further exploration of the Universe. An example is the KECK telescope in Hawaii. The other trend is presented by systems that perform observation of large areas of the sky with high resolution in time. They are used to investigate objects, which rapidly change their position or intensity. They are often quite bright, thus the sensitivity of such measurement systems is not so critical. Because of huge amount of data from detector, the analysis must be performed on-line. This way, there is a large reduction of data that are archived and processed later.

The example of project that realizes the concept of variable sky objects observation is „Pi of The Sky”. The main field of interest is detection of optical flashes that accompany star’s explosions. The conditions that are present during such an events are similar to ones that had place in the young Univers. That’s why this research is interesting also for particle physics.

This thesis is theoretical and practical study of the CCD based picture acquisition system. This system was optimized for “Pi of The Sky” project. But it can be adapted to another professional astronomical researches. The thesis includes issue of picture conversion, signal acquisition, data transfer and mechanical construction of the device.

1.	WSTĘP	6
1.1	ZJAWISKO BŁYSKÓW GAMMA	7
1.2	MECHANIZMY GENERACJI PROMIENIOWANIA GAMMA	8
1.3	DOTYCHCZASOWE METODY BADAWCZE	9
1.4	PRZYKŁADY UDANYCH OBSERWACJI BŁYSKÓW GAMMA DOTYCHCZASOWYMI METODAMI.....	12
1.5	NOWE PODEJŚCIE DO BADANIA ZJAWISK KOSMICZNYCH O KILKUSEKUNDOWYM OKRESIE ZMIENNOŚCI.....	13
1.6	PRZEGLĄD DOSTĘPNEJ TECHNOLOGII KAMER CCD	15
1.6.1	<i>Podstawy działania czujników CCD</i>	15
1.6.2	<i>Stan dostępnej technologii rejestracji obrazów</i>	17
1.6.3	<i>Dotychczasowe rozwiązania kamer dostępne na rynku</i>	18
1.6.4	<i>Dostępne technologie sterowania czujnikami oraz przetwarzania danych pomiarowych..</i>	19
1.6.5	<i>Technologie szybkiej transmisji danych</i>	19
1.6.6	<i>Inne wymagania stawiane kamerom CCD</i>	20
1.7	PODSUMOWANIE.....	20
2.	ZAŁOŻENIA I WYMAGANIA STAWIANE KAMEROM DLA SYSTEMU „I OF THE SKY”	22
2.1	WYMAGANIA DOTYCZĄCE PARAMETRÓW FUNKCJONALNYCH URZĄDZENIA.....	22
2.2	WYMAGANIA DOTYCZĄCE PARAMETRÓW ELEKTRYCZNYCH URZĄDZENIA	22
2.3	WYMAGANIA DOTYCZĄCE PARAMETRÓW MECHANICZNYCH URZĄDZENIA.....	23
2.4	PODSUMOWANIE.....	24
3.	KONCEPCJA PRACY	25
3.1	KONCEPCJA WARSTWY FUNKCJONALNEJ URZĄDZENIA.....	26
3.1.1	<i>Zdalny nadzór nad funkcjami urządzenia.....</i>	26
3.1.2	<i>Zdalne monitorowanie warunków zewnętrznych.....</i>	26
3.1.3	<i>Zdalna aktualizacja konfiguracji układu FPGA oraz oprogramowania mikrokontrolera USB.....</i>	27
3.1.4	<i>Zabezpieczenia</i>	27
3.2	KONCEPCJA WARSTWY ELEKTRYCZNEJ URZĄDZENIA	28
3.2.1	<i>Czujnik obrazu.....</i>	28
3.2.2	<i>Przedwzmacniacz CCD.....</i>	29
3.2.3	<i>Przetwarzanie sygnału na postać cyfrową.....</i>	29
3.2.4	<i>Interfejs komunikacyjny</i>	30
3.3	KONCEPCJA DOTYCZĄCA WARSTWY MECHANICZNEJ URZĄDZENIA.....	31
3.3.1	<i>Chłodzenie i stabilizacja temperatury CCD</i>	31
3.3.2	<i>Podgrzewanie optyki.....</i>	31
3.3.3	<i>Migawka.....</i>	31
3.3.4	<i>Regulacja ogniskowej obiektywu.....</i>	32
3.3.5	<i>Konstrukcja mechaniczna.....</i>	33
4.	REALIZACJA PRACY	34
4.1	TOR PRZETWARZANIA SYGNAŁÓW ANALOGOWYCH	34
4.1.1	<i>Czujnik CCD i układy towarzyszące.....</i>	36
4.1.1.1	Generacja przebiegów sterujących przesuwem ładunków oraz przetwornikiem ADC	39
4.1.2	<i>Wzmacniacz wstępny sygnału wizyjnego.....</i>	43
4.1.3	<i>Przetwornik A/C – procesor sygnału wizyjnego</i>	44
4.2	TOR PRZETWARZANIA SYGNAŁÓW CYFROWYCH	48

4.2.1	<i>FPGA</i>	50
4.2.1.1	Kontroler pamięci DRAM	51
4.2.2	<i>Mikrokontroler z interfejsem USB</i>	56
4.3	ZASILANIE	59
4.3.1	<i>Zasilacz części analogowej</i>	59
4.3.2	<i>Zasilacz części cyfrowej i ADC</i>	60
4.3.3	<i>Zasilacz driverów CCD</i>	61
4.3.4	<i>Zasilacz CCD i przedwzmacniacza procesora sygnału video</i>	62
4.4	UKŁADY POMOCNICZE	63
4.4.1	<i>Czujniki temperatury i wilgotności</i>	63
4.4.2	<i>Driver silnika migawki</i>	68
4.4.3	<i>Driver silnika ostrości</i>	69
4.4.4	<i>Drivery modułów chłodzących i ogrzewania optyki</i>	70
4.4.5	<i>Watchdog Reset</i>	71
4.4.6	<i>Pamięci konfiguracji i programu</i>	71
4.5	KONSTRUKCJA MECHANICZNA	74
4.5.1	<i>Migawka</i>	74
4.5.2	<i>Chłodzenie</i>	75
4.5.3	<i>Regulacja ostrości optyki</i>	77
4.5.4	<i>Obudowa i rozmieszczenie płytek</i>	77
4.6	OPROGRAMOWANIE STERUJĄCE	80
4.6.1	<i>Program główny</i>	80
4.6.2	<i>Przerwanie systemowe</i>	81
4.6.3	<i>Przerwanie USB EP0</i>	82
4.6.4	<i>Moduł programatora EPCS1</i>	84
4.6.5	<i>Przerwania USB HS i EXT5</i>	85
4.6.6	<i>Przerwanie od timera T2</i>	86
4.6.7	<i>Przebieg procesu pomiarowego</i>	87
5.	TESTY	88
5.1	TESTY APARATUROWE	88
5.2	TESTY W EKSPERYMENCIE	92
6.	PODSUMOWANIE	98
7.	BIBLIOGRAFIA	99
8.	DODATKI	102
8.1	SPIS ILUSTRACJI	102
8.2	SPIS TABEL	104

1. Wstęp

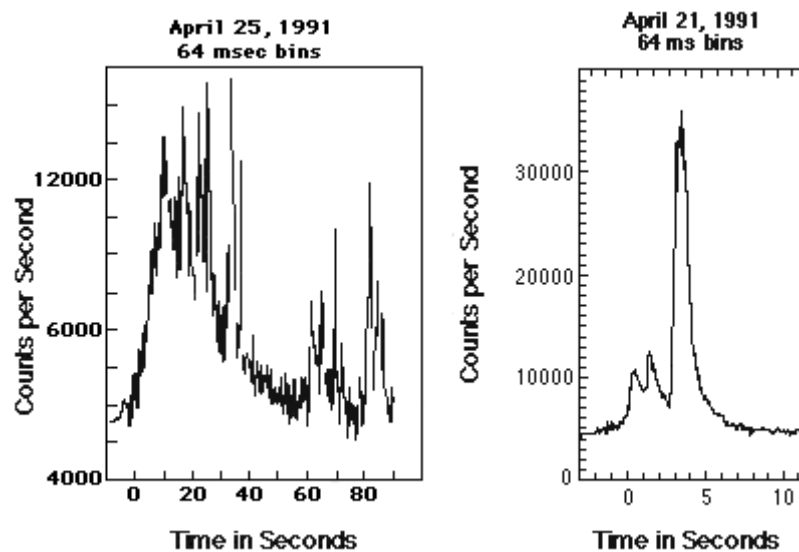
Systematyczne obserwacje nieba gwiazdzistego podejmowane były od czasów starożytności. Miały one na celu zrozumienie reguł oraz poznanie przyczyn zmian położenia gwiazd, Księżyca i Słońca na firmamencie. Wynalezienie teleskopu na początku 17-stego wieku umożliwiło badanie obiektów niedostępnych uprzednio dla ludzkiego oka. Konstrukcje teleskopów ulegała ciągłym udoskonaleniom, sukcesywnie zwiększając zasięg obserwacji. Natomiast wyniki pomiarów były utrwalane odręcznie, co często prowadziło do błędów w dokumentacji. Ludzkie oko ma czas akwizycji obrazu rzędu 0.2s oraz małą czułość. Jedynie 15% fotonów zostaje zamieniana na impulsy nerwowe. Te ograniczenia uniemożliwiają obserwację obiektów słabszych niż najjaśniejsze gwiazdy i planety.

Przełomem było wprowadzenie fotograficznej techniki rejestracji obrazów. Jest stosowana ona do dziś, szczególnie przy rejestracji znacznych obszarów nieba. Pomimo że czułość dobrych filmów jest gorsza od ludzkiego oka (utrwalane jest około 4% fotonów), to pozwala ona stosować bardzo długie czasy naświetlania oraz znaczne powierzchnie światłoczułe. Zastosowanie elektroniki do akwizycji obrazów pozwoliło to na szybką i dokładną komputerową analizę uzyskanych wyników. Nabrała ona znaczenia szczególnie po wprowadzeniu technologii CCD.

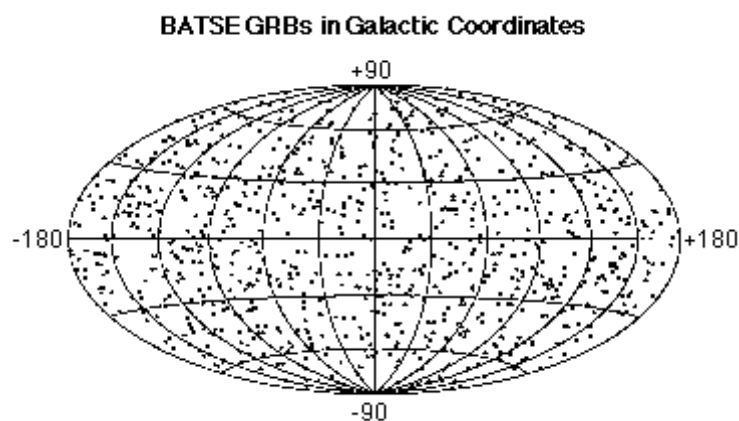
Czujniki CCD umożliwiają rejestrację obrazów z dokładnością pojedynczych fotonów. Czułość profesjonalnych matryc CCD jest około 50 razy lepsza w porównaniu do filmu (efektywność konwersji fotonów sięga 90%). W powiązaniu z możliwością stosowania czasów naświetlania rzędu kilku godzin, CCD zapewnia największą z dostępnych technologii czułość i szybkość rejestracji obrazów [13]. Dzięki temu udało się dotrzeć do nieznanych poprzednio obiektów i realizować ich badania. Do nich należą między innymi poszukiwanie poza-słonecznych planet, w tym planet wielkości Ziemi (np. projekt OGLE), badanie gwiazd zmiennych, poszukiwanie i rejestracja błysków optycznych powodowanych przez wybuchy gwiazd. Błyski gamma są jednym z najczęściej poruszanych tematów współczesnej astronomii. Zastosowanie systemów pomiarowych w ich badaniach jest tematem tutejszej pracy.

1.1 Zjawisko Błysków Gamma

Błyski gamma (GRB¹, burstery) są spowodowane emisjami promieniowania γ . Po raz pierwszy zostały zarejestrowane przez wojskowego satelitę Vela w 1967 roku. Do dzisiaj zarejestrowano około 2000 takich zdarzeń. Ich energia często przekracza 0.5 MeV. Czas trwania zawiera się w granicach 3ms..1000s (Rys. 1). Obserwacje wykonane w 1997 roku z użyciem detektora BATSE (*Burst And Transient Source Experiment*) wykazały pozagalaktyczne źródło ich pochodzenia. Błyski są rozmieszczone izotropowo na niebie (Rys. 2). Pochodzą one typowo z odległości do 10.5 mld lat świetlnych, która jest porównywalna z rozmiarem wszechświata [10].



Rys. 1 Energia w funkcji czasu dla przykładowych błysków (Źródło: [4])



Rys. 2 Rozmieszczenie pierwszych 921 zarejestrowanych błysków na niebie (Źródło: [4])

¹ GRB –ang. Gamma Ray Burst, alternatywna polska nazwa – Burstery Gamma

W trakcie wybuchu, hipernowe stają się najjaśniejszymi obiektami we wszechświecie. Materia z nich jest wyrzucana z prędkością zbliżoną do 99.9994% prędkości światła, co oznacza że jej energia kinetyczna przekracza energię spoczynkową ponad 300 razy[5]. Jeden błysk może spowodować wypromieniowanie energii rzędu $10^{45} \dots 10^{48}$ J. Można to przyrównać do energii uwolnionej w tym czasie przez 10^{18} gwiazd wielkości naszego Słońca. Z tego powodu burstery nazywane są „małymi Wielkimi Wybuchami”. Jednakże rozmiary tych źródeł są porównywalne ze zwykłymi gwiazdami. Dzieli się je pod względem długości i energii błysku na 2 kategorie. Uważa się także że zjawiska tam zachodzące mają różną naturę, dlatego dzieli się je na:

- krótsze niż 2 s, o wysokich energiach. Energia wypromieniowana podczas nich nie zależy od czasu ich trwania.
- dłuższe niż 2s, o niższych energiach. Energia jest proporcjonalna do czasu trwania błysku.

Zanim dowiedziono ich pozagalaktycznego pochodzenia, liczba teorii na temat ich powstawania przekraczała ilość zarejestrowanych błysków. Obecnie rozważanych jest kilka:

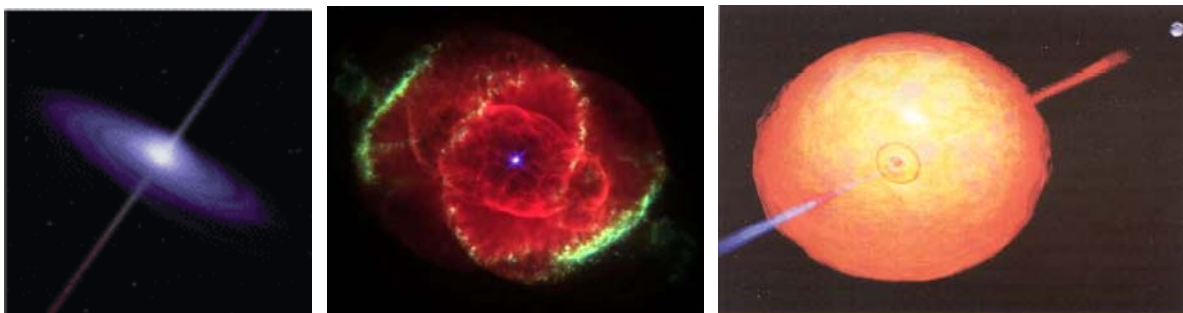
- bardzo masywne gwiazdy (>30 mas Słońca), które łączy się z dłuższymi i słabszymi energetycznie błyskami

układy podwójnych układów gwiazd neutronowych lub czarnych dziur. Związane są one z błyskami wysokoenergetycznymi.

Nie łączy się tych błysków z masywnymi czarnymi dziurami w centrach galaktyk aktywnych. Dokonano kilku obserwacji blisko centrów tego typu galaktyk, lecz większość z nich miała miejsce na ich peryferiach. Oprócz tego, rzadko pojawiają się cykliczne błyski, mogące świadczyć o ich zależności od centralnych czarnych dziur. One potrafią przejawiać swoją aktywność przez miliony lat [4].

1.2 Mechanizmy generacji promieniowania gamma

W przypadku masywnych gwiazd (ok. 30 m Słońca), w ostatnim etapie ich ewolucji, żelazne jądro może zapadnąć w czarną dziurę. Energia produkowana podczas jej formowania powoduje wyrzucanie materii na zewnątrz zapadającej się gwiazdy. Materia ta, którą tworzą głównie protony i elektrony formuje się w warstwy o różnych prędkościach. Ponieważ dzieje się to w przeciągu kilku sekund, dochodzi do częstych wewnętrznych zderzeń między warstwami. Zderzające się cząstki są źródłem promieniowania gamma i w jego postaci energia formującej się czarnej dziury wydostaje się na zewnątrz gwiazdy(Rys. 3).



Rys. 3 Wizje wybuchu supernowej.(Źródło: [4])

Wiele gwiazd tworzy ze sobą układy podwójne, potrójne lub poczwórne. Nierzadko masy gwiazd składowych przekraczają 10 mas Słońca. Po zakończeniu ich ewolucji pozostają po nich czarne dziury lub gwiazdy neutronowe. Orbita ich obiegu zaczyna się z czasem zacieśniać, materie gwiazd mieszają się i dochodzi do powstawania pojedynczej czarnej dziury. Procesowi temu towarzyszy wydzielanie się ogromnych ilości promieniowania gamma.

Następną cechą bursterów jest pozostająca po nich poświata (ang. „afterglow”). Warstwy zjonizowanej materii, która została wyrzucona podczas tworzenia się gwiazdy, ulegają wymieszaniu. Oddalają się one od powstającej czarnej dziury, tworząc pojedynczą warstwę. Podczas tego procesu, oddziałują z materią międzygwiazdą powodując stopniowe wytracanie prędkości oraz produkcję energii. Obserwuje się ją w przedziale radiowym lub optycznym jako poświatę. Często ona jest pośrednią informacją o samym błysku, ponieważ trudno uchwycić sam jego moment. Na jej podstawie można szacować wielkość energii błysku czy ilość materii w jego sąsiedztwie,

Błyski nie zawsze pochodzą ze źródeł położonych na krańcach wszechświata. W maju 1979 roku zaobserwowano bardzo jasny błysk gamma w pozostałości po supernowej w Wielkim Obłoku Magellana. Po nim zaobserwowano serię błysków powtarzających się co 8 sekund. W ciągu kolejnych 4 lat zaobserwowano w tym miejscu szereg krótszych i słabszych błysków. Odkryto w ten sposób przedstawiciela niewielkiej klasy powtarzalnych źródeł miękkich promieni gamma. Różnią się one od typowych bursterów przede wszystkim tym, że powtarzają się w tym samym miejscu na niebie. Przypuszczano, że błyski mają związek z rotującymi, namagnesowanymi gwiazdami neutronowymi. Zostało to potwierdzone w 1998 roku, gdy kilka satelitów zaobserwowały bardzo silny błysk gamma pochodzący od oddalonej o 26 tys lat świetlnych gwiazdy neutronowej. W ten sposób odkryto przedstawiciela rodziny magnetarów, których istnienie przewidziano 6 lat wcześniej. Mechanizm promieniowania gamma jest w tym przypadku następujący. Niezwykle silne pole magnetyczne powoduje powstanie naprężeń w skorupie gwiazdy. Powoduje to jej pękanie i wprawia w drgania, które powodują powstawanie fal pola magnetycznego. Przekazuje ono energię obłokom naładowanych cząstek w bliskim sąsiedztwie gwiazdy, które emitują promieniowanie gamma. W procesie tym, nieco podobnym do tego panującego na Słońcu, linie pola ulegają ciągłej i gwałtownej rekonfiguracji rozrywając i łącząc w innym miejscu. Energia tego pola, która pochodzi z jego zanikania, jest zamieniana na ciepło, promieniowanie i energie kinetyczną naładowanych cząstek[5].

Dotychczas nie zidentyfikowano jednoznacznie, co jest przyczyną powstawania tych błysków. Zjawiska podejrzewane o produkcję GRB to także zapadnięcie się gwiazdy kwarkowej. Niewykluczone, że bierze w tym udział nieznana jeszcze fizyka [6].

Większość energii błysków promieniowania gamma zawarta jest w fotonach z wysokoenergetycznej części widma. Zazwyczaj szczyt energii przypada na kilkaset keV, ale podczas błysku rejestruje się fotony o energiach od niskoenergetycznego promieniowania rentgenowskiego do kilku GeV.

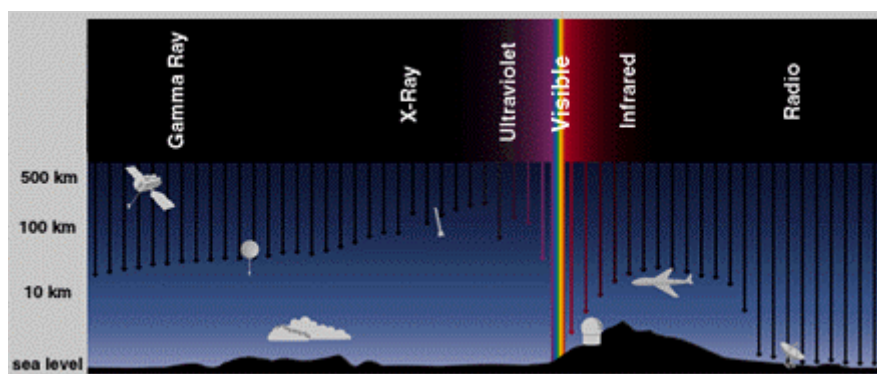
1.3 Dotychczasowe metody badawcze

Z powodu silnego tłumienia tego pasma widma przez atmosferę ziemską (Rys. 4), trudna jest efektywna detekcja tych sygnałów na powierzchni Ziemi. Dlatego metody wykrywania błysków opierają się na zastosowaniu detektorów promieni gamma umieszczonych na satelitach lub

statkach kosmicznych. Dodatkowo często detektory wspierane są czułymi kamerami pracującymi w zakresie X.

Głównym powodem, dla którego błyski gamma sprawiały trudność w interpretacji, była niemożność ich obserwacji w innych części widma elektromagnetycznego. Detektory promieniowania gamma miały za małą rozdzielczość, by wskazać astronomom, w której części nieba należy ich szukać metodami optycznymi lub radiowymi. Część aparatury (np. BeppoSAX) nie pozwalała na rejestrację zdarzeń krótszych niż kilka sekund, co powodowało, że pewna część zdarzeń mogła pozostać nie wykryta.

W 1997 roku, astronomowie rozwiązali powyższy problem po raz pierwszy. Dwa optyczne odpowiedniki błysków zostały zauważone przez największe teleskopy na Ziemi i na orbicie. Obserwacje te pokazały źródła tych wybuchów miliardy lat świetlnych od Ziemi. Te odkrycie były wynikiem użycia nowego sprzętu i współpracy między jednostkami obserwującymi w różnych długościach fal: X, gamma i optycznych. Dotychczas obserwatoria GRO² detekowały średnio jeden błysk dziennie, jednakże ich rozdzielczość była niewystarczająca, aby dokładnie wskazać miejsce zdarzenia. Dlatego poszukiwania na większych długościach fal, w tym optyczne były utrudnione i sprowadzały się do analizy tych napotkanych przypadkowo. W 1996 roku wystrzelono satelitę BeppoSAX. Zastosowano na nim dodatkowo detektory promieniowania X, co znacznie zwiększyło precyzję wyznaczania pozycji. Pozwoliło to na szybkie przekazanie ich astronomom dysponującym olbrzymimi teleskopami zarówno na Ziemi jak i na orbicie (Hubble Space Telescope). Dane z tych teleskopów pozwoliły na umiejscowienie źródeł błysków daleko poza galaktyką Drogi Mlecznej [4].



Rys. 4 Tłumienie poszczególnych długości fal przez atmosferę ziemską. (Źródło: [4])

Obecnie istnieje szereg projektów biorących udział w detekcji optycznych odpowiedników błysków Gamma. Przykładowe to:

- Robotic Optical Transient Search Experiment (ROTSE) - (Rys. 5)
- Rapid Eye Mount (REM)
- Telescope a Action Rapide pour les Objects Transitoires (TAROT)
- Super Livermore Optical Transient Imaging Systems (Super-LOTIS)
- Rapid Telescopes for Optical Response (RAPTOR)

Wszystkie z nich wykorzystują mały, automatyczny teleskop, który podąża za trygerem z satelity [6].

Detektory promieni Gamma oraz odpowiedników optycznych i radiowych są zainstalowane zarówno na Ziemi jak i na orbicie. W celu ułatwienia ich współpracy, stworzona została sieć GCN

² GRO – ang. Gamma-Ray Observatory

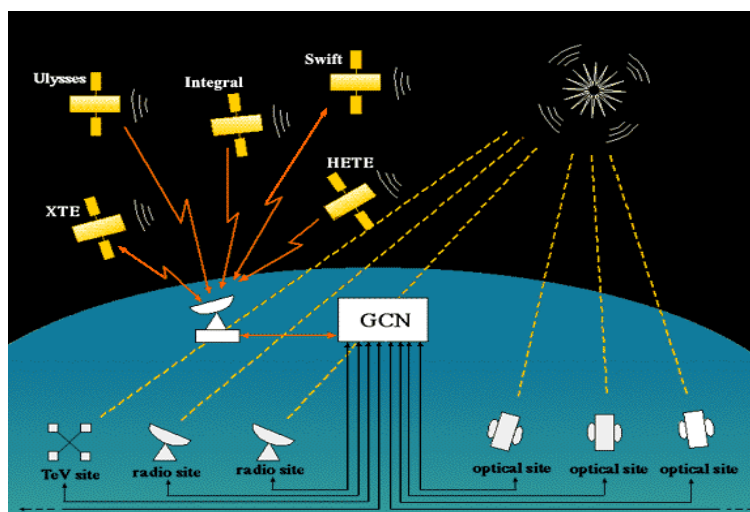
(*The GRB Coordinates Network*) (Rys. 6) rozsyłająca współrzędne wykrytych zdarzeń do zainteresowanych placówek takich jak obserwatoria astronomiczne czy stacje nasłuchujące w zakresie radiowym.

Zadania GCN są następujące:

- Dystrybucja współrzędnych GRB wykrytych przez statki kosmiczne i satelity. Część z nich jest przekazywana czasie rzeczywistym, gdy błysk jest wciąż silny, część jest opóźniona z powodu łączy.
- Dystrybucja raportów z powtórzonych naziemnych optycznych i radiowych obserwacji.



Rys. 5 Widok kamer oraz montażu eksperymentu ROTSE (Źródło: [6])



Rys. 6 Rysunek poglądowy sieci GCN (Źródło: [7])

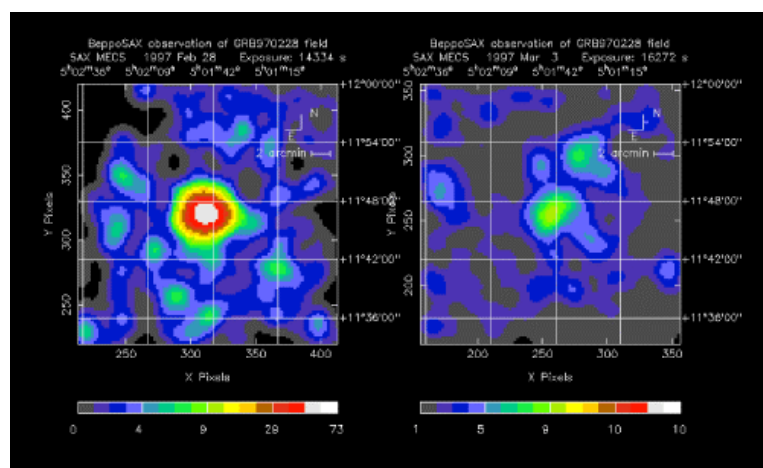
Te funkcje umożliwiają naziemnym obserwatoriom wydajne poszukiwanie optycznych i radiowych odpowiedników błysków gamma. Obecnie sieć GCN rozpowszechnia komunikaty dostarczone przez następujące satelity: BATSE, Ulysses, Integral, IPN, Swift, RXTE-PCA, HETE, BeppoSAX, GRO-COMPTEL oraz ALEXIS. Ten ostatni dodatkowo prowadzi obserwacje w zakresie ultrafioletu.

Druga funkcja GCN pozwala użytkownikom wysyłać informacje dotyczące potwierdzenia lub nie obserwacji błysku na powierzchni Ziemi. Komunikaty te są automatycznie dostarczane pocztą elektroniczną do pozostałych użytkowników.

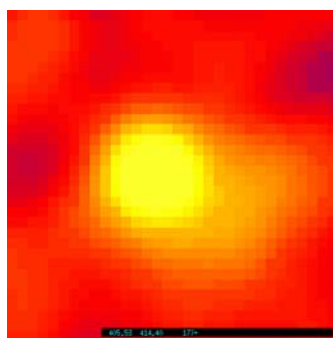
Maksymalne opóźnienie od pojawienia się fotonu GRB w detektorze, do obliczenia współrzędnych wynosi ok. 5.5 s. Dokładność współrzędnych wynosi maksymalnie 10 stopni. Współrzędne mogą być rozsyłane przy użyciu połączeń telefonicznych, Internetu, e-maili, pagerów do jakiegokolwiek ośrodka prowadzącego obserwacje w zakresie radiowym, optycznym, podczerwonym i gamma. Szybka dystrybucja komunikatów (0.3 do 30s) zwiększa szanse detekcji i identyfikacji optycznych, radiowych lub podczerwonych odpowiedników błysków gamma [7].

1.4 Przykłady udanych obserwacji błysków gamma dotychczasowymi metodami

Pierwszy przypadek zaobserwowano optycznie kilka godzin po zdarzeniu w lutym 1997 roku (Rys. 7, Rys. 80). Rozdzielczość teleskopu Hubble’a pozwoliła wtedy stwierdzić że źródło nie leży w centrum słabo widocznej galaktyki. Wykluczyło to możliwość, że błyski zasilane są przez masywne czarne dziury w centrach galaktyk. Wskazywało to na typowe gwiazdne ewolucje jak kolidujące gwiazdy neutronowe jako kandydatów na GRB. Galaktyka jak nasza Droga Mleczna mogłaby wyprodukować taki obiekt raz na kilka milionów lat.



Rys. 7 Błysk gamma zarejestrowany przez satelitę BeppoSAX 28.03.1997 - po lewej stronie, po prawej - ten sam obszar nieba tydzień później. (Źródło: [4])



Rys. 8 Optyczny odpowiednik błysku gamma zarejestrowany przez teleskop Hubble’a (Źródło: [4])

Następna ważna obserwacja miała miejsce 8 maja 1997 roku. W ciągu kilku godzin od detekcji impulsu, teleskopy w kilku miejscach na świecie zostały skierowane w kierunku źródła.

Używając największego teleskopu na Ziemi, 10-cio metrowego Keck pair na Hawajach, naukowcy byli w stanie oszacować odległość od źródła na kilka miliardów lat świetlnych – czyli w połowie drogi do horyzontu³. Było to możliwe poprzez obecność przesunięcia linii widmowych w widmie zmiennego obiektu spowodowanych efektem dopplera. To był definitywny dowód, że przynajmniej niektóre, jeśli nie wszystkie obserwowane burstery są rozmieszczone daleko poza naszą galaktyką.

W czerwcu 1997 roku, za pomocą GRO zaobserwowano jasny błysk. Jego pozycja została określona z dokładnością około 2 stopni oraz natychmiast rozpowszechniona. Ten region nieba był skanowany w zakresie X przez RXTE⁴ w ciągu kilku godzin od detekcji. RXTE wykrył źródło promieni X kilkakrotnie silniejsze niż poprzednio zarejestrowane przez SAX. W międzyczasie, dzięki innej detekcji, na statku Ulysess, ustalona została pozycja ze znacznie poprawioną dokładnością. Ale wtedy jasność źródła spadła poniżej limitu detekcji uniemożliwiając dalszą obserwację metodami optycznymi. Tak więc źródło wykryte przez RXTE było z całą pewnością odpowiednikiem błysku w zakresie promieni X. Przez późne lata 90-te, te trzy satelity NASA, współpracując ze sobą kontynuowały poszukiwania, zwiększając sumaryczną ilość detekcji błysków gamma. Jednakże nie zaobserwowano zdarzenia produkującego tak dużo energii w tak krótkim czasie [4]. Z ponad 2000 zdarzeń wykrytych w latach 1990 – 1997, tylko jedno miało miejsce w tym samym miejscu.

Jednakże pokazane udane przypadki rejestracji optycznych odpowiedników błysków gamma są sporadycznymi wydarzeniami. Rzadko udaje się wykryć błysk optyczny na tyle silny, by była szansa zarejestrować go w zakresie widzialnym po czasie potrzebnym na przestawienie teleskopów. Znacznie ogranicza to możliwość ich dokładnej analizy. Z powodu ograniczeń istniejących systemów, bazujących na ruchomym teleskopie naprowadzanym przez sygnał z satelity, wynikała potrzeba stworzenia nowego podejścia do badania tego typu zjawisk.

1.5 Nowe podejście do badania zjawisk kosmicznych o kilkusekundowym okresie zmienności

Natura krótkich błysków gamma wymaga zastosowania odmiennej metodologii w porównaniu do pozostałych sposobów obserwacji nieba. Czas trwania błysków waha się w granicach 0.1 ..1000 s, zatem system pomiarowy musi mieć możliwość rejestracji obrazów w skali pojedynczych sekund. Częstość błysków jest szacowana na około 3 dziennie, co implikuje konieczność obserwacji znacznych przestrzeni nieba równocześnie. Do tej pory zarejestrowano ponad 2000 błysków Gamma, jednakże niecałe 30 zaobserwowano optycznie. Spowodowane to jest tym, iż dotychczasowe metody obserwacji bazują na uniwersalnych, dużych teleskopach, naprowadzanych przez detektory promieniowania gamma. Teleskopy te mają małe pole widzenia oraz dużą bezwładność z powodu swoich rozmiarów, co utrudnia im w odpowiednio krótkim czasie zmienić pozycji by zarejestrować zdarzenie. Natomiast detektory gamma mają małą rozdzielczość kątową, co nie pozwala na precyzyjne pomiary położenia źródła błysku. Dodatkowo sygnał wyzwalający dla teleskopu jest wypracowywany znaczny czas po zdarzeniu (nawet do kilku godzin). W połączeniu z szybkim spadkiem intensywności źródła często uniemożliwia to obserwację. Większość dotychczasowych obserwacji była przeprowadzona kilka godzin po błysku.

³ horyzont – odległość, jaką od początku wszechświata zdołało pokonać światło

⁴ RXTE – Rossi X-ray Timing Explorer

Przeprowadzenie obserwacji samego błysku oraz zdarzeń tuż przed nim jest tym bardziej niemożliwe [8][12].

Rozwiązaniem powyższych problemów może być zastosowanie metodologii wykorzystywanej w eksperymentach z dziedziny fizyki wysokich energii. W ogólności polega ona na ciągłym monitorowaniu całego nieba lub jego znacznych fragmentów w odpowiednio dużej rozdzielczości optycznej. Rozdzielczość czasowa powinna wynosić maksymalnie kilka sekund. Z uwagi na fakt, że obserwowany jest cały błysk, łącznie z jego ekstremum, nie jest wymagana wysoka czułość detektorów. Nie istnieje w tym przypadku ograniczenie, jakim jest szybki spadek intensywności źródła, który utrudnia obserwacje przy użyciu dużych, naprowadzanych teleskopów. Dodatkowym ułatwieniem jest fakt, iż cały system może być zamontowany nieruchomo, gdyż dokonuje równoległej obserwacji w zakresie całego widzialnego nieba [1][2][3][9].

Dane pomiarowe z detektorów poddawane są obróbce oraz selekcji poprzez zastosowanie wielostopniowych trygerów. Ich zadaniem jest odrzucanie tych fragmentów danych, które potencjalnie nie zawierają interesujących informacji. Zasada przetwarzania i analizy sygnału z zastosowaniem wielostopniowych trygerów jest następująca:

- najpierw na danych wejściowych są przeprowadzane operacje nie wymagające dużej złożoności obliczeniowej. Pozwalają one eliminować znaczną część przypadków, które nie zawierają interesujących informacji, w ten sposób redukując strumień danych kilkukrotnie np. o 90%. Przykładowo może on wykrywać i usuwać próbki sygnału nie niosące informacji.
- Na danych wyjściowych pierwszego stopnia operuje następny, bardziej skomplikowany algorytm, który potrzebuje znacznie więcej czasu do analizy niż poprzedni. Ilość danych na jego wyjściu jest zredukowana znowu kilkukrotnie.
- Każdy z następnych stopni przetwarzania redukuje kilkukrotnie ilość danych na swoim wyjściu, jednocześnie wymagając do tego celu coraz większego nakładu obliczeniowego. Ilość stopni jest dobrana tak, aby na wyjściu systemu uzyskać taką ilość danych, która może być archiwizowana i analizowana przez człowieka.

Z powodu dużej rozdzielczości czasowej, wiąże się to z koniecznością analizy znacznej ich ilości w czasie rzeczywistym. Eksperyment ten może doprowadzić do zrozumienia natury błysków gamma – powinien on pozwolić na zebranie znacznie większej ilości obserwacji optycznych niż dotychczas istniejące a zatem umożliwić dokonanie skomplikowanych analiz, które mogą się stać sprawdzianem fizyki cząstek [6][8].

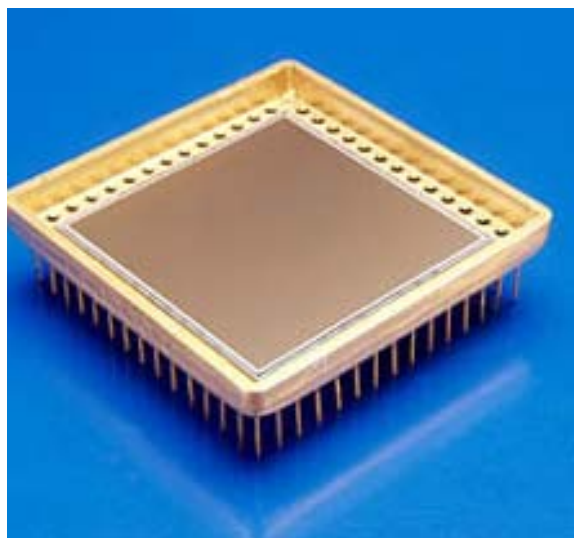
O skali tego zjawiska świadczy fakt, iż dokonano wiele nieudokumentowanych (z powodu ograniczeń innych systemów) obserwacji okiem. Opracowanie i przetestowanie tego typu systemu było główną ideą przyświecającą niniejszej pracy.

Wymagania stawiane detektorowi – systemowi rejestracji obrazów, to m.in. czas akwizycji rzędu pojedynczych sekund, szumy odczytu rzędu kilkudziesięciu fotonów / s oraz rozdzielczość optyczna około 1'. Do realizacji tego zadania idealnie nadają się kamery CCD, które krótko scharakteryzowano w następnym rozdziale.

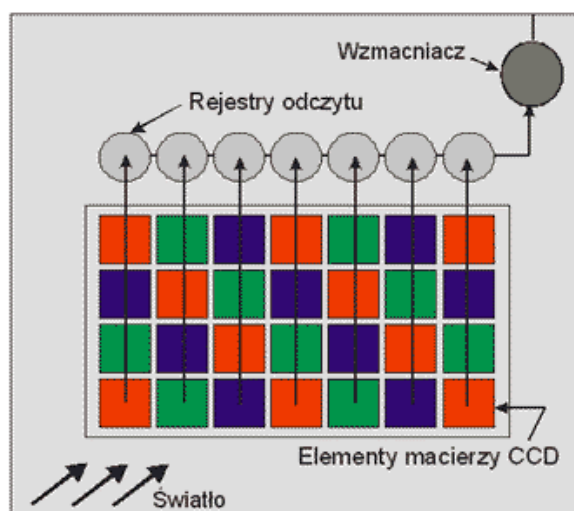
1.6 Przegląd dostępnej technologii kamer CCD

1.6.1 Podstawy działania czujników CCD

Technologię CCD wynaleziono w roku 1970 w laboratoriach firmy Bell. Od tamtej pory opracowano kilka technologii rejestracji obrazu (np. CMOS, PIN). Jednakże takie parametry elementu CCD jak czułość, wydajność kwantowa (*zdolność konwersji fotonów na elektrony*) sprawiają, że jest on najlepszym z sensorów optycznych stosowanych w procesie elektronicznej rejestracji obrazu. Matryca CCD (Rys. 1) zbudowana jest z elementów światłoczułych - kondensatorów MOS (*Metal Oxide Semiconductor*) wykonanych na jednej płytce krzemu. Ułożone są one tak, że tworzą kolumny. Ilość elementów decyduje o rozdzielczości uzyskiwanych za jej pomocą obrazów (Rys. 10) [15].



Rys. 9 Wygląd typowego czujnika CCD (CCD442A firmy Fairchild) (Źródło:[16])



Rys. 10 Rysunek poglądowy ilustrujący zasadę działania czujnika CCD (Źródło:[15])

Proces rejestracji obrazu przez kamerę CCD można podzielić na cztery etapy

1. Wygenerowanie ładunku. Jest ono zależne od wydajności kwantowej (QE), która określa jaką część padających na detektor fotonów zostanie zarejestrowana. W idealnym przypadku

wydajność ta powinna wynosić 100%, co na razie jest nieosiągalne (np. ze względu na to, że QE jest zależne od długości fali). Kiedy na płytkę krzemową pada foton, w wyniku efektu fotoelektrycznego wewnętrznego następuje przekazanie jego energii elektronom. Jeżeli foton ma wystarczająco dużą energię, wynoszącą przynajmniej 1,13 elektronowolta, powstaje jeden lub kilka wolnych elektronów. Energia ta z kolei jest ściśle związana z długością fali co powoduje, że czułość CCD jest różna dla różnych częstotliwości padającego światła. Zakres czułości kamery CCD mieści się na ogół w przedziale od 330 nm do 1100 nm, osiągając swoje maksimum w okolicach 650 nm. Fale krótsze niż 650 nm zaczynają być pochłaniane przez elektrody na powierzchni płytki krzemowej, zmniejszając tym samym wydajność detektora w zakresie krótkofalowym (w okolicach 400 nm QE na ogół nie przekracza kilku procent). Stosuje się różne techniki, aby podnieść wydajność kwantową. Jedną z nich polega na oświetlaniu płytki krzemu od tyłu, gdzie jej powierzchnia nie jest przesłonięta przez siatkę elektrod. Pozwala to przekroczyć 80% próg rejestracji fotonów, ale jest to bardzo kosztowne, gdyż wymaga precyzyjnego trawienia struktury czujnika.

2. Zbieranie ładunku. Wydajność tego procesu jest zależna od trzech parametrów:

- Ilości pikseli w detektorze. Im większa płytka i mniejsze piksele tym większa rozdzielczość i zdjęcie. Jednak wadą jest dłuższy czas odczytywania detektora i trudności z obsługą tak dużej matrycy. Optymalnym rozmiarem piksela jest 15×15 umogące zgromadzić do 500 tys. elektronów.
- Ilości elektronów, które mogą być zgromadzone w jednym pikselu. Wielkość ta zazwyczaj mieści się w przedziale od 50 tys. do 1 mln. Im większa wartość tym lepiej (można uzyskać większy kontrast). Poza tym większe piksele pozwalają zebrać więcej ładunku.
- Zdolność do utrzymania ładunku zanim zostanie on zmierzony. Wiąże się z tym możliwość rozlewania ładunku na inne piksele, co daje wrażenie jakby zdjęcie nie było dobrze zogniskowane. W idealnej sytuacji elektrony zgromadzone przez piksel powinny w nim pozostać do czasu dokonania odczytu. W rzeczywistości pod wpływem temperatury generowany jest tzw. prąd ciemny który dodaje się do ładunku zgromadzonego pod pikselem.

3. Transfer ładunku (Rys. 10). Po zgromadzeniu ładunku, musi on zostać przesłany do wyjściowego wzmacniacza poprzez cały rząd oddzielających go elementów. W tym celu przykładą się do przezroczystych elektrod umieszczonych nad pikselami napięcie, które zmusza elektrony do ruchu od jednego piksela do następnego. Jeden ze sposobów transferu to tzw. transfer liniowy, gdzie najpierw odczytuje się pionowe piksele a następnie sprawdza się do którego rzędu należą. Drugi to transfer klatkowy polegający na skopiowaniu całej klatki do innej, która służy jako pamięć do chwili odczytu. W czasie tych operacji ważne jest aby stracić jak najmniejszą część tego ładunku. Współczesne kamery CCD mają wydajność transferu przekraczającą 99,9999%.

Pomiar zgromadzonego ładunku Dokonywany jest on w małym kondensatorze (o pojemności ok. 50 fF), podłączonym do wyjściowego tranzystora. Tranzystor działa jak wzmacniacz, generując napięcie proporcjonalne do ładunku. Ostatecznie sygnał trafia do przetwornika analogowo-cyfrowego[16].

1.6.2 Stan dostępnej technologii rejestracji obrazów

Pokrycie całego widocznego nieba z rozdzielczością 1' wymaga czujnika o rozmiarze piksela rzędu 15x15 μ m i rozdzielczości 8000x8000 pikseli. Tak duże czujniki nie są powszechnie spotykane w handlu. Rozwiązaniem alternatywnym jest użycie zestawu kamer zbudowanych w oparciu o sensory o mniejszej rozdzielczości. Typowa wielkość czujnika to 2048x2048 pikseli. Daje to 16 kamer pracujących równolegle

Istnieje kilka powszechnie używanych technologii konwersji sygnałów optycznych na sygnał elektryczny: lampy analizujące (w tym mikrokanalikowe), czujniki półprzewodnikowe (CMOS, CCD, PIN), fotopowielacze, matryce fotodiod. Do przetwarzania obrazów najczęściej stosowane są czujniki CMOS i CCD. One to zdominowały większość zastosowań, począwszy od masowo produkowanych kamer i aparatów fotograficznych na superczułych kamerach dla zastosowań naukowych, kosmicznych i militarnych skończywszy.

Obecnie swoją pozycję na rynku coraz bardziej umacniają czujniki CMOS. Dzieje się dlatego, iż są one wykonywane w taniej, standardowej technologii. Razem z częścią światłoczułą, w jednej strukturze wykonuje się wszystkie potrzebne układy elektroniczne, łącznie z torem analogowym, przetwornikami A/C, układami sterującymi i rejestrami konfiguracyjnymi. Dzięki temu są proste w obsłudze, mają dużo większe możliwości, jeśli chodzi o odczyt poszczególnych fragmentów obrazu (piksele mogą być odczytywane indywidualnie). Łatwo za ich pomocą uzyskać np. sumowanie pikseli, zmianę rozdzielczości, możliwe są znaczne prędkości odczytu (np. 1000 obrazów na sekundę). Jeśli chodzi o czułość, poziom szumów, efektywność kwantową to najnowsze opracowania nie ustępują czujnikom CCD przy podobnej rozdzielczości i wielkości obszaru światłoczułego. Jednakże rzadko kiedy produkowane są o rozmiarach większych niż 1.27cm (0.5 cala) – co niemalże je dyskwalifikuje do zastosowań profesjonalnej astronomii.

Czujniki CCD są produkowane w szerokim zakresie wymiarów i rozdzielczości od pojedynczych aż do dziesiątków milionów pikseli. Wymagają one użycia dedykowanej technologii, zatem rzadko kiedy spotyka się rozwiązania zintegrowane z układami pomocniczymi. Często spotykana rozdzielczość to 2048x2048 pikseli, przy wymiarze piksela 15 μ m – daje to przekątną 43mm. Jest to spowodowane kompromisem między rozdzielczością i rozmiarem a ceną. Producenci czujników CCD to np: Atmel, Philips, Hamamatsu, Fairchild, STA, Kodak, Site, Marconi, Sony.

Przykładowe popularne i dostępne czujniki CCD

- CCD442A - Fairchild – najtańszy na rynku czujnik o rozdzielczości 2k*2k pikseli
- CCD447A – Fairchild – ulepszona wersja CCD442A z dodatkowymi wyjściami niskoszumnymi i możliwością odczytu obrazu poprzez 2 wyjścia równocześnie.
- KAF4202 – Kodak – stosunkowo małe piksele - 9x9 μ m (obszar światłoczuły 18mm*18mm), proste 2 fazowe sterowanie przesuwem ładunków, niski poziom szumów oraz prądu ciemnego

- TH7899S – Atmel – wiele trybów pracy, 4 szybkie wyjścia, maksymalna szybkość odczytu – ok. 18 obrazów na sekundę, skomplikowane sterowanie.

Czujniki te wymagają dosyć skomplikowanych układów sterujących, niskoszumnego toru analogowego, wielo-napięciowego zasilania, chłodzenia oraz pobierają dużą moc.

1.6.3 Dotychczasowe rozwiązania kamer dostępne na rynku

Istnieje wielu producentów profesjonalnych kamer na rynku. Popularną firmą jest Apogee (USA) (Rys. 12). Inne przykładowe to Photomoetrics, Spectral Instruments, SBIG(Rys. 13)., VayTek, Dalsa Corp, G16 (Rys. 11).



Rys. 11 Kamera G16[14]



Rys. 12 Kamera firmy Apogee [14]



Rys. 13 Kamera firmy SBIG[14]

⁵ IP – ang. Intellectual Property – prekompilowane bloki funkcjonalne m.in. dla układów programowalnych (np. sterowniki pamięci DRAM, interfejsy, mikrokontrolery)

⁶ LVDS – ang. Low Voltage Differential Signalling – szybki interfejs różnicowy

Podstawową wadą kamer produkowanych przez te firmy jest ich cena, która poważnie ograniczyłaby możliwość realizacji projektu. Oprócz tego zastosowane migawki charakteryzują się niewystarczającą dla zastosowania w projekcie trwałością. Nie są one ponadto wyposażane w takie układy jak podgrzewanie optyki, czujniki warunków środowiskowych, zdalna regulacja ostrości obiektywu. Rozdzielczości przetworników rzadko przekraczają 12 bitów przy prędkości odczytu 1 MHz. To były główne czynniki, które zadecydowały o opracowaniu kamer specjalnie na potrzeby eksperymentu.

1.6.4 Dostępne technologie sterowania czujnikami oraz przetwarzania danych pomiarowych

Generacja sygnałów sterujących CCD oraz przetwarzanie danych pomiarowych może być dokonane na kilka sposobów, np.

- komputer PC z dedykowaną kartą PCI lub portem równoległym (rozwiązanie zastosowane w kamerze Genesis). Proces generacji sygnałów odbywa się na drodze programowej przez komputer PC, który zazwyczaj i tak istnieje jako część sterująca systemem pomiarowym. Rozwiązanie to zapewnia mały koszt i prostotę części sprzętowej kamery. jednakże problemem tutaj jest precyzyjna generacja sygnałów sterujących (szczególnie w systemach wielozadaniowych) oraz wolny transfer danych (LPT).
- wbudowany mikroprocesor / mikrokomputer, np. AVR, ARM, DSP, embedded PC - wysoki koszt w ostatnim przypadku, problem z precyzyjną generacją sygnałów sterujących, skomplikowana struktura oprogramowania (wielowątkowość). Zaimplementowany standardowo interfejs komunikacyjny (ethernet, USB..) oraz kontroler pamięci dynamicznej ułatwiają konstrukcję systemu.
- układ programowalny (PLD, FPGA) –cehuje go łatwość uzyskania precyzyjnych i szybkich przebiegów sterujących układem CCD. Istnieje możliwość skorzystania z gotowych bloków IP⁷ realizujących np. interfejs komunikacyjny czy blok przetwarzania sygnałów. Posiada on szerokie możliwości optymalizacji i dużą szybkość działania. Koszt porównywalny z układem DSP.
- układ zbudowany ze standardowych cyfrowych układów małej i średniej skali integracji – rozwiązanie obecnie wychodzące z użycia na rzecz układów programowalnych.

1.6.5 Technologie szybkiej transmisji danych

Jedno zdjęcie przy założeniu 16-bitowego kwantowania zajmuje 8 pamięci. Do jego przesłania w ciągu 1..2s wymagany jest strumień danych rzędu 4MB/s. Istnieje kilka interfejsów spełniających powyższy warunek:

⁷ IP – ang. Intellectual Property – prekompilowane bloki funkcjonalne m.in. dla układów programowalnych (np. sterowniki pamięci DRAM, interfejsy, mikrokontrolery)

- USB 2.0 – maksymalny transfer – 62MB/s, instalowany seryjnie w nowoczesnych komputerach.
- Firewire – transfer ok. 50MB/s, stosowany w sprzęcie cyfrowym Video
- Ethernet 100Mbit – standardowa i tania technologia obecna w każdym niemal PC, wystarczająca w przypadku pojedynczej kamery, jednakże ze względu na pakietowy przesył danych nie jest zalecana do takich aplikacji
- Dedykowana karta PCI z interfejsem LVDS⁸ -rozwiązanie zapewniające bardzo szybki transfer danych (ponad 500MB/s), kosztowna płyta PCI, duża ilość przewodów łączących z kamerą. Rozwiązanie optymalne dla kamer o większych rozdzielczościach lub szybkościach odczytu.

W przypadku połączenia 16 kamer w jeden system, wymagany transfer przekracza 30MB/s

1.6.6 Inne wymagania stawiane kamerom CCD

Ponieważ badane obiekty nie stawiają wygórowanych parametrów dotyczących czułości systemu, zatem możliwe jest zastosowanie jako optyki standardowych obiektywów fotograficznych, co znacząco wpłynie na koszty wykonania systemu.

System będzie pracował z założenia w sposób automatyczny, zatem konieczna jest implementacja wszystkich ustawień oraz obsługi w sposób zdalny.

Z powodu wahań temperatury i zmiennych warunków klimatycznych w Chile, konieczne może okazać się zamontowanie systemu podgrzewania optyki przeciwdziałającego kondensacji pary wodnej.

Dostępne w handlu migawki mechaniczne charakteryzują się trwałością rzędu $5 \cdot 10^5$, natomiast eksperyment wymaga znacznie lepszych, o trwałości rzędu $1 \cdot 10^7$

Osiągnięcie szumów odczytu na poziomie $20e^-$ wymaga zastosowania aktywnego chłodzenia czujnika CCD.

1.7 Podsumowanie

Obserwacja całego widocznego obszaru nieba wymaga zastosowania systemu kamer obejmujących swoim zasięgiem znaczne jego obszary. Z powodu ograniczeń wprowadzanych przez atmosferę (m.in. zafalowań) obszar ten jest ograniczony do wysokości około 20° nad horyzontem – czyli w sumie π steradianów . Stąd wzięła się nazwa systemu „I of the Sky” . Obserwacje astronomiczne, a szczególnie te dotyczące badań zmienności nieba, wymagają specjalistycznych oraz często dedykowanych rozwiązań technicznych Cechuje je znaczna ilość przetwarzanych danych, skomplikowane algorytmy przetwarzania sygnałów pracujące często w czasie rzeczywistym, niezawodność i możliwość zdalnego sterowania z dużej odległości (idea rozproszonych systemów pomiarowych). Eksperyment „I of the Sky” jest kolejnym z kolei podejściem do badania natury błysków Gamma. Niewykluczone iż doświadczenia zebrane podczas jego budowy i eksploatacji posłużą do realizacji następnego kroku – umieszczenia podobnego

⁸ LVDS – ang. Low Voltage Differential Signalling – szybki interfejs różnicowy

systemu na satelicie. Takie rozwiązanie ma kilka zalet. Największą z nich jest brak wpływu atmosfery, która pochłania i rozprasza znaczną część docierającego promieniowania. Następną zaletą to uniezależnienie badań od pogody.

Z powodu wymagań stawianych systemowi rejestracji obrazów, zdecydowano się na jego budowę od podstaw. Umożliwia to w pełni dostosowanie parametrów urządzenia do stawianych mu wymagań oraz znaczne zmniejszenie kosztów realizacji. Opracowanie oraz przetestowanie tego typu systemu było ideą przewodnią tej pracy. Wszelkie szczegóły związane z jego realizacją oraz wyniki testów przedstawiono w dalszych rozdziałach.

2. Założenia i wymagania stawiane kamerom dla systemu „I of the Sky”

Jak już nadmieniono w poprzednim rozdziale, przeprowadzanie efektywnych badań błysków Gamma wymaga zastosowania nowej metodyki badawczej. Polega ona na równoczesnej obserwacji całego widzialnego nieba w skali czasowej rzędu kilku sekund. Takie zadania pomiarowe może zrealizować system dedykowanych kamer spełniający poniższe wymagania elektryczne, mechaniczne i funkcjonalne.

2.1 Wymagania dotyczące parametrów funkcjonalnych urządzenia

1. Zapewnienie zdalnego nadzoru nad funkcjami systemu umożliwia sterowanie kluczowymi parametrami urządzenia. Są to zarówno wielkości elektryczne jak np. częstotliwość odczytu CCD, wzmocnienie sygnału, jak i nieelektryczne, np. temperatura czujnika, czas otwarcia migawki czy położenie obiektywu względem czujnika. Jest to istotne zagadnienie z powodu znacznej odległości jaka dzieli przyrząd od centrum sterowania eksperymentem.
2. Zdalne monitorowanie warunków zewnętrznych, takich jak temperatura i wilgotność, które mają kluczowe znaczenie dla niezawodności systemu. Uszkodzenie systemu chłodzenia może spowodować przegrzanie oraz uszkodzenie cennego urządzenia. Utrata hermetyczności komory z czujnikiem może spowodować kondensację pary wodnej na jego powierzchni. W połączeniu z ujemną temperaturą pracy CCD powoduje to powstawanie warstwy lodu, która może spowodować zafałszowanie wyników pomiaru lub uszkodzenie sensora.
3. Możliwość zdalnego uaktualniania oprogramowania sterującego w przypadku powstania nowszej wersji oprogramowania, eliminującej niedociągnięcia poprzedniej. Urządzenie zawiera wewnątrz układy, których funkcjonalność jest określona poprzez oprogramowanie. Bardzo pożądaną funkcją jest możliwość wymiany tego oprogramowania bez potrzeby mechanicznej ingerencji w konstrukcję. Także funkcjonalność urządzenia może być łatwo w ten sposób zmieniona i lepiej przystosowana do powierzonych mu zadań[3][9].
4. Zabezpieczenia przeciwko niekontrolowanej pracy kamery w przypadku np. zakłóceń w sieci zasilającej czy zawieszenia wykonywania programu przez mikrokontroler. Utrata kontroli nad funkcjami kamery powoduje utratę cennych danych pomiarowych. Może także doprowadzić nawet do poważnego uszkodzenia urządzenia na skutek np. przegrzania.

2.2 Wymagania dotyczące parametrów elektrycznych urządzenia

1. Szeroki kąt widzenia do wysokości 20° nad horyzontem z rozdzielczością kątową rzędu 1' może zapewnić zastosowanie 16-tu kamer. Implikuje to rozdzielczość pojedynczej kamery rzędu 2000x2000 pikseli o rozmiarach 15x15μm. Czujniki o wyższych rozdzielczościach

- posiadają mniejsze rozmiary pikseli (co ogranicza ich czułość i dynamikę) oraz charakteryzują się nieproporcjonalnie wyższą ceną.
2. Rozdzielczość czasowa rzędu kilku sekund konieczna jest, aby system mógł zarejestrować poszczególne fazy zjawiska. Nie może być za duża, ponieważ zdolność kamery do rejestracji słabych obiektów jest związana z odpowiednio długim czasem akwizycji. W przypadku systemu zamontowanego nieruchomo istnieje jego górna granica. Nie można zwiększać tego czasu powyżej pewnej granicy, gdyż ruch obrotowy Ziemi spowoduje pogorszenie jego ostrości („rozmazanie obrazu”). Czas rzędu 5s jest wartością zapewniającą wystarczającą czułość dla potrzeb eksperymentu. Nie występują też jeszcze problemy związane z ruchem obrotowym Ziemi.
 3. Zapewnienie niskiego szumu umożliwia rejestrację słabych obiektów przy ograniczonym czasie ekspozycji. Na wypadkowy szum mają wpływ następujące składowe: szum termiczny CCD (termiczna generacja nośników w podłożu matrycy), szum wzmacniacza wyjściowego CCD, szum przedwzmacniacza oraz szum przetwornika ADC. Dodatkowo do szumu mogą dodawać się zakłócenia od strony zasilania. Od profesjonalnych kamer CCD wymaga się szumu odczytu poniżej $20 e^-$. Wartość ta odpowiada napięciu wyjściowemu przetwornika generowanemu przez 20 ładunków elementarnych. Odnosi się ją do wartości ładunku w CCD, w celu zdefiniowania parametrów szumowych kamer. Ułatwia to m.in. porównywanie sprzętu. Szum o wartości $20 e^-$ odpowiada około 30..40 fotonom padającym na powierzchnię czujnika.
 4. Istotna jest 16-bitowa kwantyzacja obrazu, umożliwiającą wykorzystanie zakresu dynamicznego CCD, a przez co dokonywanie precyzyjnych pomiarów. Typowe czujniki CCD posiadają dynamikę sygnału wyjściowego rzędu 70..80dB. 16 bitowe przetworniki A/C mają teoretyczną dynamikę rzędu 96dB, jednakże wartości stosunku sygnał/szum osiągalne przez szybkie ($>4\text{MHz}$) układy rzadko przekraczają 80dB. Są one jednak wystarczające do realizacji systemu o zakładanych parametrach szumowych i wymaganej dynamice.
 5. Szybki transfer danych umożliwiający obróbkę obrazu w czasie rzeczywistym. Przy założonej rozdzielczości czujnika wynoszącej 2048×2048 pikseli i 16 bitowej kwantyzacji rozmiar jednej klatki wynosi 8MB. Dane z kamery mogą być odczytywane dopiero po zakończeniu sczytywania ładunku z czujnika CCD. Odbywa się to podczas fazy naświetlania czujnika. Minimalny czas akwizycji jaki może być użyty na potrzeby śledzenia szybkozmiennych obiektów wynosi ok. 1..2s. Zatem wymagana prędkość transmisji to około 4..8MB/s. W przypadku połączenia całego lub części systemu za pomocą koncentratorów danych jako logicznie jedno urządzenie, wymagany transfer może być wyższy, nawet rzędu 30..50MB/s.

2.3 Wymagania dotyczące parametrów mechanicznych urządzenia

1. Aktywne chłodzenie czujnika, którego temperatura ma wpływ na dynamikę sygnału wyjściowego CCD. Odpowiada ona za kontrast obrazu i zależna jest od: pojemności piksela (maksymalnej wartości ładunku, który można zgromadzić pod pikselem), szumów odczytu oraz wartości prądu ciemnego. Prąd ciemny jest powodowany poprzez generację termiczną

nośników w materiale półprzewodnikowym i dodaje się on do ładunku zebranego podczas naświetlania. W ten sposób ogranicza minimalny poziom sygnału na wyjściu czujnika. O ile pojemność piksela (*full well capacity*) jest określona przez producenta, i ciężko jest ją zmienić, to wartość prądu ciemnego zależy w silnym stopniu od temperatury czujnika. Jego wartość ulega podwojeniu przy wzroście temperatury o ok. 6..7 stopni. Dlatego konieczne jest chłodzenie czujników. Na przykład przy schłodzeniu o 40 stopni, prąd ciemny zmaleje blisko 100 razy, a przez co dynamika czujnika wzrośnie teoretycznie o 40 dB. W rzeczywistości ograniczeniem będą wtedy szумы odczytu.

2. Opcjonalne podgrzewanie optyki, które jest w stanie uniezależnić pracę urządzenia od temperatury otoczenia. System pomiarowy będzie docelowo zamontowany na pustyni, w Las Campanas w Chile. Wartości temperatur zmieniają się od bliskich zera do ponad +40 stopni w zależności od pory dnia i roku. Niskie temperatury mogą powodować kondensację pary wodnej na obiektywie kamery. Dlatego konieczne może okazać się ogrzewanie optyki.
3. Niezawodna migawka zapewniająca bezawaryjną, ciągłą pracę przez okres kilku lat. W komercyjnie sprzedawanych kamerach montowane są migawki o wytrzymałości rzadko przekraczającej $5 \cdot 10^5$ cykli. Ciągła eksploatacja kamer w cyklu 1 zdjęcie co 5s przez okres kilku lat, wymaga wytrzymałości rzędu $5 \cdot 10^7$ cykli. Tak więc nie powinna posiadać ona mechanizmów ciernych, powodujących szybkie zużywanie się.
4. Regulacja ogniskowej obiektywu umożliwiającą korekcję ostrości obrazu. Odbywa się to za pomocą zmiany odległości optyki od powierzchni CCD.
5. Odporność na warunki klimatyczne zapewniająca długą i bezawaryjną pracę. System zostanie zainstalowany w specjalnym kontenerze w pobliżu polskiego obserwatorium astronomicznego w Las Campanas w Chile. Jak już wspomniano, występują tam duże różnice temperatur oraz skrajne warunki atmosferyczne [6][9].

2.4 Podsumowanie

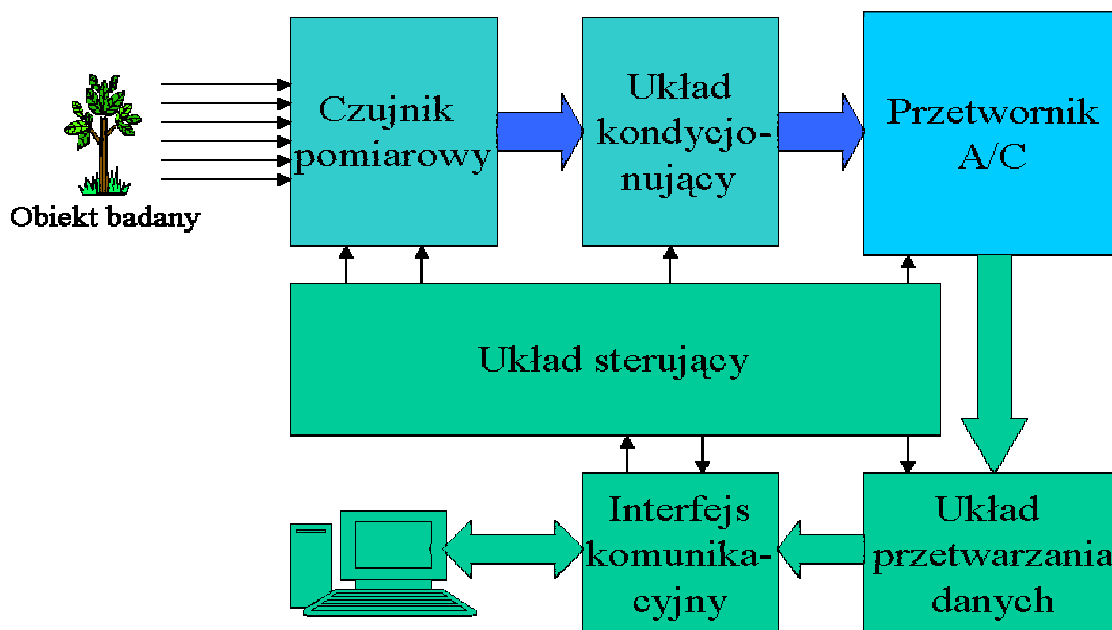
Specyfika projektu badawczego „JI of the Sky” stawia wysokie wymagania na niezawodność i jakość sprzętu pomiarowego użytego do jego realizacji. Szczególnie istotna jest trwałość mechaniczna elementów migawki oraz odporność na warunki środowiskowe. Te parametry w istotny sposób decydują o długim czasie bezawaryjnej pracy aparatury pomiarowej. Obserwacje zmienności nieba w skali sekund wymagają szybkiego odczytu matrycy CCD oraz transferu danych. Krótki czas naświetlania skorelowany z właściwą czułością implikują niski szum odczytu.

Powyższych wymagań nie można spełnić przez zastosowanie dostępnego na rynku sprzętu komercyjnego o umiarkowanych cenach. Jego samodzielne opracowanie pozwala na optymalizację parametrów oraz znaczną redukcję kosztów realizacji.

3. Koncepcja pracy

Koncepcję pracy stanowi implementacja układu kamery CCD jako podstawowego elementu zintegrowanego systemu pomiarowego. Strukturę funkcjonalną systemu okazano na Rys. 14. Zawiera on następujące bloki wykonawcze:

- Czujnik pomiarowy, którego zadaniem jest przetworzenie wielkości nieelektrycznej na elektryczną
- Układ kondycjonujący – zadaniem jego jest dopasowanie wyjścia czujnika do wejścia przetwornika (np. impedancyjne, poziomy napięcie), filtracja sygnału i jego wzmocnienie ...
- Przetwornik analogowo – cyfrowego – tutaj następuje konwersja sygnału analogowego (napięcia, prądu) do postaci cyfrowej
- Układ przetwarzania danych pomiarowych, sygnał cyfrowy poddawany jest tutaj obróbce (filtracji, kodowaniu), buforowaniu, linearyzacji...
- Interfejs komunikacyjny – dzięki niemu możliwa jest komunikacja systemu ze światem zewnętrznym – obecnie najczęściej jest to komputer PC
- Układ sterujący – zapewnia on synchronizację poszczególnych bloków, ustawianie zakresu pomiarowego, generację sygnałów sterujących wszystkimi blokami systemu.
- Komputer i aplikacja sterująca – odpowiedzialne są za sterowanie procesem pomiarowym, interakcję z użytkownikiem, przetwarzanie danych oraz ich archiwizację



Rys. 14 Schemat blokowy typowego systemu pomiarowego

W dalszej części rozdziału krótko omówiono z koncepcją budowy każdego z powyższych bloków funkcjonalnych w kontekście przyjętych założeń.

3.1 Koncepcja warstwy funkcjonalnej urządzenia

Warstwa funkcjonalna urządzenia decyduje o ergonomii i wygodzie jego użytkowania. Dla wielu użytkowników parametry funkcjonalne mają podobne znaczenie jak metrologiczne. Umożliwiają one np. zautomatyzowanie procesu pomiarowego. W następnych rozdziałach zostały omówione rozwiązania mające wpływ na funkcjonalność przyrządu.

3.1.1 Zdalny nadzór nad funkcjami urządzenia

Z powodu znacznej odległości systemu od centrum sterownia eksperymentem, kontrola urządzenia na odległość (założenie 2.1.1) jest koniecznością. Koncepcja przewiduje implementację zdalnego sterowania następujących ustawień i funkcji:

- Częstotliwość odczytu matrycy CCD – regulacja realizowana poprzez rejestry w układzie FPGA
- Tryb pracy czujnika CCD – pojemność studni potencjału (tryb Multi Pinned Phase) - przydatny przy rejestracji silnych sygnałów
- Wzmocnienie przedwzmacniacza CCD – regulacja zgrubna i dokładna.
- Offset przetwornika ADC umożliwiający skompensowanie prądu ciemnego czujnika CCD
- Czas otwarcia migawki
- Temperatura czujnika CCD wraz z kontrolą jej wartości
- Ogrzewanie optyki wraz z kontrolą temperatury obudowy kamery
- Regulacja ogniskowej obiektywu

Sterowanie funkcjami polega na przesyłaniu poprzez jeden z kanałów interfejsu USB zakodowanych rozkazów. Mikroprocesor realizuje ich interpretację i wykonanie.

Koncepcja obejmuje także rozdzielenie funkcji kontrolnych kamery pomiędzy dwa bloki : FPGA i mikrokontroler. FPGA zajmuje się przetwarzaniem danych pomiarowych, obsługą pamięci DRAM, generacją sygnałów dla ADC i CCD oraz nadzorem transmisji USB. Natomiast mikrokontroler pełni funkcje nadzorcze układu FPGA , obsługuje czujniki, migawkę, silnik, chłodzenie, konfigurację procesora video oraz zapewnia możliwość aktualizacji oprogramowania w FPGA.

3.1.2 Zdalne monitorowanie warunków zewnętrznych

Założenie 2.1.2 polegające na monitorowaniu temperatury i wilgotności ma kluczowe znaczenie dla niezawodności systemu. Koncepcja przewiduje użycie scalonych czujników typu SHT11 do pomiaru wilgotności i temperatury gazu wewnątrz komory z czujnikiem CCD, jak i na zewnątrz urządzenia. Dodatkowo monitorowanie temperatury obudowy pozwoli wykryć awarię

systemu chłodzenia zanim dojdzie do poważnych uszkodzeń elektroniki na skutek przegrzania. Sposób pomiaru temperatury obudowy jest identyczny jak w przypadku czujnika temperatury CCD.

3.1.3 Zdalna aktualizacja konfiguracji układu FPGA oraz oprogramowania mikrokontrolera USB

Warunki pracy rozległego systemu pomiarowego narzucają potrzebę implementacji funkcji umożliwiających aktualizację oprogramowania sterującego układem - zgodnie z założeniem 2.1.3. Koncepcja zakłada możliwość wymiany oprogramowania sterującego pracą mikrokontrolera w sposób sprzętowy, wykorzystując jeden z trybów jego pracy. Może się to odbywać na kilka sposobów. Bezpośrednio, poprzez użycie dedykowanego żądania przesłanego przez USB, można wgrać oprogramowanie do wewnętrznej pamięci mikrokontrolera. Istnieje też możliwość zaprogramowania zewnętrznej pamięci programu (EEPROM) – w tym celu najpierw wgrywany jest do wewnętrznej pamięci programu prosty program który umożliwia programowanie pamięci EEPROM poprzez interfejs szeregowy, a następnie jest przesyłany właściwy kod programu, który jest zapisywany do zewnętrznej pamięci szeregowej.

Aktualizacja konfiguracji układu FPGA jest przewidziana jako programowa implementacja w mikrokontrolerze USB. Mikrokontroler przejmuje na czas uaktualniania funkcję programatora, umożliwiając załadowanie danych do pamięci konfiguracyjnej za pomocą protokołu Active Serial. Zawartość pamięci pozostaje niezmieniona do następnego programowania, za pomocą zewnętrznego kabla Byte Blaster II lub mikrokontrolera.

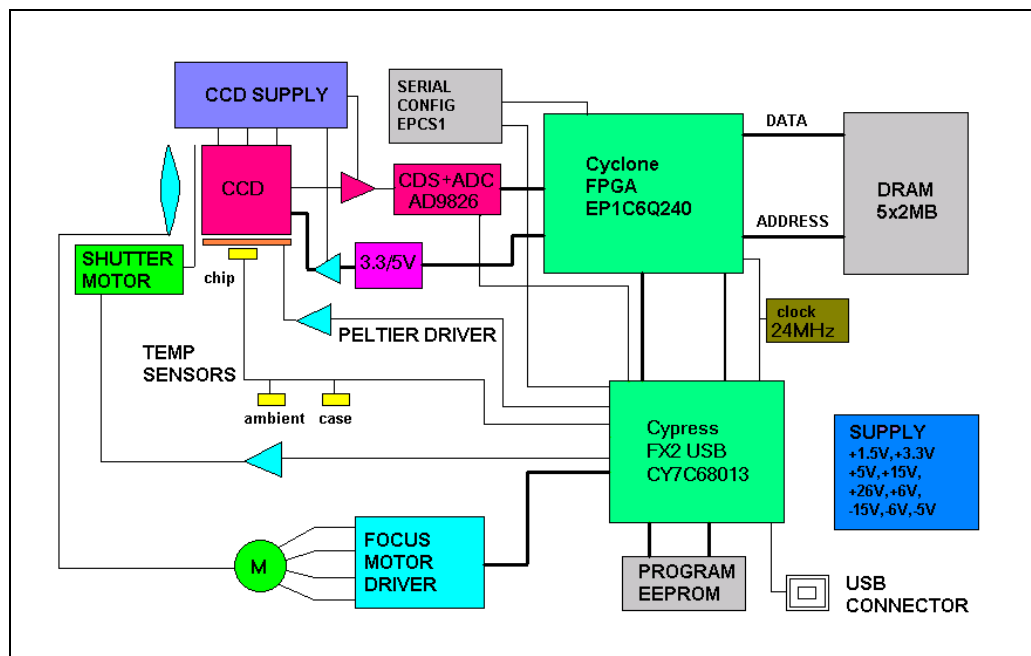
To rozwiązanie ma tę zaletę, gdyż zwalnia mikrokontroler z potrzeby każdorazowej konfiguracji układu po włączeniu zasilania – rolę tę przejmuje FPGA, który sam odczytuje zawartość pamięci konfiguracyjnej.

3.1.4 Zabezpieczenia

Koncepcja zabezpieczenia przeciwko niekontrolowanej pracy kamery (założenie 2.1-4) obejmuje użycie scalonego układu typu „supervisor – watchdog”, którego zadaniem jest wykrywanie przerw w zasilaniu oraz faktu zawieszenia wykonywania programu. W przypadku zaistnienia któregoś z tych stanów, wykonywany jest ponowny start systemu. Dodatkowo przewidziano funkcję kontroli ciągłości transmisji danych. Komputer zarządzający kamerą co jakiś czas wysyła rozkaz uśpienia watchdog’a. W przypadku zawieszenia się kamery lub problemu z transmisją, watchdog przestaje odbierać sygnały „usypiające”. Po zadanym czasie dokonuje on restartu całego systemu. W ten sposób system jest także uodporniony na często spotykany problem z transmisją USB - jej zawieszaniem.

3.2 Koncepcja warstwy elektrycznej urządzenia

Koncepcja budowy części elektronicznej urządzenia, została zamieszczona na Rys. 15. W dalszych podrozdziałach zostały omówione wybrane bloki funkcjonalne



Rys. 15 Schemat blokowy części elektronicznej kamery

3.2.1 Czujnik obrazu

Zgodnie z założeniami (2.1-1 oraz 2.1-2) zastosowano czujnik o rozdzielczości 2048*2048 pikseli. Ze względów finansowych, wymaganej przez eksperyment szybkości odczytu (maks. 1 obraz/s) oraz zapewnienia niskiego poziomu szumów został wybrany czujnik CCD442A firmy Fairchild Semiconductor.

Wymaga on szeregu napięć zasilających oraz bipolarnych sygnałów sterujących. Dodatkowym utrudnieniem jest fakt, iż czujnik przedstawia dla układu sterującego pojemność rzędu kilkunastu nF, która musi być przeładowana w czasie rzędu kilkunastu ns. Konieczne jest użycie dedykowanych driverów prądowych.

Powtarzalne pomiary wymagają precyzyjnie generowanych sygnałów sterujących przesuw ładunku oraz jego przetwarzanie na postać cyfrową. Z powodów potencjalnych problemów z dokładną generacją sygnałów sterujących CCD oraz przetwornikiem A/C koncepcja zakłada użycie układu FPGA.

Inną zaletą stosowania technologii układów programowalnych, jest łatwa rekonfiguracja systemu. Ważną cechą jest to, że dodawanie nowych funkcji do systemu nie powoduje zmniejszenia szybkości działania pozostałych już zaimplementowanych. Spowodowane to jest równoległym charakterem pracy układu FPGA, a nie sekwencyjnym jak w przypadku procesorów. Dodatkowo na

początku 2003 roku pojawiła się na rynku nowa, zoptymalizowana kosztowo rodzina układów programowalnych firmy Altera – „Cyclone”. Układy te wyróżnia duża ilość zasobów oraz nowy sposób konfiguracji – „Active Serial”, który upraszcza budowę systemu.

Jakość napięć zasilających czujnik ma bezpośredni wpływ na szum odczytu. W celu ograniczenia zakłóceń, wszystkie napięcia są generowane bez użycia konwerterów impulsowych DC/DC oraz starannie filtrowane.

3.2.2 Przedwzmacniacz CCD

Koncepcja uzyskania niskiego poziomu szumu odczytu oraz dużej czułości (założenie 2.2-3) zakłada użycie niskoszumnego wzmacniacza między CCD a ADC. Stosunkowo duża impedancja wyjściowa czujnika CCD implikuje użycie stopnia wzmacniającego o małych szumach prądowych. Dostępne monolityczne wzmacniacze operacyjne z wejściami JFET (bo takie zapewniają małe szumy prądowe), nie są wystarczająco szybkie do tego zastosowania. Wyjściem jest zastosowanie wzmacniacza o małych szumach prądowych poprzedzonego wtórnikami na tranzystorze JFET, który zapewni mały prądowy i napięciowy składnik szumu.

Dodatkowym czynnikiem mającym wpływ na szumy jest filtracja zasilania i ekranowanie elektromagnetyczne czujnika i wzmacniacza. Koncepcja zakłada umieszczenie całego toru analogowego wraz z czujnikiem w oddzielnej komorze, zasilanie go z oddzielnego zasilacza oraz zapewnienie oddzielnych obwodów mas. Zminimalizuje to możliwość przedostawania się zakłóceń z innych części układu, szczególnie z płytki cyfrowej.

3.2.3 Przetwarzanie sygnału na postać cyfrową

Jednym z wymogów stawianych kamerom do zastosowań astronomicznych jest ich duża dynamika zakresu pomiarowego (założenie 2.2-4) Zastosowany czujnik zapewnia dynamikę ponad 70dB, co implikuje zastosowanie przetwornika o rozdzielczości minimum 13 bitów efektywnych. Do tego struktura sygnału wizyjnego na wyjściu czujnika CCD wymaga zastosowania dedykowanego układu próbkującego różnicę sygnału w różnych chwilach czasu. Produkowane procesory sygnału wizyjnego zapewniające jego kompleksową obróbkę mają rozdzielczość do 14 bitów, z czego efektywna rozdzielczość nie przekracza 12 bitów. Procesory integrujące przetwornik A/C o wyższej rozdzielczości są używane w skanerach (np. 16 bitowy AD9826). Ponieważ w tym przypadku sygnał ma podobną strukturę, koncepcja przewiduje zaadaptowanie owych układów na potrzeby projektu, co znacznie upraszcza budowę części analogowej.

3.2.4 Interfejs komunikacyjny

Przesyłanie strumienia danych rzędu maksymalnie 30..50MB/s wymaga szybkiego interfejsu komunikacyjnego (założenie 2.1.5.). Koncepcja przewiduje użycie interfejsu USB2.0. Przemawia za nim jego popularność i obecność w niemal każdym współczesnym komputerze. Dodatkowym argumentem jest produkowany przez firmę Cypress Semiconductors mikrokontroler FX2 integrujący wszystkie funkcje interfejsu w jednym układzie scalonym. Upraszcza to znacznie konstrukcję i nakład pracy włożony w oprogramowanie systemu (brak potrzeby pisania warstwy protokołu USB). Konkurencyjne układy realizujące funkcje interfejsu USB 2.0 takie jak μ PD720122 (NEC), ISP1581(Philips), GT300 (SMSC) wymagają podłączenia zewnętrznego mikrokontrolera oraz implementację warstwy protokołu USB.

3.3 Koncepcja dotycząca warstwy mechanicznej urządzenia

Koncepcja budowy części mechanicznej, została zamieszczona na Rys. 18. W dalszych podrozdziałach zostały omówione wybrane elementy.

3.3.1 Chłodzenie i stabilizacja temperatury CCD

Zgodnie z założeniem 2.2-1, temperatura czujnika CCD ma kluczowe znaczenie dla jego pracy. Od niej w dużym stopniu zależą parametry sensora – prąd ciemny decydujący o jego dynamice oraz szum odczytu. Koncepcja chłodzenia bazuje na modułach Peltier’a, które pracują jako pompa ciepła. Z jednej strony modułu umieszczony jest czujnik CCD, natomiast z drugiej strony – układ odprowadzający ciepło do atmosfery. Pomysł pomiaru i stabilizacji temperatury czujnika polega na użyciu scalonych czujników / konwerterów temperatura – czas firmy MAXIM (MAX6575). Następnie czas ten mierzony jest przez mikrokontroler za pomocą wbudowanego w mikrokontroler timera. Wynik pomiaru jest porównywany z wartością żadaną i w zależności od wyniku tego porównania sterowany jest moduł chłodzący Peltier’a.

Rozwiązanie to zapewnia wystarczającą dla tej aplikacji stabilność temperatury, a cechuje się prostotą. Klasyczne rozwiązanie wymagałoby użycia czujnika rezystancyjnego, wzmacniacza pomiarowego, regulatora PID lub komparatora, przetwornika A/C do odczytu bieżącej wartości oraz przetwornika C/A do ustawiania żądanej wartości temperatury. Dodatkowo zastosowany układ nie wymaga żadnej kalibracji, zapewniając dokładność pomiaru rzędu 1K.

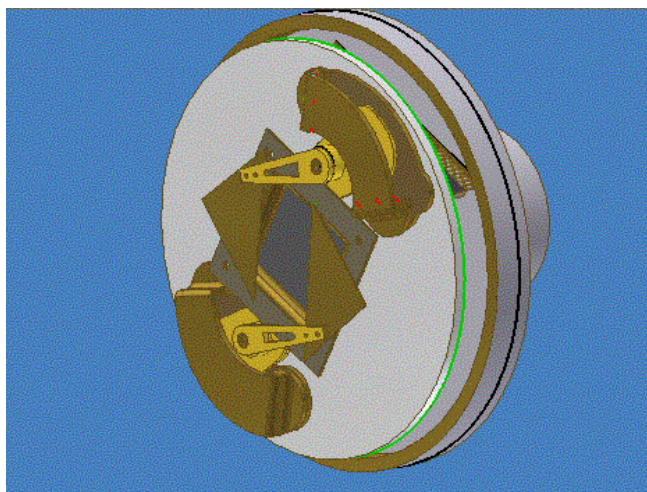
3.3.2 Podgrzewanie optyki

Założenie 2.3-2 przewiduje konieczność zapewnienia układowi optycznemu odpowiednio wysokiej temperatury pracy, która przeciwdziałać będzie jego oszronieniu pod wpływem dużej wilgotności i niskiej temperatury otoczenia. Koncepcja zakłada umieszczenie w na zewnątrz kamery, dookoła mocowania obiektywu, elementów grzejnych – rezystorów mocy w metalowych obudowach przystosowanych do przykręcenia do powierzchni obudowy. Aby przeciwdziałać zbytniemu nagrzaniu obudowy oraz precyzyjnie kontrolować moment włączania ogrzewania, przewidziano możliwość pomiaru temperatury obudowy. Jest on dokonywany za pomocą identycznego przetwornika jaki jest użyty do pomiaru temperatury CCD.

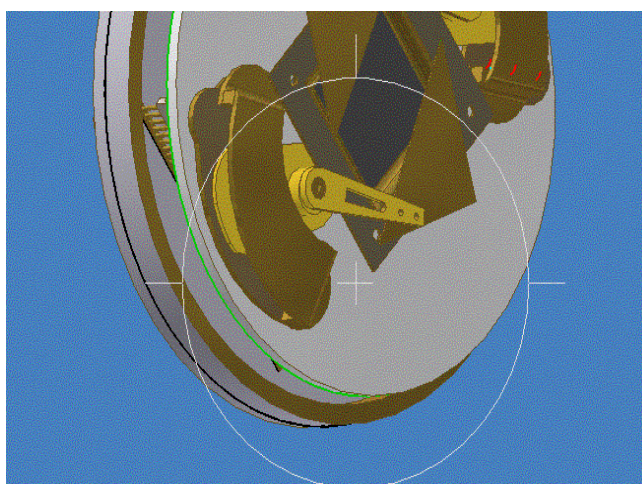
3.3.3 Migawka

Użyte czujniki CCD wymagają na czas sczytywania ładunku odcięcia dopływu światła – w przeciwnym razie nastąpiłoby nakładanie się i rozmazywanie obrazów. Zgodnie z założeniem 2.3-3 wymagana wytrzymałość mechanizmu wynosi około $5 \cdot 10^7$ cykli. Istnieje szereg komercyjnych

rozwiązań migawek jednakże ze względu na problemy z niezawodnością m.in. kamer firmy Apogee wyposażonych w takie migawki, zdecydowano się na własną konstrukcję mechaniczną.



Rys. 16 Migawka – symulacja komputerowa



Rys. 17 Migawka – zbliżenie

Koncepcja polega na wykorzystaniu silnika liniowego używanego w dyskach HDD do pozycjonowania głowic. Silniki tego typu cechują się prostą konstrukcją, dużą szybkością i niezawodnością ze względu na brak elementów ciernych obecnych w komercyjnych migawkach. Adaptacja takiego silnika polega na przymocowaniu do jego ramienia kawałka materiału nieprzepuszczającego światło. W celu ograniczenia rozmiarów mechanizmu migawki zdecydowano się na zastosowanie 2 mechanizmów. Ma to dodatkową zaletę, że proces zamykania i otwierania trwa krócej w porównaniu z pojedynczym mechanizmem. Szczegóły są widoczne na Rys. 16 oraz Rys. 17.

3.3.4 Regulacja ogniskowej obiektywu

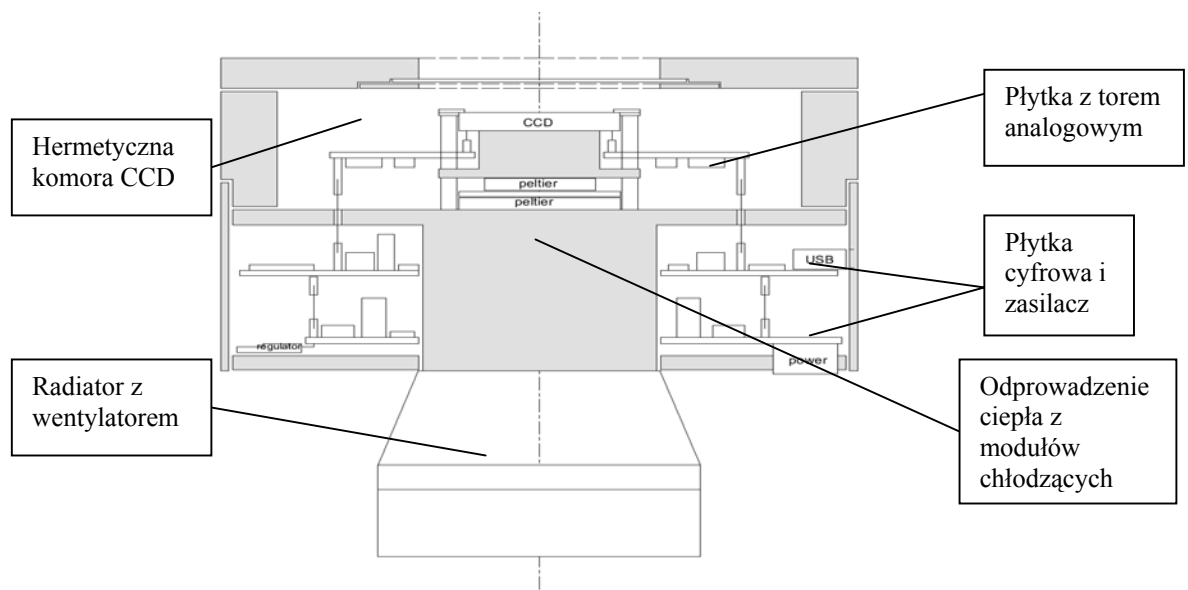
Koncepcji zgodna z założeniem 2.3-4 polega na zastosowaniu miniaturowego silnika krokowego tuż obok obiektywu oraz mechanicznego sprzężenia go za pomocą koła zębatego z

kołem zębatym nałożonym na pierścień regulacji ogniskowej obiektywu. Opcjonalnie można do tego celu użyć przekładni paskowej lub ciernej.

Sterowanie silnika odbywa się za pomocą scalonego kontrolera implementującego stopień mocy. Rozkaz przekręcenia osi silnika o zadana ilość kroków jest dekodowany przez mikrokontroler oraz przetwarzany na sekwencję sygnałów sterujących kontrolerem silnika. Ze względu na małą moc silnika oraz sporadyczność regulacji, nie przewiduje się konieczności użycia wyłączników krańcowych ani pomiaru pozycji obiektywu.

3.3.5 Konstrukcja mechaniczna

Koncepcja realizacji założenia 2.3-5 przewiduje podział kamery na 2 części. Jedna z nich jest hermetyczna i wypełniona gazem szlachetnym – znajdują się w niej CCD oraz tor analogowy. Druga jest na zewnątrz komory CCD i zawiera zasilacz oraz tor cyfrowy (Rys. 18). Odporność na warunki klimatyczne jest zapewniona poprzez zabezpieczenie wrażliwego czujnika przed ich wpływem poprzez zapewnienie mu stałej temperatury i wilgotności. Dodatkowo przewiduje się umieszczenie kamery w metalowej osłonie, która chroni ją przed kroplami deszczu oraz zbudowanie otwieranego kontenera mieszczącego cały system. Koncepcja odprowadzania ciepła z modułów chłodzących czujnik CCD polega na użyciu aktywnego radiatora z wentylatorem stosowanego np. do chłodzenia elementów komputera PC.



Rys. 18 Koncepcja konstrukcji mechanicznej kamery

4. Realizacja pracy

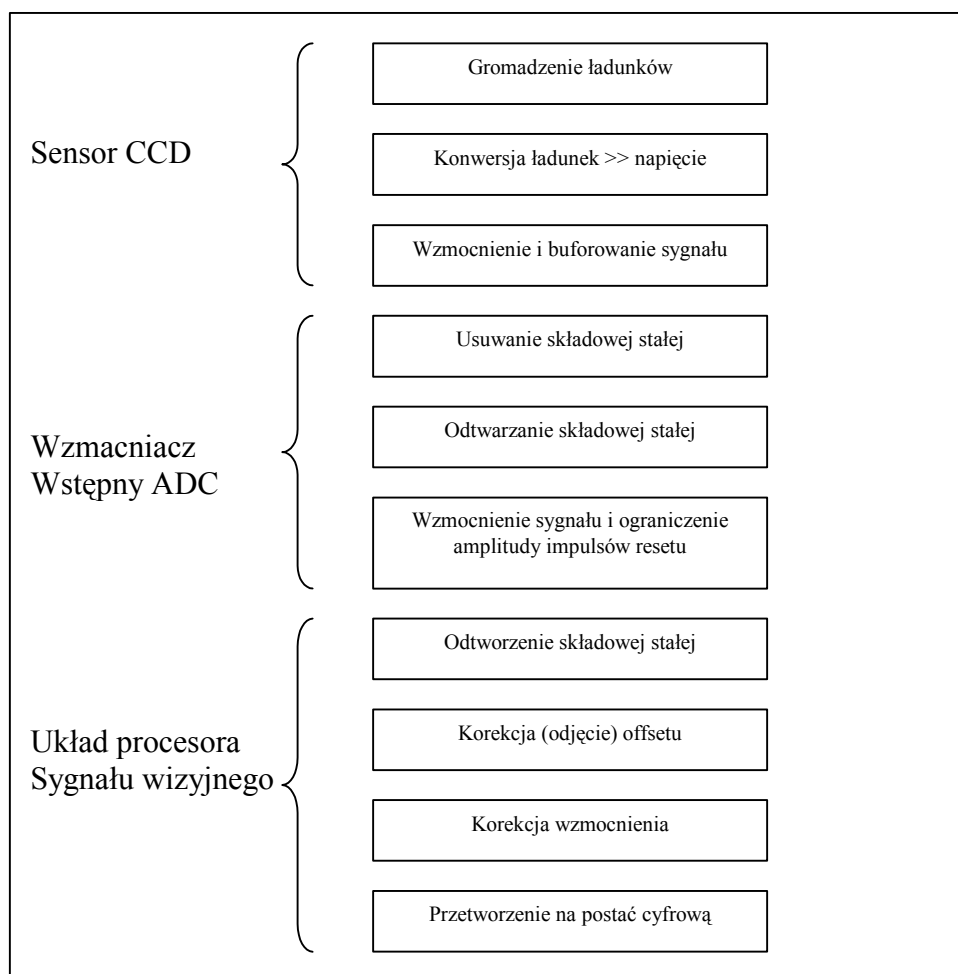
Rozdział ten omawia praktyczną realizację koncepcji pracy. Opis konstrukcji został podzielony na następujące części:

- Tor przetwarzania sygnałów analogowych
- Tor przetwarzania sygnałów cyfrowych
- Zasilanie
- Układy pomocnicze
- Konstrukcja mechaniczna
- Oprogramowanie sterujące

Dalsze rozdziały zawierają omówienie poszczególnych bloków

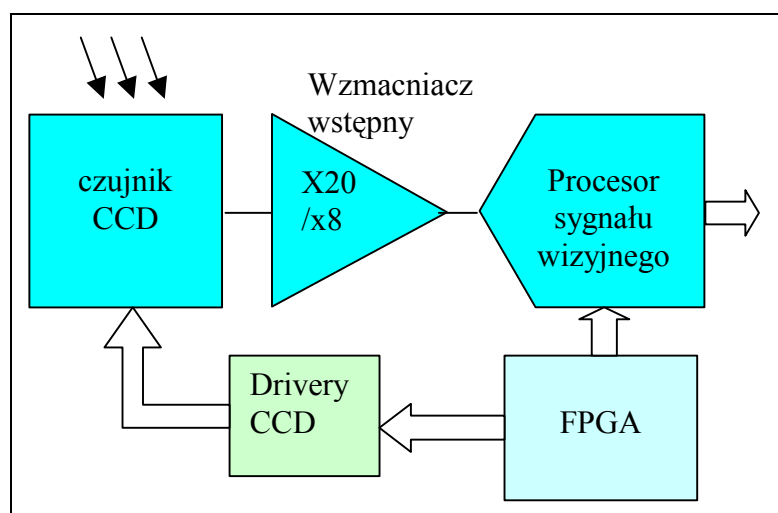
4.1 Tor przetwarzania sygnałów analogowych

Sygnał mierzony ma analogowy charakter. Zanim zostanie przetworzony do postaci cyfrowej, musi być poddany odpowiedniej przeróbce, która pozwala z niego wyekstrahować użyteczne informacje. Operacje dokonywane na sygnale analogowym są pokazane na Rys. 19. Schemat blokowy toru analogowego przedstawiony jest na Rys. 20, natomiast jego fizyczna realizacja na Rys. 21.

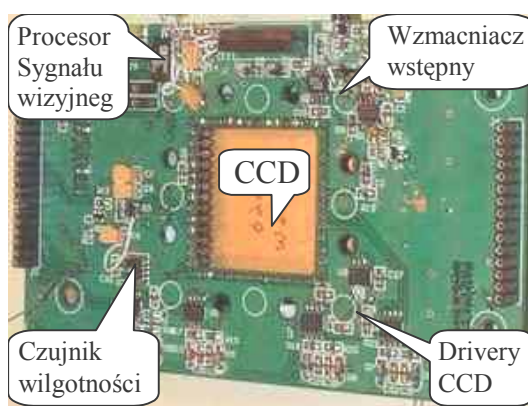


Rys. 19 Operacje analogowe dokonywane na sygnale mierzonym.

W przypadku sygnału optycznego, najpierw musi zostać on przetworzony na wielkość elektryczną. Do tego służy sensor CCD. Zasada jego działania została opisana w rozdziale 1.6.1. Elementem dokonującym konwersji ładunku na napięcie jest tranzystor MOS, który jest zintegrowany w strukturze czujnika. Sygnał na jego wyjściu jest jednak zbyt słaby i podatny na zakłócenia, aby mógł być bezpośrednio wyprowadzony na zewnątrz układu. Podlega on wzmacnieniu we wzmacniaczu zbudowanym z 2 tranzystorów MOS (Rys. 23). Składowa stała napięcia na wyjściu układu CCD zależy od takich czynników jak: temperatura, egzemplarz układu, oświetlenie. Dlatego sygnał wyjściowy musi być poddany obróbce, która usunie z niego tę składową stałą. Następnie, zanim zostanie doprowadzony do procesora sygnału wizyjnego, poddany zostaje wzmacnieniu. Ma ono za zadanie dopasować jego poziom do zakresu wyjściowego procesora.



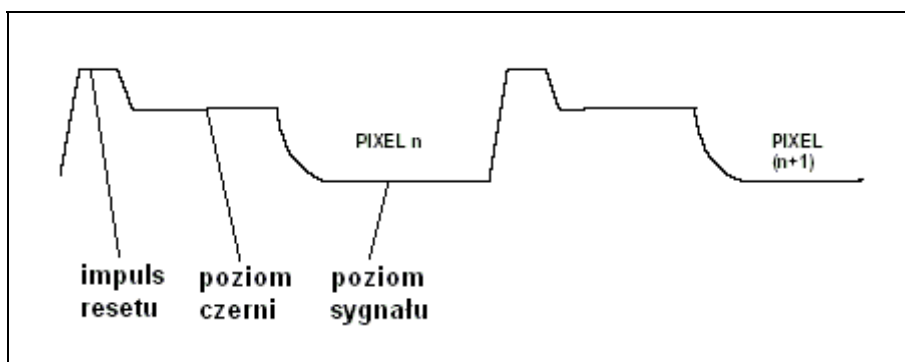
Rys. 20 Schemat blokowy toru analogowego



Rys. 21 Zmontowana płytką toru analogowego (widok z tyłu)

Wzmacniacz do swojej prawidłowej pracy wymaga ustalonej składowej stałej sygnału wyjściowego. W przeciwnym razie istnieje niebezpieczeństwo nasycania się wyjścia wzmacniacza lub przesterowania wejścia procesora. Zadanie to spełnia układ odtwarzania składowej stałej. Sygnał wizyjny na wyjściu CCD posiada oprócz poziomów napięcia niosących informację od obrazie, także impuls resetu (Rys. 22) Powstaje on na wskutek wstrzykiwania ładunku podczas operacji opróżniania bramki tranzystora dokonującego konwersji ładunku na napięcie. W

przedwzmacniaczu wzmocnieniu podlega także ten impuls. Jego wartość na wyjściu wzmacniacza przekracza wejściowy zakres napięciowy procesora, dlatego musi być ograniczona.



Rys. 22 Struktura sygnału wizyjnego

Przetwornik CCD pracuje w temperaturze większej niż zero bezwzględne, dlatego powstaje tzw. prąd ciemny. Na wyjściu CCD ma on postać niezerowej różnicy napięcia pomiędzy sygnałem wizyjnym a poziomem czerni. Procesor wizyjny posiada układ kompensujący wartość tego napięcia. Składa się on z przetwornika DAC i sumatora analogowego. Możliwa jest także korekcja wzmocnienia sygnału, co pozwala precyzyjnie wybrać żądany zakres pomiarowy. Dalej sygnał kierowany jest do przetwornika A/C. Dokonuje on pomiaru różnicy napięcia pomiędzy wartościami prądu ciemnego i sygnału wizyjnego.

Tor analogowej obróbki sygnału składa się z następujących bloków:

- Czujnik CCD wraz z układami driverów prądowych, sterowania i zasilania
- Wzmacniacz wstępny sygnału wizyjnego
- Procesor sygnału wizyjnego

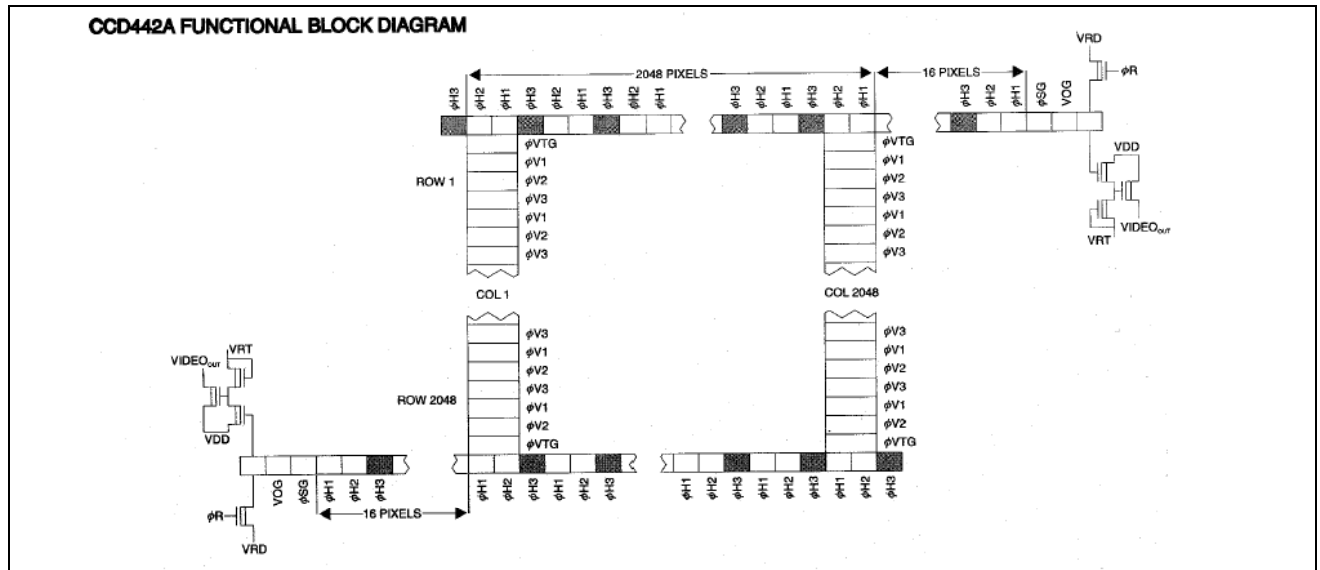
W dalszej części pracy omówiono poszczególne bloki.

4.1.1 Czujnik CCD i układy towarzyszące

Sensor CCD (układ U6 na Rys. 24) do prawidłowej pracy wymaga dostarczenia odpowiednich napięć zasilających oraz sygnałów sterujących. Napięcia zasilające (+3V, +14V, +22V) muszą się charakteryzować niskim poziomem zakłóceń. W szczególności napięcie VDD zasilające wzmacniacz wyjściowy (Rys. 23 i Rys. 24), które decyduje o poziomie szumów na wyjściu układu. Dlatego szczególny nacisk położono na ich filtrację oraz właściwe prowadzenie ścieżek zasilających. Wzmacniacz wyjściowy zawarty w strukturze czujnika, pobiera kilkadziesiąt mW mocy. Może to powodować lokalne podgrzewanie czujnika a w konsekwencji mieć wpływ na generację zwiększonej wartości prądu ciemnego na obszarze światłoczułym obok wzmacniacza. Proces sczytywania ładunku z matrycy CCD odbywa się w innym czasie niż jego gromadzenie (otwarcie migawki), zatem możliwe stało się wyłączenie wzmacniacza wtedy, kiedy nie jest on używany. Realizuje to klucz tranzystorowy Q5, Q3 (Rys. 24). W ten sposób minimalizowane jest nagrzewanie struktury przez wzmacniacz.

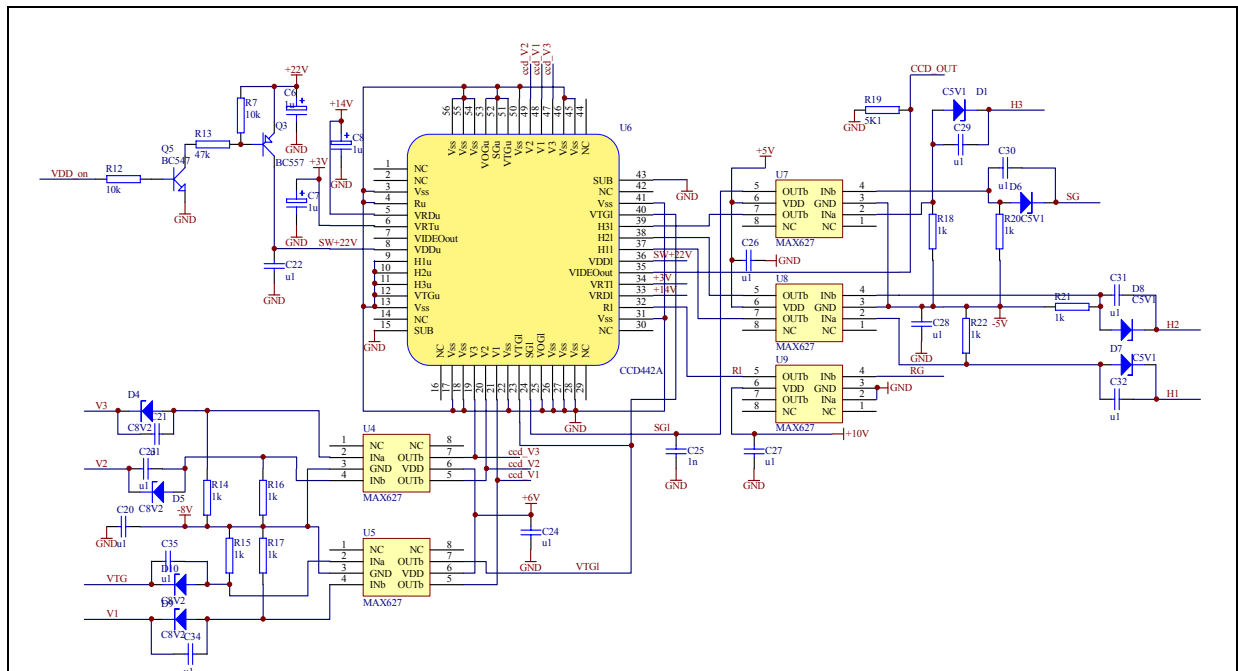
Jednym z etapów pracy CCD jest proces sczytywania zebranego ładunku. Odbywa się on poprzez przemieszczanie ładunku pod powierzchnią półprzewodnika za pomocą napięć przykładanych do przeźroczystych elektrod umieszczonych na powierzchni czujnika. Elektrody te

posiadają znaczną powierzchnię, a zatem tworzą pojemność rzędu kilkunastu nF względem podłoża.



Rys. 23 Schemat funkcjonalny czujnika CCD. Źródło:[23]

Ze względu na stosunkowo dużą częstotliwość odczytu czujnika, napięcia na jego elektrodach muszą zmieniać się w czasie rzędu kilkudziesięciu ns w zakresie kilkunastu V. Chwilowy prąd wyjściowy układu sterującego osiąga wartość rzędu kilkuset mA. Do sterowania obciążen pojemnościowych (a w szczególności tranzystorów MOS) produkowane są specjalne drivery (np. MAX627).

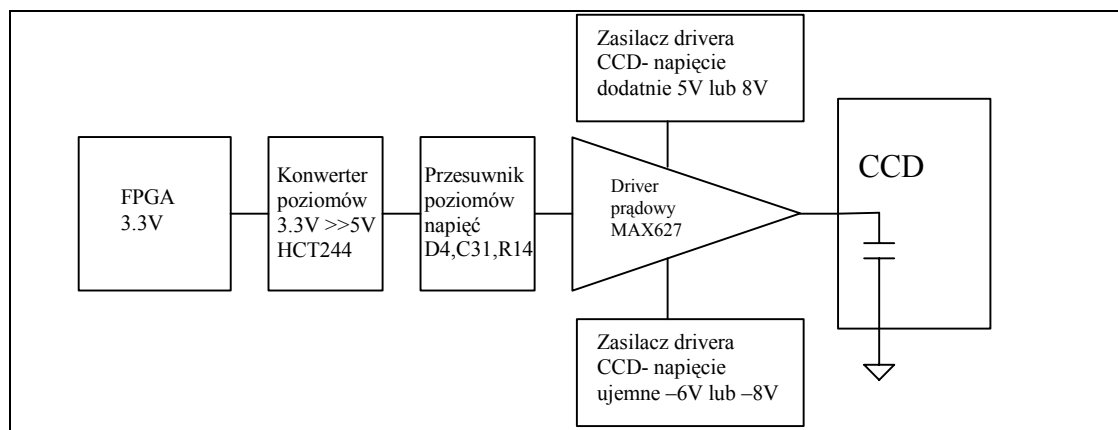


Rys. 24 Schemat połączeń czujnika CCD i driverów prądowych

Jednakże nie zapewniają one możliwości pracy w bipolarnym zakresie napięć wyjściowych, wymaganym przez czujnik. W celu adaptacji ich do wymagań projektu, zastosowano przesuwniki

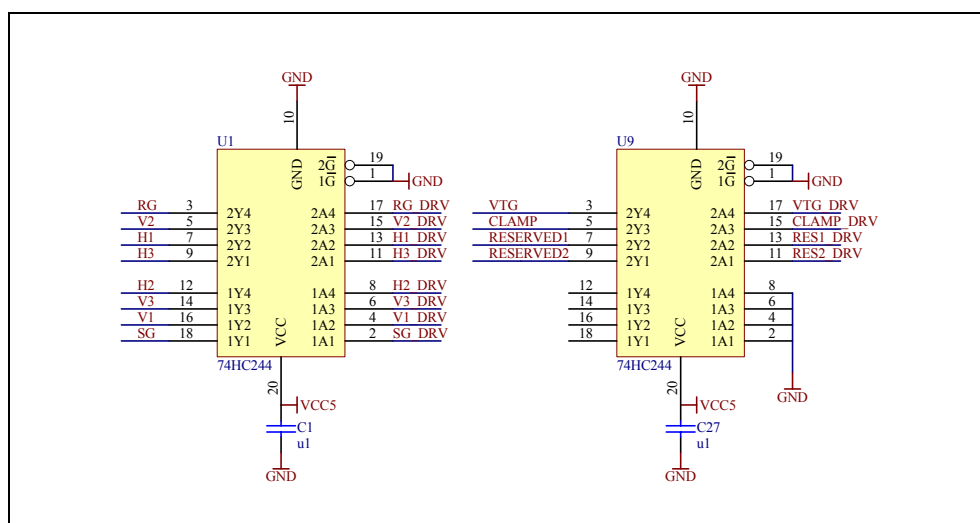
poziomów napięć. Schemat blokowy wyjaśniający konstrukcję toru sterowania przesuwem ładunku znajduje się na Rys. 25.

Przebiegi sterujące przesuwem ładunków są wytwarzane w układzie FPGA. Ich amplituda jest ustalona przez napięcie zasilania układu programowalnego i wynosi 3.3V. Drivery prądowe wymagają amplitudy rzędu 5V. Konieczne okazało się użycie konwerterów poziomów logicznych. Rolę tę pełnią bufory magistrali 74HCT244 wykonane w technologii CMOS (Rys. 26). Posiadają one komplementarne wyjście zdolne dostarczyć 20mA prądu wyjściowego zarówno w stanie wysokim jak i niskim. Ich wejścia są kompatybilne z poziomami TTL, a te z kolei od strony wejścia – z układami logicznymi CMOS zasilanymi napięciem 3.3V.



Rys. 25 Budowa toru sterowania przesuwem ładunku CCD

Stan wysoki na wyjściu układu FPGA wynosi ponad 3V, a w technice TTL stan wejściowy odpowiadający „1” logicznemu odpowiada napięciu większemu od 2.1V. W przypadku elektrod CCD, które wymagają unipolarnych sygnałów sterujących (sygnał RG – „Reset Gate”), możliwe jest bezpośrednie sterowanie układem drivera z wyjścia konwertera poziomów. Układ U9 (Rys.25) pracuje w takiej konfiguracji. Natomiast pozostałe elektrody CCD wymagają bipolarnych napięć sterujących. W tym celu napięcie odpowiadające zeru logicznemu zostało przesunięte do poziomu ujemnego napięcia wyjściowego. Układ ten zrealizowany jest (dla sygnału V3) za pomocą diody Zenera (D4) zbocznikowanej kondensatorem C21 oraz rezystora R14 zapewniającego odpowiednią polaryzację diody. Drivery pozostałych sygnałów zbudowane są analogicznie.



Rys. 26 Schemat konwerterów poziomów logicznych

Wyjście czujnika CCD - sygnał CCD_OUT (Rys. 23) stanowi dren tranzystora MOS. Do prawidłowej pracy wymaga on dołączenia rezystora (R19) między masą układu. Wartość tego rezystora decyduje o szybkości zmian napięcia na wyjściu, rezystancji wyjściowej oraz mocy wydzielanej w strukturze wzmacniacza. Na drodze eksperymentalnej została ona ustalona na poziomie $2k\Omega$. Sygnał wyjściowy następnie jest doprowadzony do przedwzmacniacza, który jest opisany w rozdziale 4.1.2.

Sczytywanie i przesuw ładunków w czujniku CCD wymaga precyzyjnie wygenerowanych przebiegów (Rys. 27). Ich wytwarzaniem zajmuje się układ FPGA, opisany w następnym podrozdziale.

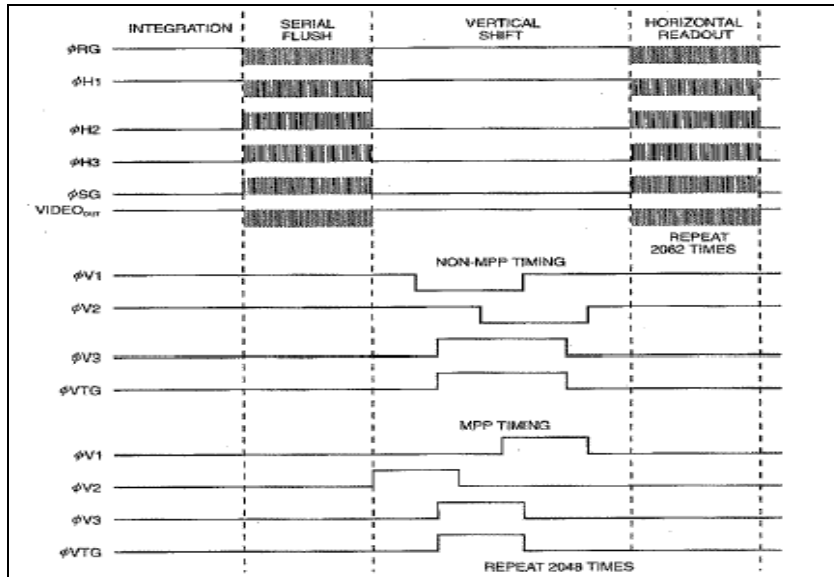
4.1.1.1 Generacja przebiegów sterujących przesuwem ładunków oraz przetwornikiem ADC

Sensor CCD do prawidłowej pracy wymaga dostarczenia następujących sygnałów sterujących:

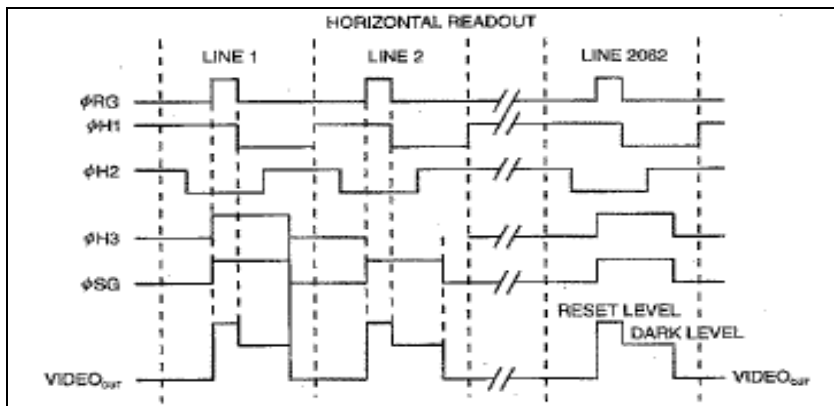
- V1,V2,V3 (Vertical transfer electrode 1,2,3) - elektrody wykonane są w postaci przeźroczystej warstwy polikrzemu i umieszczone na powierzchni światłoczułej czujnika. Dostarczanie do nich napięcia w sekwencji pokazanej na Rys. 27 powoduje przesuwanie ładunku w kierunku rejestru wyjściowego (Rys. 23). Sczytanie całego obrazu wymaga powtórzenia 2048 sekwencji przesuwu. Możliwe są 2 tryby pracy czujnika. MPP i non-MPP. W zależności od stanów na liniach V1,V2,V3 podczas naświetlania (Rys. 27 - Integration), w trybie MPP osiąga się mniejszą generację prądu ciemnego. Odbywa się to jednak kosztem zmniejszenia pojemności pikseli (full well capacity).
- VTG (Vertical Transfer Gate) – elektroda umieszczona pomiędzy obszarem światłoczułym a rejestrem wyjściowym (Rys. 23). Pośredniczy ona w przekazywaniu ładunku do rejestru. Oddzielne jej sterowanie umożliwia realizację tzw. binningu, czyli sumowania ładunków z sąsiednich linii. Podczas normalnej pracy, przy pełnej rozdzielczości, elektroda VTG sterowana jest tym samym sygnałem co V3 (przy wykorzystywaniu dolnego wyjścia CCD).
- H1,H2,H3 (Horizontal transfer electrode 1,2,3) – elektrody umieszczone nad rejestrem wyjściowym. Dostarczenie do nich przebiegów napięciowych w sekwencji pokazanej na rysunku 29 powoduje przesuwanie zgromadzonego ładunku w kierunku prawego wyjścia (Rys. 23). Sczytanie całej linii wymaga 2062 sekwencji przesuwu, ponieważ na początku i końcu rejestru dodano zakryte piksele, które umożliwiają pomiar prądu ciemnego.
- SG (Summing Gate) – elektroda o analogicznej funkcji do VTG, w tym że umieszczona jest pomiędzy końcem rejestru wyjściowego a tranzystorem wyjściowym, który dokonuje konwersji ładunku na napięcie. Oddzielne jej sterowanie umożliwia realizację tzw. binningu, czyli sumowania ładunków z sąsiednich pikseli w ramach jednej linii. Podczas normalnej pracy, przy pełnej rozdzielczości, elektroda SG sterowana jest tym samym sygnałem co H.
- RG (Reset Gate) - elektroda dołączona do bramki tranzystora odpowiedzialnego za usuwanie mierzonego ładunku z obszaru bramki tranzystora pomiarowego (Rys. 23 – tranzystor MOS podłączony do VRD i RG). Dostarczenie do niej dodatniego napięcia rzędu

10V powoduje usunięcie ładunku i przygotowanie tranzystora na przyjęcie i konwersję ładunku z kolejnego piksela[23].

Powyższe przebiegi są generowane przez opisane w poprzednim rozdziale drivery. Za precyzyjną generację sygnałów cyfrowych odpowiedzialny jest układ FPGA serii Cyclone firmy Altera. Jest to wykonany w technologii CMOS układ programowalny. Charakteryzuje się dużą liczbą komórek (6000szt Logic Elements) oraz ulotnością konfiguracji. Z tego powodu wymaga konfiguracji po każdorazowym włączeniu zasilania. Więcej informacji na temat konfiguracji znajduje się w dalszych rozdziałach.



Rys. 27 Przebiegi napięciowe wymagane do pracy przetwornika CCD. Źródło:[23]



Rys. 28 Przebiegi napięciowe sterujące przesuwem ładunków w rejestrze wyjściowym. Źródło:[23]

Układ logiczny zapewniający generację powyższych przebiegów został zaimplementowany jako 5 współpracujących ze sobą bloków – schemat ich połączeń umieszczony jest na Rys. 29. Ich opis został sporządzony w języku VHDL a kompilacja i symulacja dokonana przy użyciu pakietu Quartus 3.0

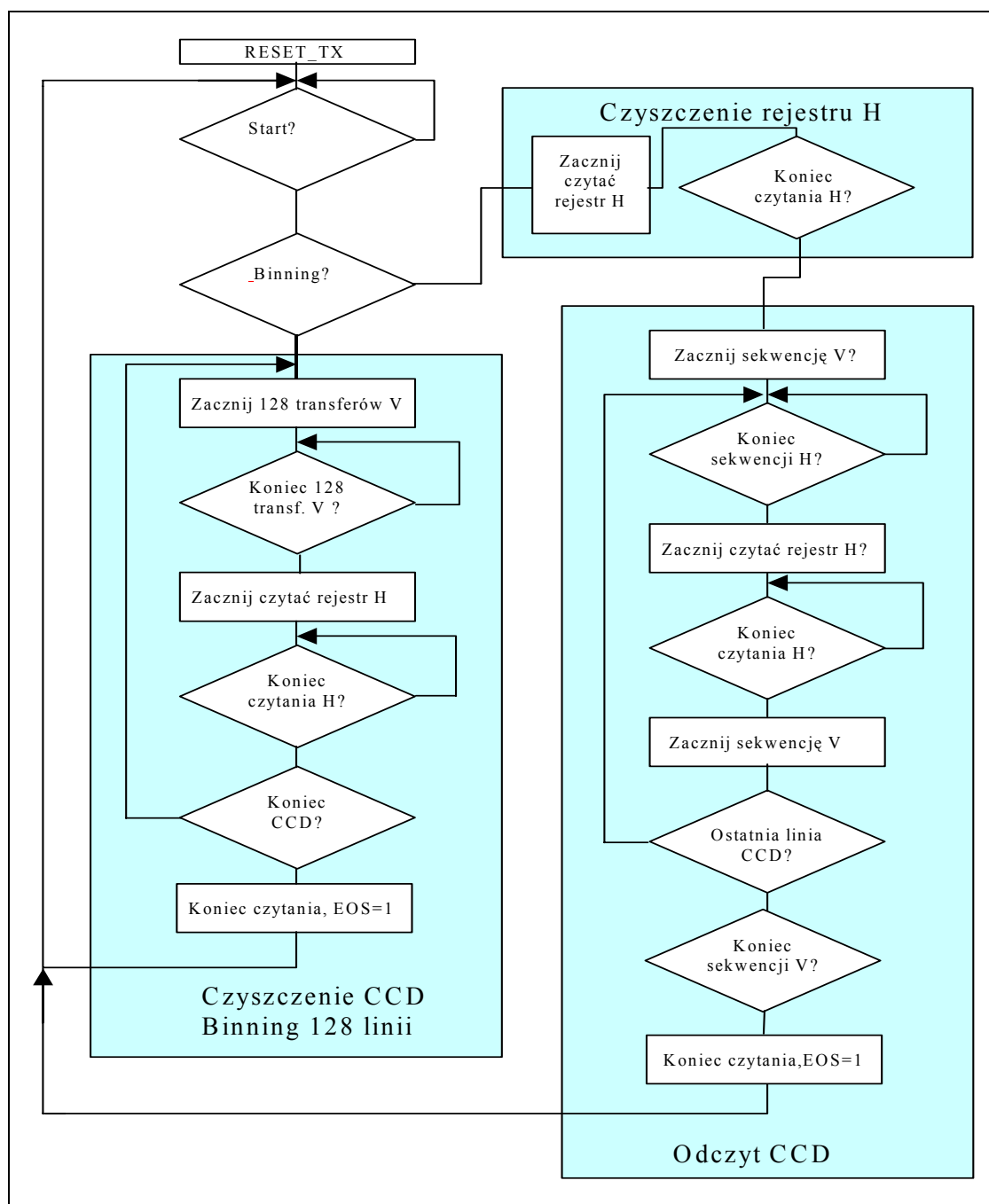
Układ składa się z następujących bloków:

- Main_control - główny automat sterujący i synchronizujący współpracę wszystkich modułów kamery zaimplementowanych w FPGA.
- Horizontal_shift - automat generujący sekwencje sygnałów jak na Rys. 28, które powodują przesuw ładunków w poziomie. Dodatkowo generowane są przebiegi sterujące pracą

- Clk24 – główny zegar 24MHz synchronizujący pracę automatów.

Algorytm pracy układu sterującego jest umieszczony na Rys. 30.

Po resecie , układ czeka na impuls „start”. Jeśli mikrokontroler wyśle sygnał rozpoczęcia sczytywania CCD, automat sprawdza, czy to żądanie jest operacją czyszczenia czujnika z ładunku (binning = 1). Jeśli nie, dokonywane jest czyszczenie z ładunku rejestru wyjściowego a następnie transfer pierwszej linii do rejestru wyjściowego. Dalej ładunek z rejestru wyjściowego jest transferowany do wzmacniacza wyjściowego. Następnie transferowana jest zawartość drugiej linii do rejestru wyjściowego i operacja powtarzana jest 2048 razy. W przypadku operacji czyszczenia, dokonywane jest 16 odczytów ładunku zsumowanego z 128 linii. Czyli wtedy CCD ma wypadkową rozdzielczość 16*2062 pikseli. Wielkość ta została wybrana jako kompromis między skutecznością czyszczenia a czasem jaki proces ten zajmuje. Operacja czyszczenia CCD polegająca na zsumowaniu wszystkich 2048 linii powodowała że ładunek z całego sensora nie był w stanie jednorazowo pomieścić się w rejestrze H.



Rys. 30 Algorytm pracy układu sterującego CCD i ADC

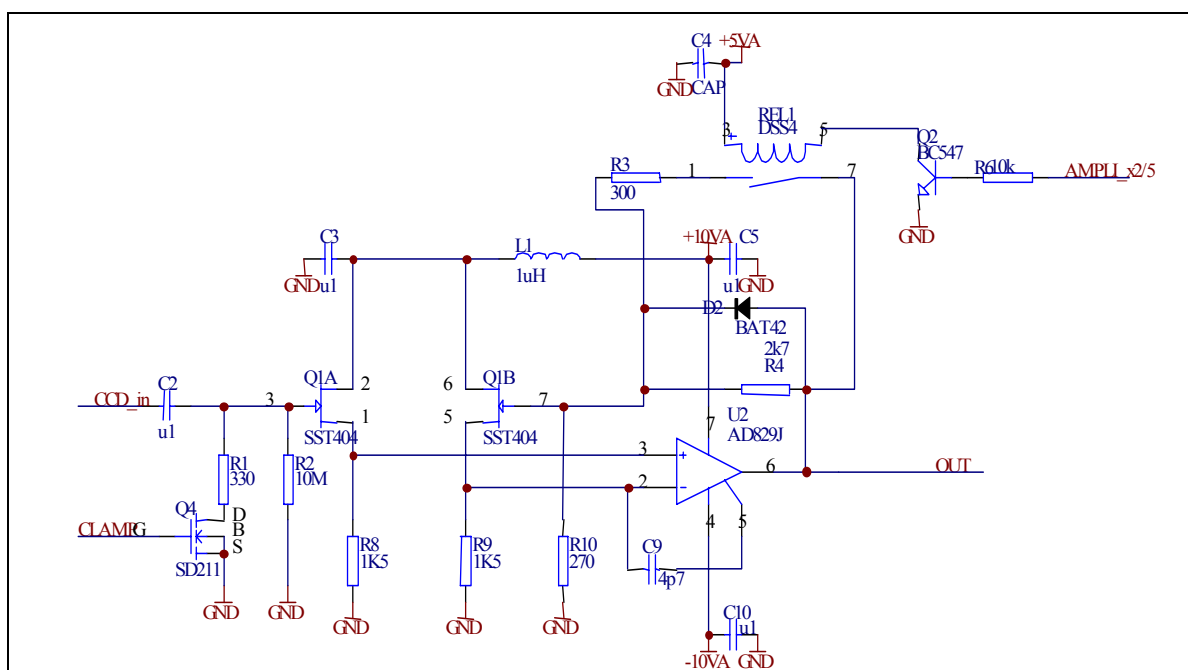
4.1.2 Wzmacniacz wstępny sygnału wizyjnego

Zadaniem wzmacniacza wstępnego jest dopasowanie poziomu sygnału z wyjścia CCD do zakresu wejściowego procesora sygnału wizyjnego. Kluczowym parametrem tego stopnia wzmocnienia są szumy. Jako pierwszy stopień wzmocnienia ma on znaczny wpływ na parametry szumowe całego toru. Wypadkowy szum napięciowy wzmacniacza jest równy szumowi prądowemu wejścia wzmacniacza pomnożonego przez rezystancję wyjściową wzmacniacza w CCD. Rezystancja ta jest relatywnie wysoka (rzędu pojedynczych kiloomów). Zatem kluczowe jest dążenie do minimalizacji szumu prądowego wzmacniacza. Wzmacniacze operacyjne z wejściem FET charakteryzują się niskim współczynnikiem szumu prądowego z powodu bardzo małych prądów polaryzujących, lecz ich szybkość zmian napięcia wyjściowego jest zbyt mała jak na wymagania projektu.

Z tych powodów zdecydowano się na projekt łączący zalety obu rozwiązań – dużej szybkości wzmacniaczy bipolarnych oraz małych szumów prądowych tranzystorów FET (Rys. 31). Szybki niskoszumny wzmacniacz operacyjny U2 poprzedzony został wtórnikami JFET (Q1A). Całościowy szum wzmacniacza jest średnią geometryczną następujących składników:

- szumu napięciowego bufora JFET ($1.5\text{nV}/\sqrt{\text{Hz}}$),
- szumu napięciowego wzmacniacz operacyjny ($1.7\text{nV}/\sqrt{\text{Hz}}$)
- wejściowego szumu prądowego wzmacniacza operacyjnego pomnożonego przez rezystancję wyjściową wtórnika JFET [17].

Z powodu stosunkowo niskiej rezystancji wyjściowej bufora JFET (rzędu 300 Omów), ostatni składnik jest stosunkowo mały (rzędu $0.6nV/\sqrt{Hz}$). Szum całego wzmacniacza jest mniejszy niż $3nV/\sqrt{Hz}$. Wartość ta odpowiada szumowi $1.5e^-$ przy paśmie 2MHz i czułości CCD równej $3\mu V/e^-$. Przy powyższych obliczeniach nie wzięto pod uwagę szumów rezystorów i innych elementów wzmacniacza.



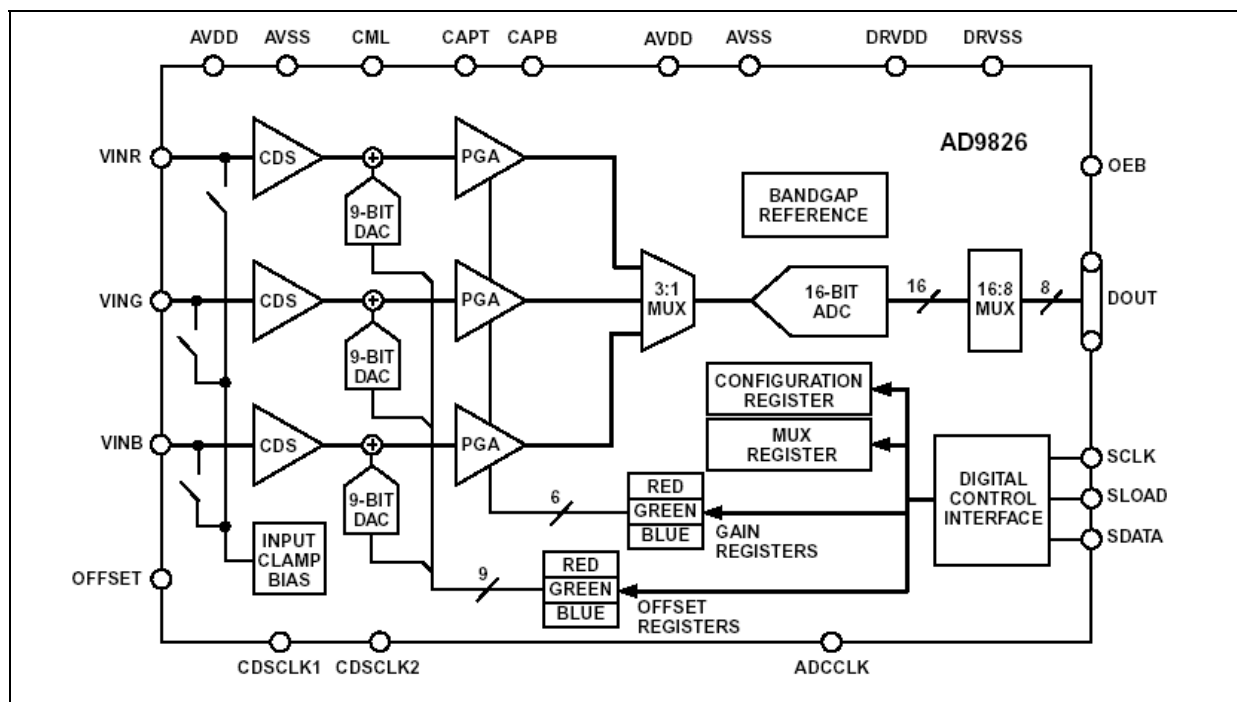
Rys. 31 Przedwzmacniacz sygnału wizyjnego

Tranzystor Q4 pełni funkcję układu odtwarzania składowej stałej, która została usunięta przez kondensator C2. Zostaje on otwarty w chwili, gdy na sygnał wejściowy znajduje się w fazie poziomu czerni. Następuje wtedy ładowanie C2 do napięcia równego składowej stałej obecnej na wyjściu CCD. W ten sposób punkt pracy wzmacniacza nie jest zależny od składowej stałej na wyjściu CCD, która zmienia się znacznie wraz z temperaturą i innymi czynnikami. Tranzystor Q1B zapewnia zrównoważenie wzmacniacza U2 dla napięcia stałego. Wprowadza on przesunięcie poziomu napięcia na ujemnym sprzężeniu zwrotnym o wartość, o jaką tranzystor Q1A przesuwają napięcie na wejściu nieodwracającym.

Wzmocnienie jest regulowane poprzez wartość rezystora w pętli sprzężenia zwrotnego i wynosi 20. Za pomocą miniaturowego przekaźnika może być zmniejszone do 8, pozwalając na pracę z większym poziomem sygnału wejściowego bez obawy o przesterowanie przetwornika A/C. Dioda D2 pełni funkcję ogranicznika napięcia wyjściowego. Dzięki zastosowaniu układu odtwarzania składowej stałej, sygnał użyteczny na wyjściu wzmacniacza ma zawsze wartość ujemną. Zatem obecność diody D2 nie ma na niego wpływu. Natomiast impuls resetu (Rys. 22) ma wartość dodatnią i dioda powoduje ograniczenie jego amplitudy. Ma to istotne znaczenie dla wzmocnienia równego 20, gdyż ochrania następny stopień przez zbyt dużym sygnałem wejściowym. Stopniem tym jest, opisany w następnym rozdziale, procesor sygnału wizyjnego.

4.1.3 Przetwornik A/C – procesor sygnału wizyjnego

Procesor sygnału wizyjnego pełni ważną rolę w torze obróbki analogowej. Od jego parametrów zależą główne osiągi kamery takie jak dynamika, rozdzielczość, poziom szumów. Ze względu na wymaganą rozdzielczość 16 bitów zastosowano układ firmy Analog Devices AD9826. Posiada on 3 identyczne kanały wejściowe, gdyż dedykowany jest do zastosowań w skanerach. W przypadku użycia czujnika CCD z możliwością niezależnego odczytu dwóch połówek czujnika, możliwe jest wykorzystanie pracy 2-kanałowej procesora.

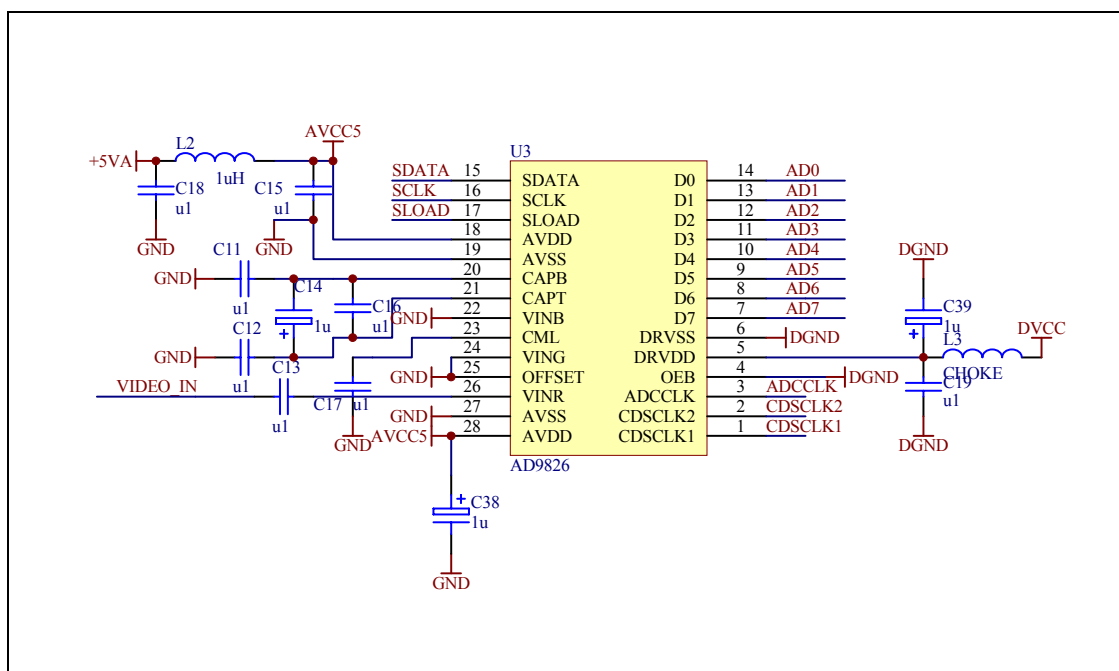


Rys. 32 Schemat blokowy procesora sygnału wizyjnego. Źródło:[18]

W pojedynczym układzie scalonym zintegrowano następujące bloki funkcjonalne (Rys. 32):

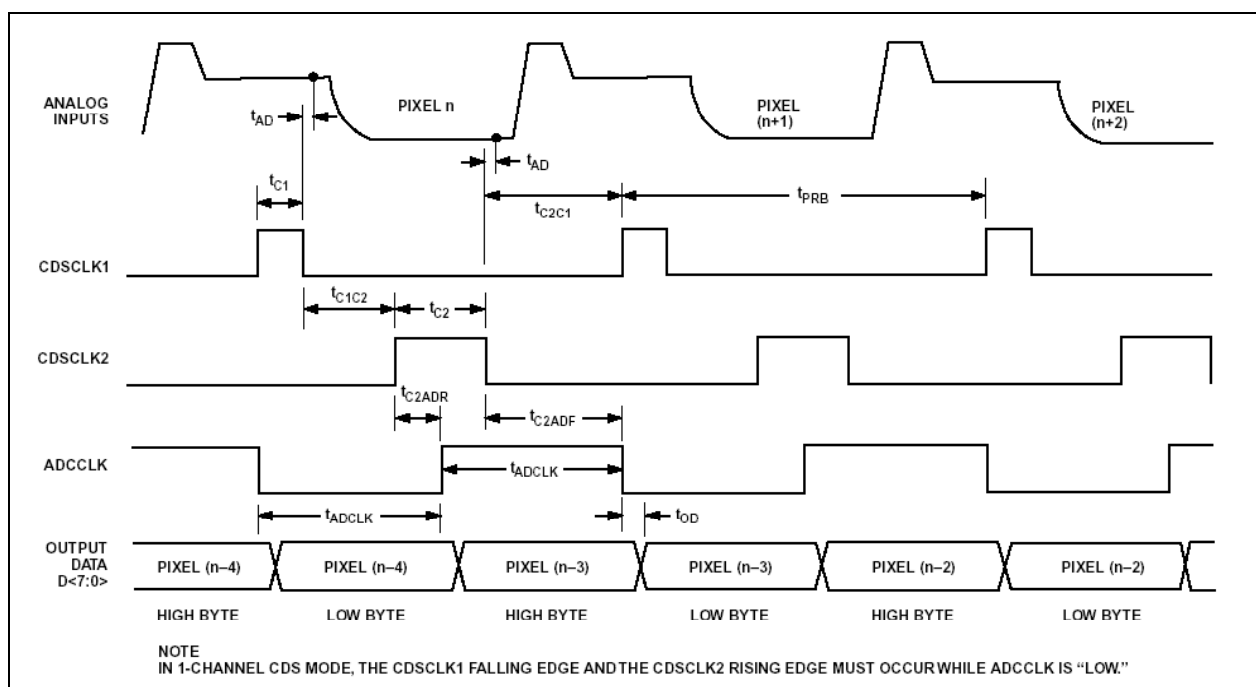
- Układ odtwarzania składowej stałej ułatwiający utrzymanie zmiennego sygnału wejściowego w zakresie przetwarzania procesora.
- CDS – (Correlated Double Sampler) – podwójny układ próbkujący. Jego praca polega na próbkowaniu różnicy napięć w czasie. Najpierw próbkowana i zapamiętana jest wartość poziomu czerni, następnie od niej jest odejmowany poziom sygnału. Operacje te przeprowadzane są w sposób analogowy. Odbywają się synchronicznie w stosunku do impulsów na wejściach CDSCLK1 i CDSCLK2.
- Kompensacja offsetu. Napięcie na wyjściu CDS może zostać skorygowane o zaprogramowaną wartość w zakresie $-300...+300\text{mV}$ ustawianą z 9 bitową rozdzielczością. Pozwala to na kompensację wartości prądu ciemnego. Umożliwia to w pełni wykorzystać dynamikę przetwornika A/C.
- PGA - (*Programmable Gain Amplifier*) – wzmacniacz o programowalnym wzmocnieniu. W połączeniu z przedwzmacniaczem na wyjściu CCD pozwala na regulację wzmocnienia w zakresie $8...120\times$.
- 16-bit ADC – 16-bitowy przetwornik A/C zapewniający 14 bitów efektywnych rozdzielczości. W celu ograniczenia ilości wyprowadzeń i sygnałów danych zastosowano multiplexer wyjściowy. Przetwornik pracuje w takt sygnału ADCCLK. Wynik pomiaru dostępny jest po 4 okresach zegara.
- Wewnętrzne napięcie odniesienia o wartości 2 lub 4 V
- Cyfrowy interfejs 3-przewodowy umożliwiający kontrolę nad wartościami offsetu, wzmocnienia oraz wyborem rozdzielczości, zakresu, liczby kanałów i trybu pracy układu CDS[18].

Schemat połączeń procesora (Rys. 33) jest zalecaną aplikacją producenta wzbogaconą o dodatkowe elementy filtrujące zasilanie części analogowej (C18,L2,C15) i cyfrowej (L9,C39). Napięcie +5VA wytwarzane jest przez dedykowany stabilizator w zasilaczu.



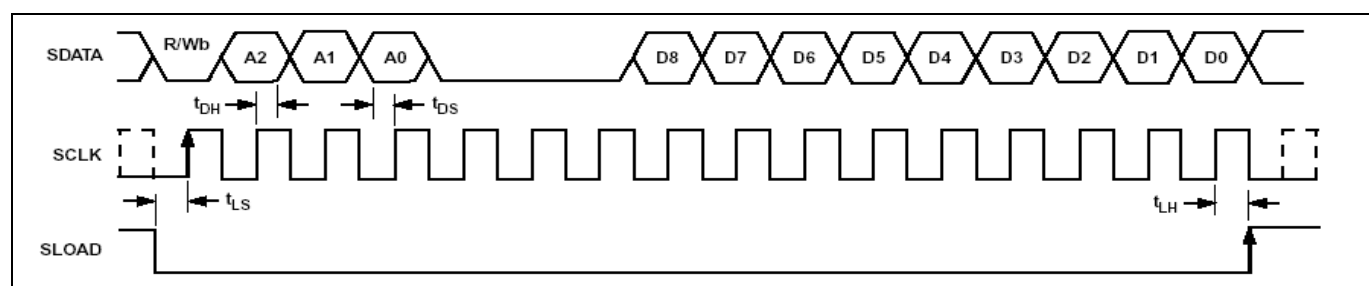
Przetwornik posiada rozdzielone masy analogową i cyfrową. Powoduje to ograniczenie ilości indukowanych w niej zakłóceń mogących przedostać się do części analogowej. W niniejszym projekcie wykorzystano jeden z 3 dostępnych kanałów (R). Układ umieszczony został razem z przedwzmacniaczem oraz driverami na wspólnej płytce z czujnikiem CCD. Zapewniło to możliwie krótką drogę sygnału analogowego a zatem ograniczoną podatność na zakłócenia. Płytką analogowa została zamontowana w metalowej hermetycznej obudowie, co dodatkowo izoluje ją od zakłóceń zewnętrznych. Sygnał VIDEO_IN pochodzi z przedwzmacniacza CCD. Linie AD0...AD8 tworzą multipleksowaną magistralę danych. Jest ona dołączona bezpośrednio do układu FPGA.

Sygnały CDSCLK1, CDSCLK2 oraz ADCCLK określają momenty próbkowania poziomu czerni, poziomu sygnału oraz przetwarzania na postać cyfrową. Są one wytwarzane przez układ automatu generującego sygnały sterujące przesuwem ładunku w CCD (Rys. 29 - blok Horizontal_shift). Gwarantuje to ich synchroniczność z sygnałem wizyjnym. Ich położenie względem sygnału wizyjnego widoczne jest na Rys. 34. Opadające zbocze CDSCLK1 kontroluje próbkowanie poziomu czerni, a CDSCLK – poziomu sygnału użytecznego.



Rys. 34 Zależność między sygnałami próbkującymi a sygnałem wizyjnym. Źródło:[18]

Linie SDATA, SCLK, SLOAD tworzą interfejs szeregowy. Umożliwia on konfigurację parametrów procesora. Sterowane są bezpośrednio z mikroprocesora FX2. Sygnały te generowane są w sposób programowy.



Rys. 35 Format danych interfejsu szeregowego procesora wizyjnego. Źródło:[18]

Transmisja składa się z 16 bitów (Rys. 35). Inicjowana jest opadającym zboczem sygnału SLOAD.

Znaczenie bitów jest następujące:

1 (R/Wb)– bit kierunku – 0 – zapis, 1 – odczyt

2,3,4 (A2..A0)– bity adresu – wskazują którego rejestru dotyczy zapis/odczyt

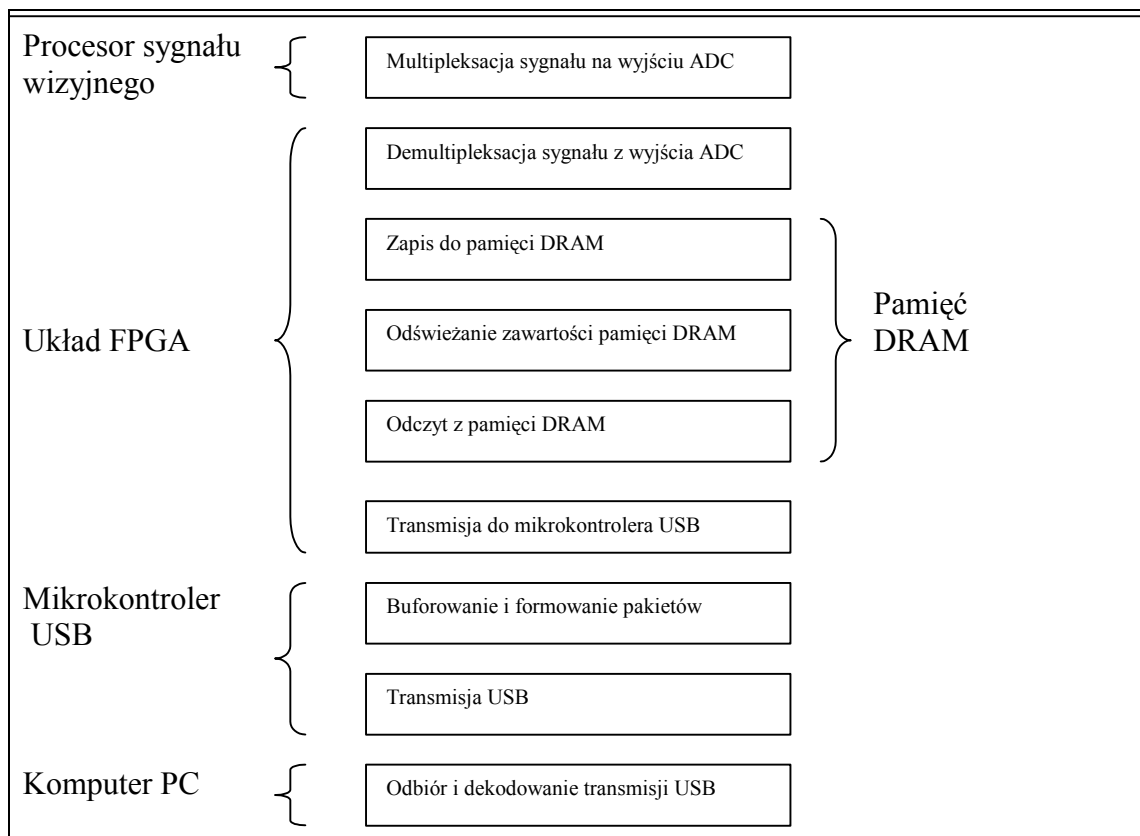
5,6,7 – zera

8...16 (D8..D0)– bity danych , używane 8 lub 9 bitów .

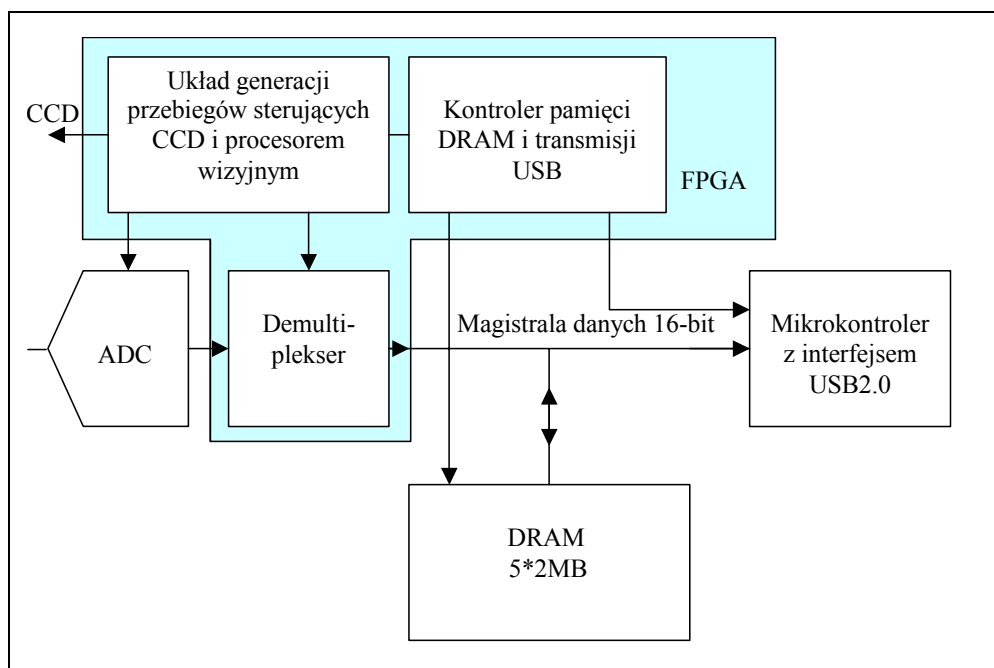
Dane są zapisywane do rejestrów narastającym zboczem sygnału SLOAD [18].

4.2 Tor przetwarzania sygnałów cyfrowych

Tor przetwarzania sygnałów cyfrowych ma za zadanie zbieranie i buforowanie danych pomiarowych oraz przesyłanie ich przez interfejs komunikacyjny do komputera nadrzędnego. Operacje dokonywane na sygnale cyfrowym są pokazane na Rys. 36, a schemat poglądowy na rys. 38. Natomiast wygląd zmontowanej płytki widoczny jest na Rys. 38.



Rys. 36 Operacje dokonywane na sygnale cyfrowym



Rys. 37 Schemat funkcjonalny toru obróbki sygnału cyfrowego

Procesor sygnału video ma wbudowany na wyjściu multiplexer, który pozwala zmniejszyć liczbę linii danych kosztem zwiększenia szybkości ich transmisji (Rys. 34 - *output data*). Dzięki temu, możliwe jest obniżenie kosztów związanych z obudową i miejscem na płycie. Pierwszym elementem toru cyfrowego w układzie FPGA jest więc układ demultiplexera (Rys. 37). Sterowany on jest przez ten sam automat, który generuje przebiegi zegarowe dla ADC (Rys. 29 – *Adc_demultiplexer*). Dane z jego wyjścia są zapisywane do pamięci DRAM. Pamięć ta jest typu ulotnego, zatem wymaga odświeżania.

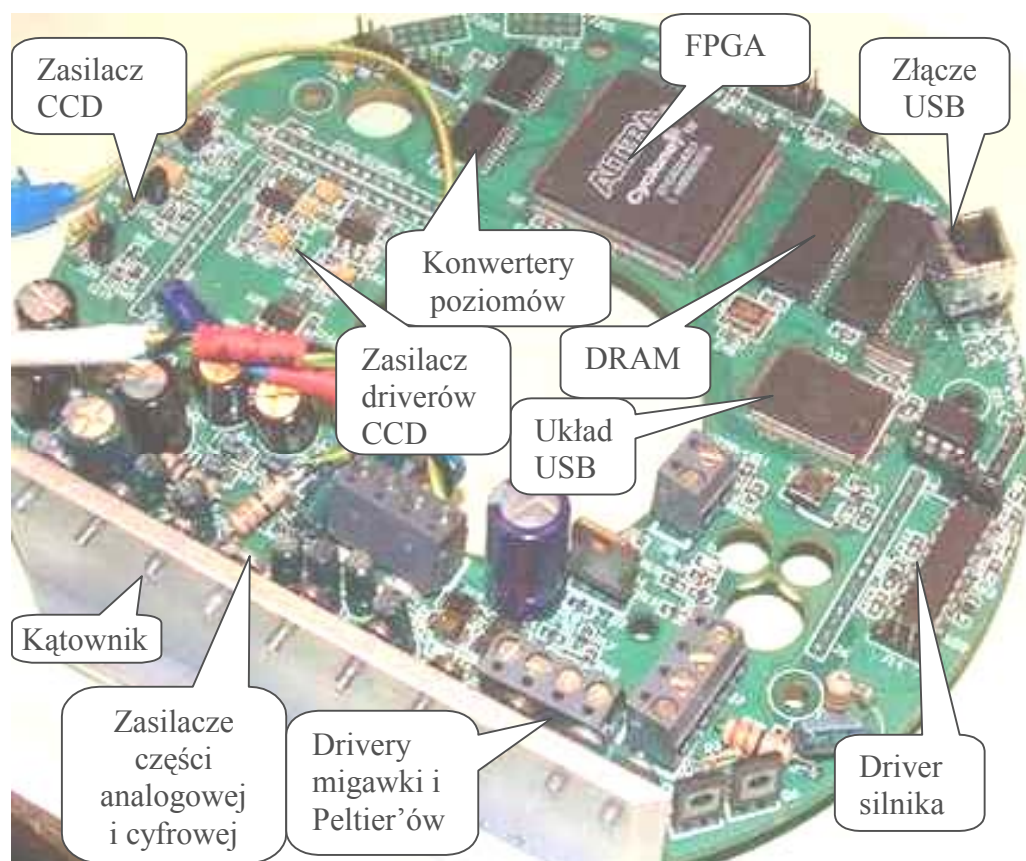
Po skończeniu sekwencji odczytu, dane z pamięci są przesyłane do układu interfejsu komunikacyjnego USB. Są one buforowane w pamięci FIFO i formowane w pakiety. Tam też oczekują na gotowość interfejsu w PC nadrzędnym do ich odbioru.

Proces naświetlania jest niezależny od transmisji danych przez interfejs USB. Zatem możliwe jest rozpoczęcie pomiaru podczas transmisji, zwiększając w ten sposób częstotliwość zbierania danych pomiarowych.

Tor obróbki sygnału cyfrowego składa się z następujących układów (Rys. 37):

- Układ FPGA z zaimplementowanym kontrolerem pamięci DRAM
- Pamięć DRAM
- Mikrokontroler z interfejsem USB

W dalszej części pracy omówiono poszczególne układy.



Rys. 38 Wygląd zmontowanej płytki drukowanej z torem cyfrowej

4.2.1 FPGA

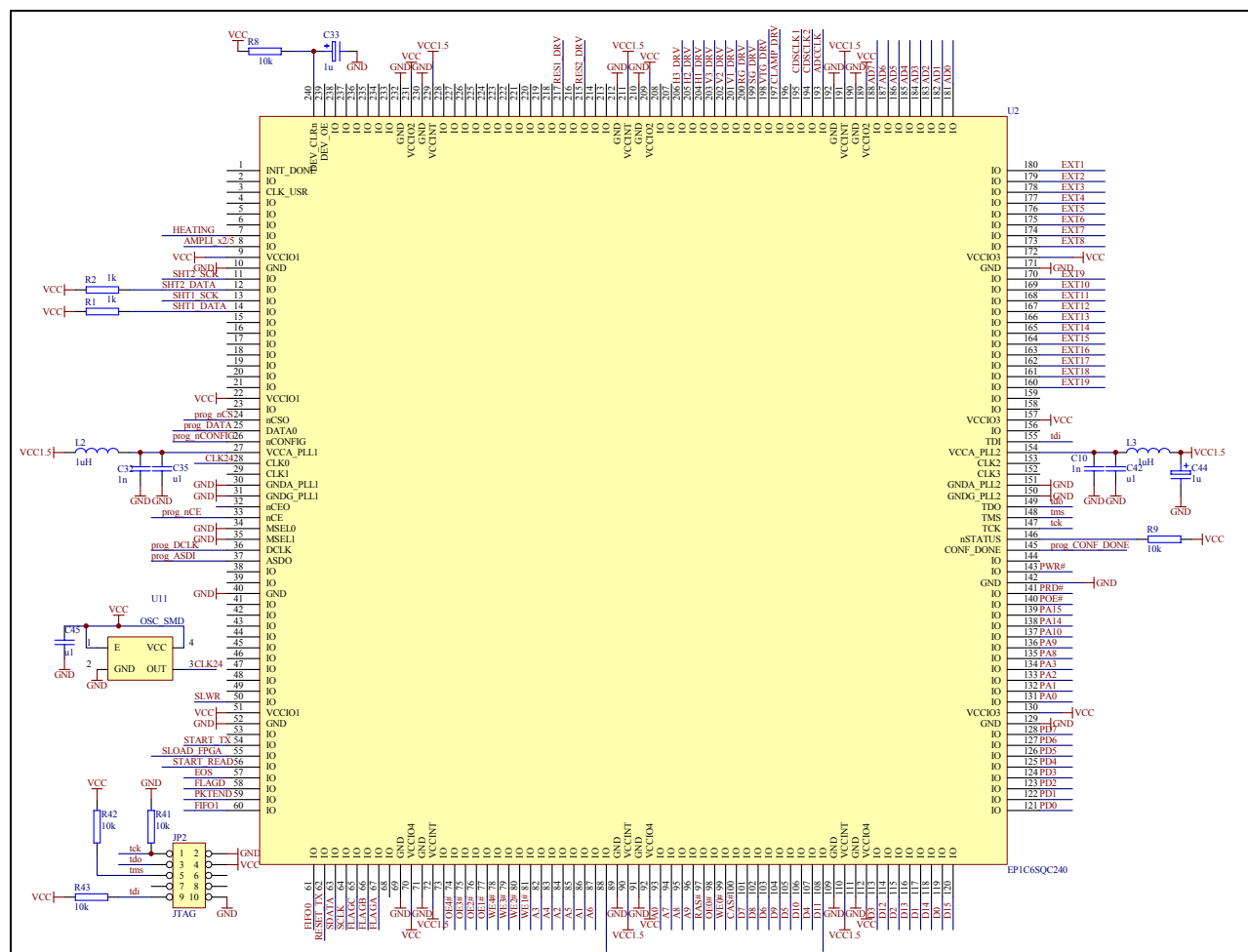
Układ FPGA jest kluczowym elementem kamery. Pełni on rolę łącznika scalającego poszczególne bloki urządzenia w całość. Schemat połączeń z resztą układu pokazany jest na Rys. 39. Posiada on możliwość współpracy z różnymi standardami interfejsów cyfrowych zasilanymi z różnych napięć. U11 jest źródłem przebiegu zegarowego dla wszystkich bloków układu.

Układy peryferyjne FPGA zasilane są napięciem 3.3V, ponieważ współpracująca cyfrowa część układu kamery pracuje z takim napięciem zasilania. Rdzeń zasilany jest napięciem 1.5V. Tak niska jego wartość zapewnia mały pobór mocy oraz wydzielanie ciepła i jest zalecana przez producenta.

Konfiguracja układu jest ulotna, lecz dzięki jego rekonfigurowalności możliwa jest szybka i łatwa zmiana funkcjonalności urządzenia nawet po uruchomieniu i zamontowaniu w miejscu pracy [26].

W FPGA zaimplementowano szereg bloków funkcjonalnych kamery. Są one następujące:

- układ generacji przebiegów sterujących czujnikiem CCD oraz procesorem wizyjnym – został on opisany w rozdziale 4.1.1.1
- kontroler pamięci DRAM i transmisji USB – opisowi poświęcony jest następny rozdział
- interfejs pośredniczący pomiędzy mikrokontrolerem a innymi blokami urządzenia
- interfejsy sterujące pracą czujników temperatury



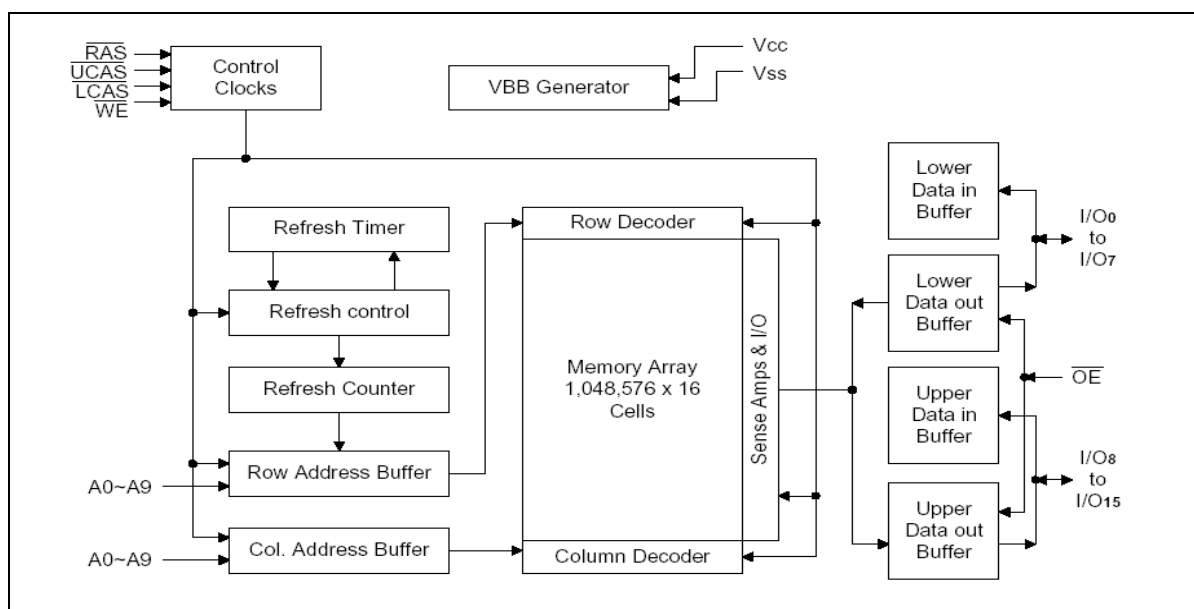
Rys. 39 Schemat połączeń układu FPGA

4.2.1.1 Kontroler pamięci DRAM

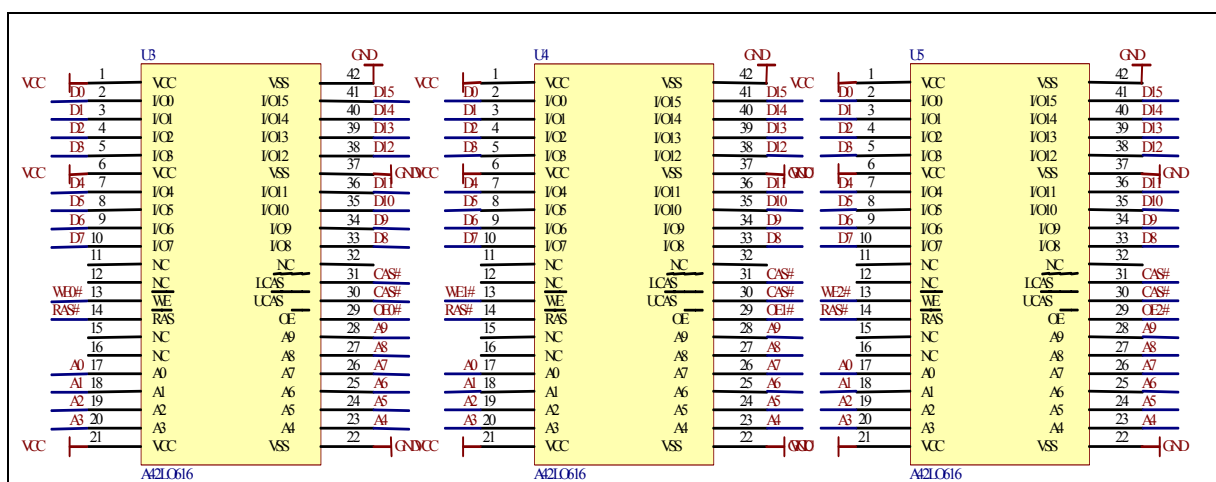
Pamięć DRAM pełni rolę układu buforującego dane pomiarowe podczas odczytu z czujnika CCD.

Budowa wewnętrzna pokazana jest na Rys. 40. Pamięć DRAM do prawidłowej operacji potrzebuje dołączenia szeregu sygnałów:

- A0...A9 – adres kolumny/rzędu
- IO0..IO15 – wejście/wyjście danych
- RAS – Row Address Select – sygnał sterujący. Opadające jego zbocze powoduje zapisanie adresu rzędu do wewnętrznego bufora
- UCAS, LCAS – Column Address Select – sygnały sterujące. Opadające zbocze powoduje zapisanie adresu kolumny do wewnętrznego bufora
- OE – Output Enable – sygnał sterujący dołączeniem układu pamięci do magistrali danych. Stan wysoki na OE oznacza stan wysokiej impedancji na liniach IO0...IO15
- WE – Write Enable – sygnał sterujący zapisem. Stan niski przy opadającym zboczku sygnału CAS rozpoczęcie procedury zapisu.[20]

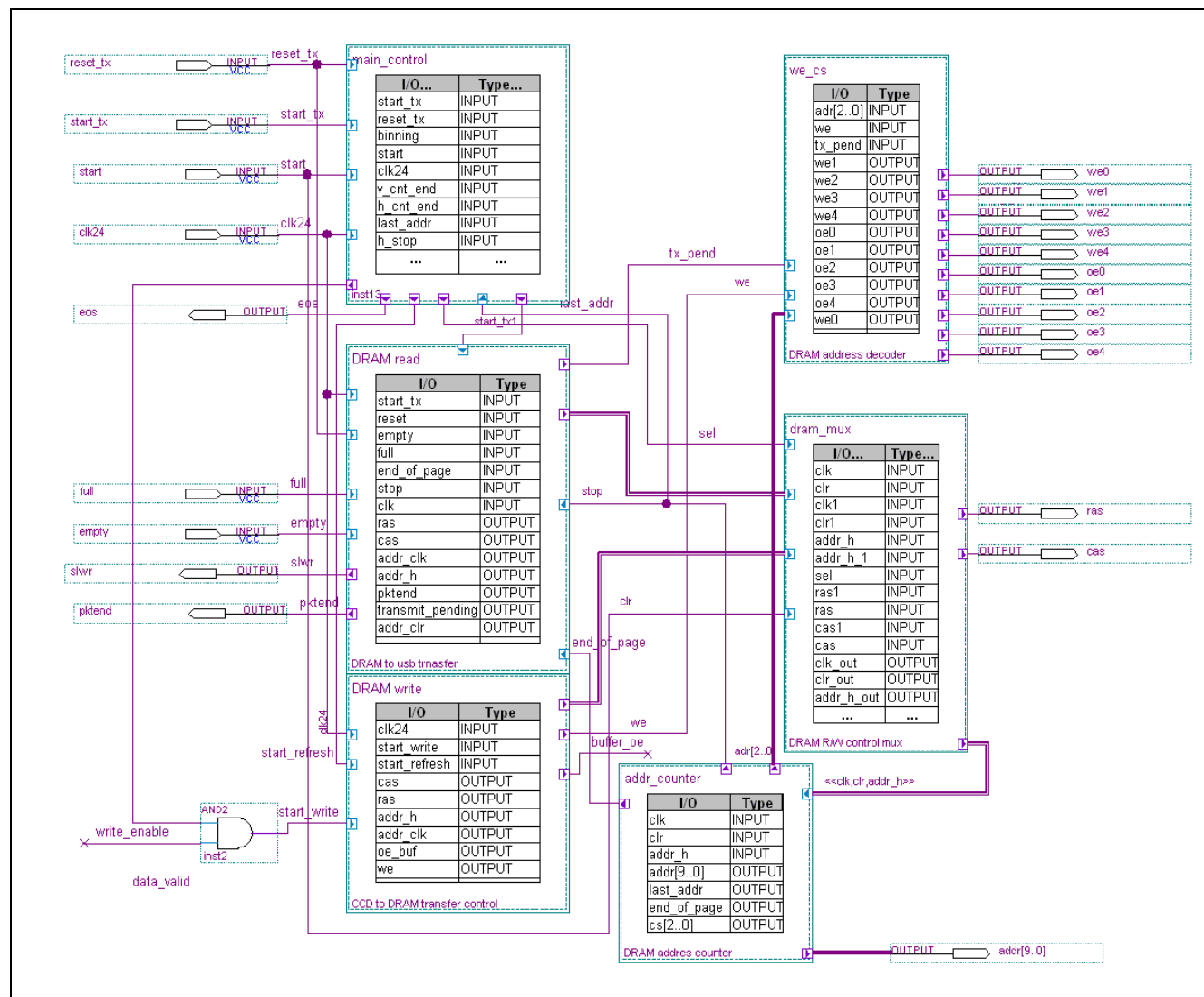


Rys. 40 Schemat blokowy pamięci DRAM. Źródło:[20]



Rys. 41 Schemat połączeń pamięci DRAM – 3 układy z 5.

Z powodu niedostępności pojedynczych układów o pojemności ponad 8MB (2062*2048 pikseli * 16bit), zdecydowano się na użycie 5 pamięci po 2MB każda (Rys. 41). Pamięci mają organizację 1024k * 16 bitów. Współdzielą one magistralę danych, adresową oraz część sygnałów sterujących. Wybór układu, który w danej chwili jest zapisywany lub odczytywany, dokonywany jest za pomocą indywidualnie dla każdego układu generowanych sygnałów WE i OE. Pamięci posiadają tryb pracy EDO pozwalający na szybki, swobodny dostęp do dowolnego adresu w ramach jednej strony o rozmiarze 1024 słów 16-bitowych. Generacją powyższych sygnałów zajmuje się kontroler pamięci SDRAM (Rys. 42).

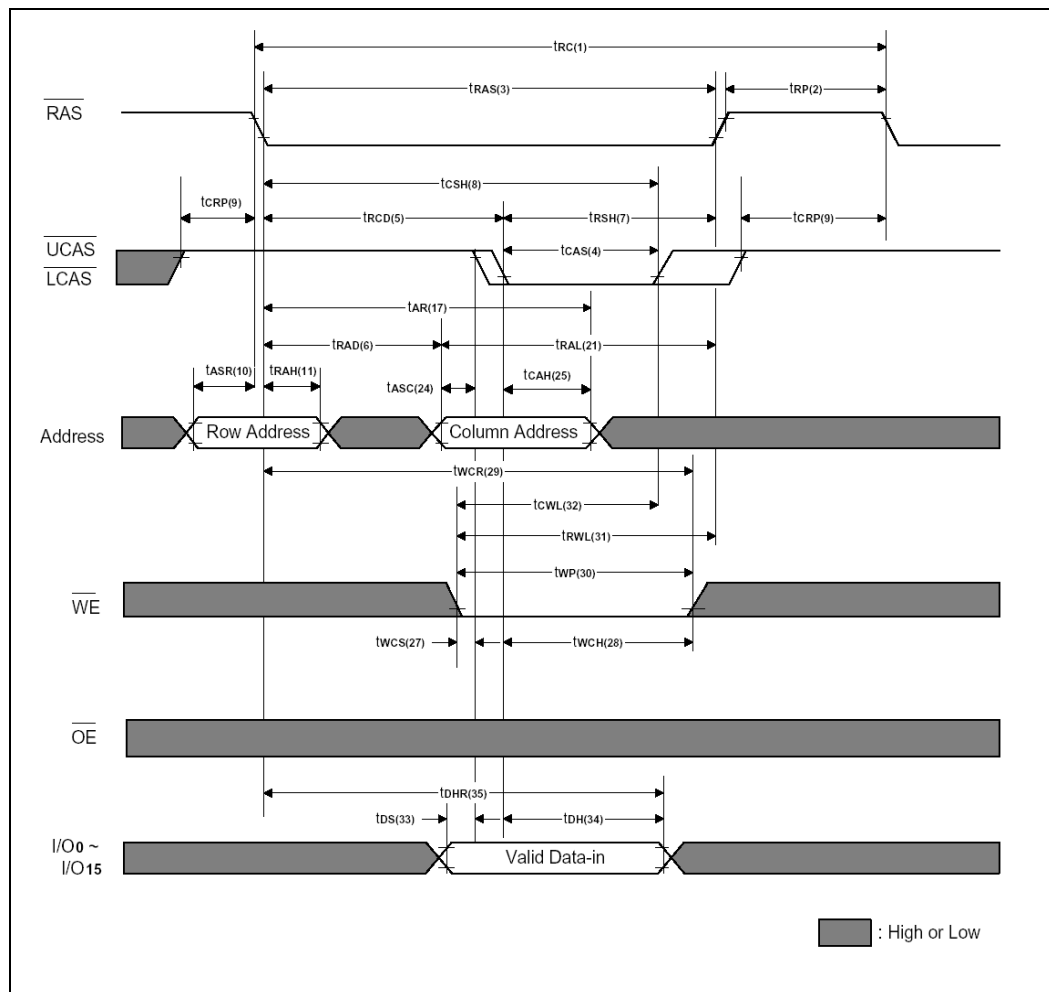


Rys. 42 Układ logiczny sterujący zapisem / odczytem pamięci DRAM oraz transferem USB

Kontroler został on zaimplementowany jako 6 współpracujących ze sobą bloków logicznych:

1. *Main_control* – główny moduł sterujący pracą kamery. Oprócz funkcji nadrzędnej w stosunku do reszty bloków kontrolera DRAM, pełni on funkcję sterującą transferem ładunków CCD (opisanym w rozdziale 4.1.1.1).
2. *CCD_to_DRAM_transfer_control* – automat zajmujący się zapisem próbki dostępnej na wyjściu demultipleksera do pamięci DRAM. Operacja zapisu inicjowana jest sygnałem `start_write`. Wytwarzany on jest przez automat sterujący CCD i procesorem sygnału

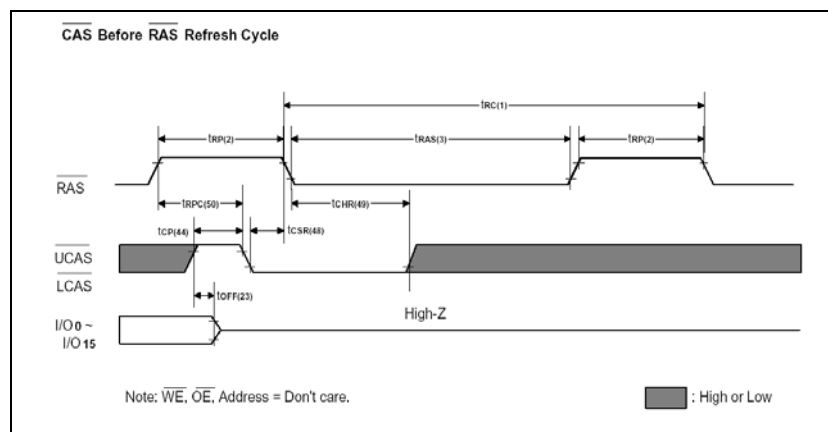
wizyjnego. Zapewnia to synchroniczny, w stosunku do pracy przetwornika ADC i czujnika CCD, zapis próbki do pamięci. Sygnał *buffer_oe* służy do wystawiania danych do zapisu na magistralę danych. Pochodzą one z demultipleksera umieszczonego za ADC i reprezentują ostatnio przetworzoną wartość napięcia. *We* jest sygnałem sterującym zapisem pamięci DRAM. Operacja zapisu jednego słowa generuje przebiegi pokazane na Rys. 43. W stanie oczekiwania na zapis następnego słowa generowane są sygnały odświeżania pamięci pokazane na Rys. 44. Pamięć musi zostać odświeżona przynajmniej raz na 16ms. Polega to na odczycie a następnie zapisaniu (przeładowaniu - *precharge*) wszystkich adresów rzędów pamięci. Układ posiada kilka trybów odświeżania. Ze względu na prostotę, wybrany został tryb CBR (*CAS before RAS*). Nie wymaga on generacji adresu rzędu, lecz sekwencji sygnałów CAS i RAS. Może on być dokonany w każdej chwili, bez wchodzenia w specjalny tryb pracy (Rys. 44).[20]



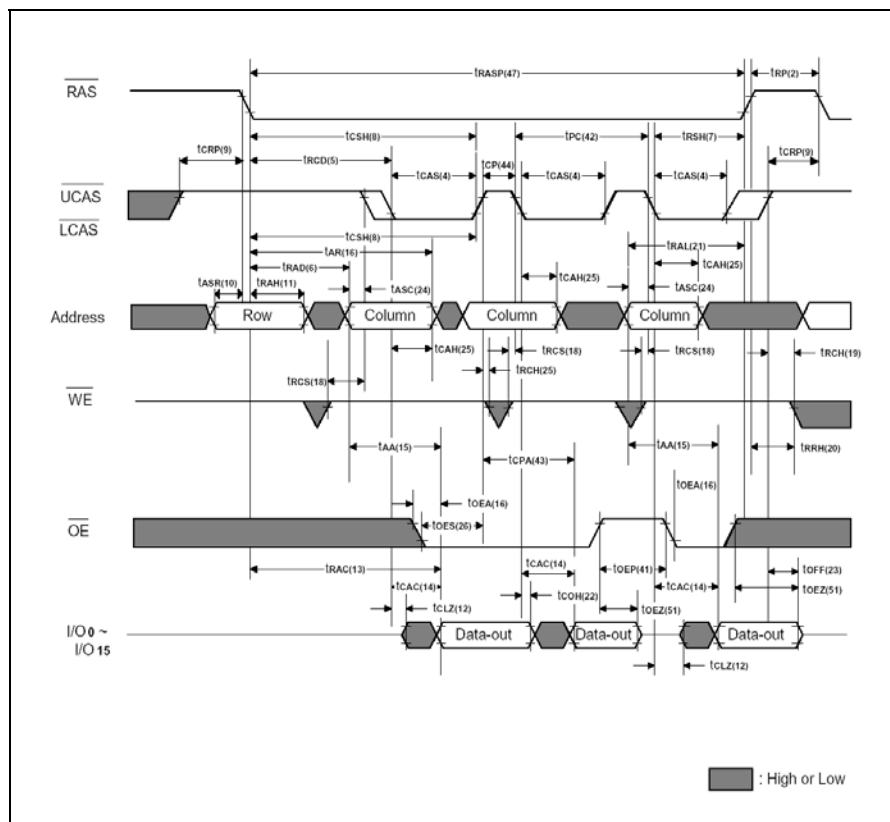
Rys. 43 Operacja zapisu 1 słowa danych do pamięci DRAM. Źródło:[20]

3. *Dram_to_USB_transfer* – automat zajmujący się transferem zawartości pamięci do układu interfejsu USB. Operacja kopiowania zawartości pamięci jest inicjowana sygnałem *start_tx1*. Układ generuje impulsy *slwr* strobuujące zapis danych do układu interfejsu USB oraz sygnały odczytu danych z pamięci pokazane na Rys. 45. Interfejs natomiast informuje o statusie swojego bufora FIFO za pomocą sygnałów *empty* i *full*. *Tx_pend* jest natomiast sygnałem zezwalającym na odczyt pamięci DRAM. *Pktend* umożliwia zakończenie ostatniego pakietu transmisji (Rys. 42). Algorytm pracy układu *Dram_to_USB_transfer* zamieszczony jest na Rys. 46.

Po otrzymaniu sygnału *start_tx* z mikrokontrolera, moduł *Main_control* sprawdza, czy jest wykonywany proces odczytu CCD. Jeśli nie, wystawia wtedy sygnał *sel* co powoduje przełączenie multipleksera *DRAM_R/W_control_mux* w tryb odczytu z pamięci. Następnie generuje *start_tx1* co inicjuje pracę automatu *Dram_to_USB_transfer*. Ten adresuje pamięć i rozpoczyna z niej odczyt danych jednocześnie zapisując je do układu interfejsu USB. Trwa to 1024 cykle (1 strona) lub do momentu zapełnienia bufora FIFO (sygnał *full*). W przypadku osiągnięcia krańca strony (*end_of_page*), następuje przeładowanie adresu oraz generowana jest sekwencja odświeżająca (Rys. 44) i proces odczytu jest kontynuowany. Gdy natomiast FIFO jest zapełnione, generowane są cykle odświeżania i układ czeka na sygnał *empty* – FIFO puste. Wtedy proces odczytu jest kontynuowany. Po skopiowaniu całej zawartości pamięci (*last_address*), wystawiany jest sygnał *pktend* oznaczający koniec obecnie formowanego pakietu. Układ wchodzi w tryb odświeżania pamięci i jest gotowy na następny transfer (Rys. 46).

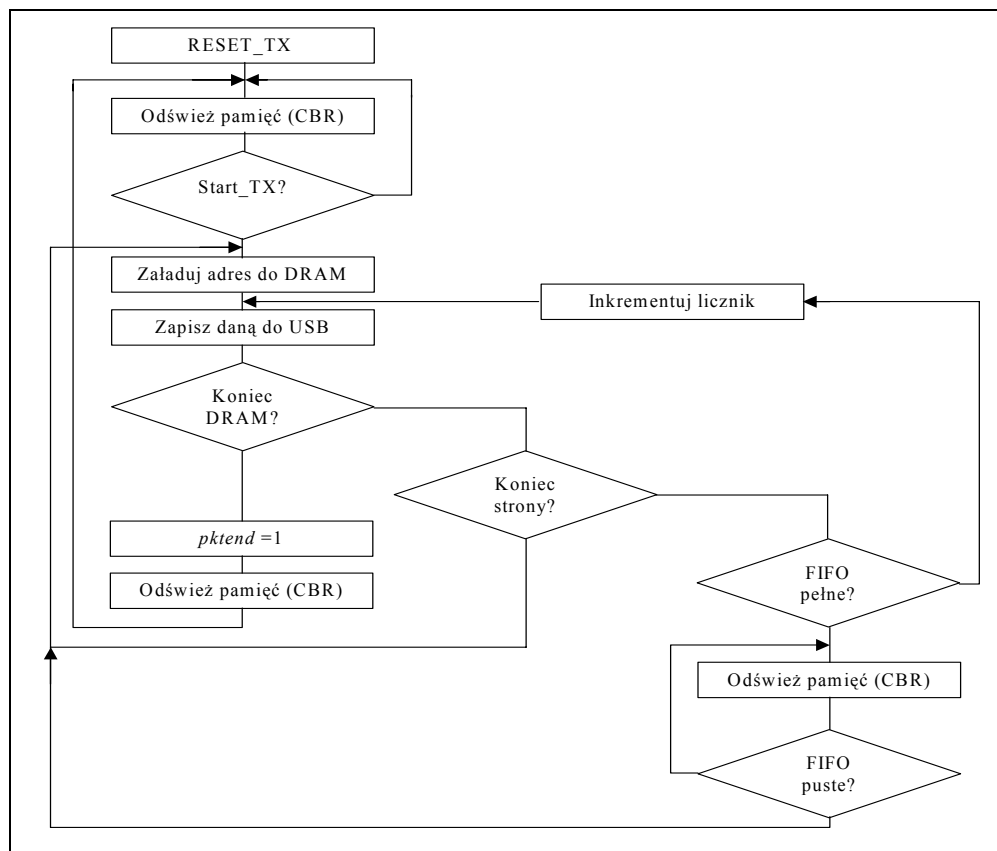


Rys. 44 Operacja odświeżania zawartości pamięci w trybie CBR. Źródło:[20]



Rys. 45 Operacja odczytu swobodnego w trybie EDO. Źródło:[20]

4. *DRAM_address_counter* – licznik adresów. Blok ten zajmuje się generacją adresu zapisu/odczytu dla pamięci DRAM. Dodatkowo pełni funkcję multipleksera adresu rzędu/kolumny (sygnał *addr_h*), sygnalizuje adres końca strony (*end_of_page*) oraz obszaru danych pamięci (*last_addr*).
5. *DRAM_address_decoder* – decoder adresu – blok realizujący funkcję przełączania układów pamięci tak, by tworzyły logicznie spójną przestrzeń adresową. Rozdziela on wejście *we* zezwalające na zapis oraz wejście *Tx_pend* zezwalające na odczyt, pomiędzy wejścia WE i OE poszczególnych układów pamięci. Wybór układu jest dokonywany w zależności od sygnału *adr[2..0]*
6. *DRAM_R/W_control_mux* - multiplekser sygnałów sterujących pamięciami oraz licznikiem adresu. Zapis i odczyt pamięci jest realizowany przez oddzielne moduły, generacja adresów natomiast przez jeden wspólny. Zatem konieczne jest przełączanie sygnałów sterujących pamięcią pomiędzy moduły zapisu/odczytu. Służy do tego linia *sel* kontrolowana przez moduł *Main_control*. Sygnały te to:
 - *CAS* – sygnał sterujący pracą DRAM – wybór adresu kolumny
 - *RAS* - sygnał sterujący pracą DRAM – wybór adresu rzędu
 - *Clk* – zegar inkrementujący adres odczytu/zapisu pamięci w liczniku adresów
 - *Clr* – sygnał ustawiający licznik adresów *DRAM_address_decoder*
 - *Addr_h* – sygnał sterujący multiplekserem wyboru adresu rzędu/kolumny w module licznika adresu

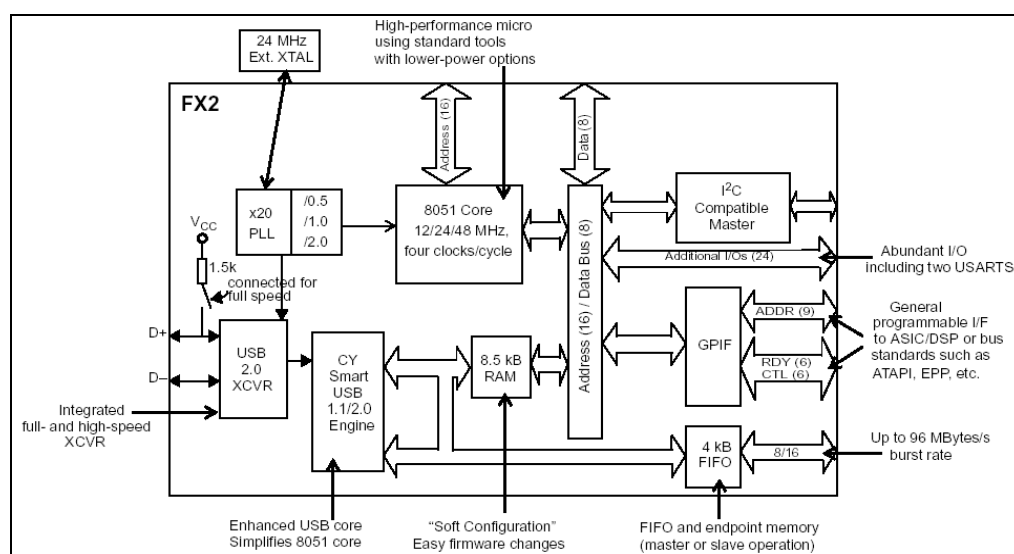


Rys. 46 Algorytm pracy układu *Dram_to_USB_transfer*

Ostatnim ogniwem toru przetwarzania danych cyfrowych jest układ interfejsu USB. Jest on opisany w następnym rozdziale.

4.2.2 Mikrokontroler z interfejsem USB

Interfejs USB [28] jest ostatnim z elementów, które biorą udział w przetwarzaniu sygnału, a zarazem tym, który decyduje o funkcjonalności urządzenia. Dzięki zastosowaniu popularnego i obecnego w każdym współczesnym komputerze łącza, zapewniono dużą uniwersalność przyrządu i szeroki zakres jego zastosowań. Zalety tej nie mają przyrządy wyposażone w specjalne karty transmisji danych montowane w komputerze PC. Interfejs USB został zaimplementowany w oparciu o jednoukładowy mikroprocesor serii 8051 firmy Cypress. Jako jedno ze swoich peryferii posiada on kompletny układ transmisji USB2.0 (Rys. 47). Pozwala on osiągnąć transfer rzędu 50MB/s. Poza tym posiada rozbudowany programowalny interfejs pozwalający na jego bazie zrealizować niemal dowolny standard transmisji równoległej.



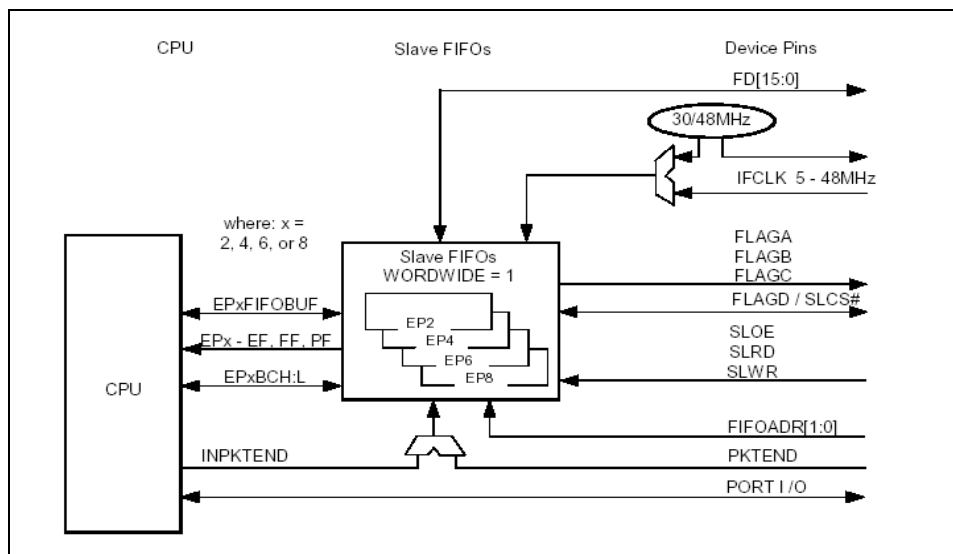
Rys. 47 Schemat blokowy mikrokontrolera z interfejsem USB2.0. Źródło:[25]

Dla konstrukcji kamery przydatna okazał się wbudowany interfejs pamięci *Slave FIFO*. Cechuje się ona prostą obsługą oraz przeźroczystą dla użytkownika warstwą protokołu USB, która została w całości zaimplementowana w sposób sprzętowy [25]. Jedyną rzeczą, jaka musi zostać zrobiona w celu uaktywnienia toru komunikacji USB2.0 jest konfiguracja kilku rejestrów. Dodatkową zaletą takiego rozwiązania jest to, iż moc obliczeniowa procesora może być w całości wykorzystana do innych celów, nie związanych z transmisją.

Schemat blokowy interfejsu *Slave FIFO* jest przedstawiony na Rys. 49. Posiada on możliwość transmisji dwukierunkowej. W projekcie został wykorzystany jeden kierunek – do hosta. Z tego powodu część linii pozostała nieużywana. Układ jest dołączony do kontrolera pamięci DRAM za pomocą następujących sygnałów:

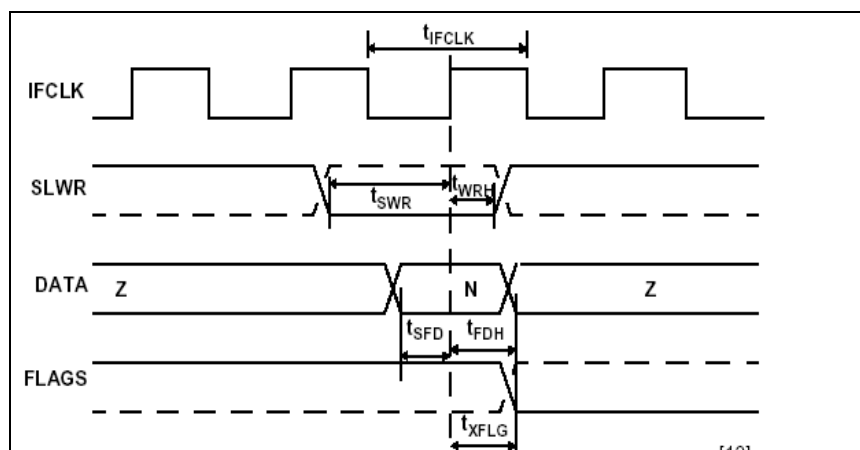
- FD[15..0] - magistrala danych, współdzielona a pamięcią DRAM
- IFCLK (*interface clock*) - wejście sygnału zegarowego interfejsu *slave FIFO*. Jest on wspólny z głównym zegarem FPGA - 24MHz
- FLAGA - flaga wystawiana przez interfejs. Posiada możliwość programowania jakiego zdarzenia ma dotyczyć. W tym przypadku oznacza , iż pamięć FIFO jest pełna – odpowiednik sygnału *full* na Rys. 42

- FLAGB - flaga wystawiana przez interfejs. Posiada możliwość programowania jakiego zdarzenia ma dotyczyć. W tym przypadku oznacza, iż pamięć FIFO jest pusta – odpowiednik sygnału *empty* na Rys. 42
- SLWR (*slave write*) - impulsy strobowe zapis danych. Wejście to posiada możliwość programowania trybu pracy – w tym przypadku jest aktywne poziomem niskim i synchroniczne z zegarem IFCLK.
- FIFOADR[1..0] (*slave fifo address*) – linie wyboru pamięci FIFO do zapisu/odczytu. Z powodu używania tylko jednego bufora FIFO, zostały im przypisane stałe wartości (01b)
- PKTEND (*packet end*) – wejście sygnalizacji końca transmisji. W przypadku gdy sygnał przy narastającym zboczach zegara ma wartość „0”, będący w przygotowaniu pakiet zostanie uznany za skończony i przygotowany do wysłania.



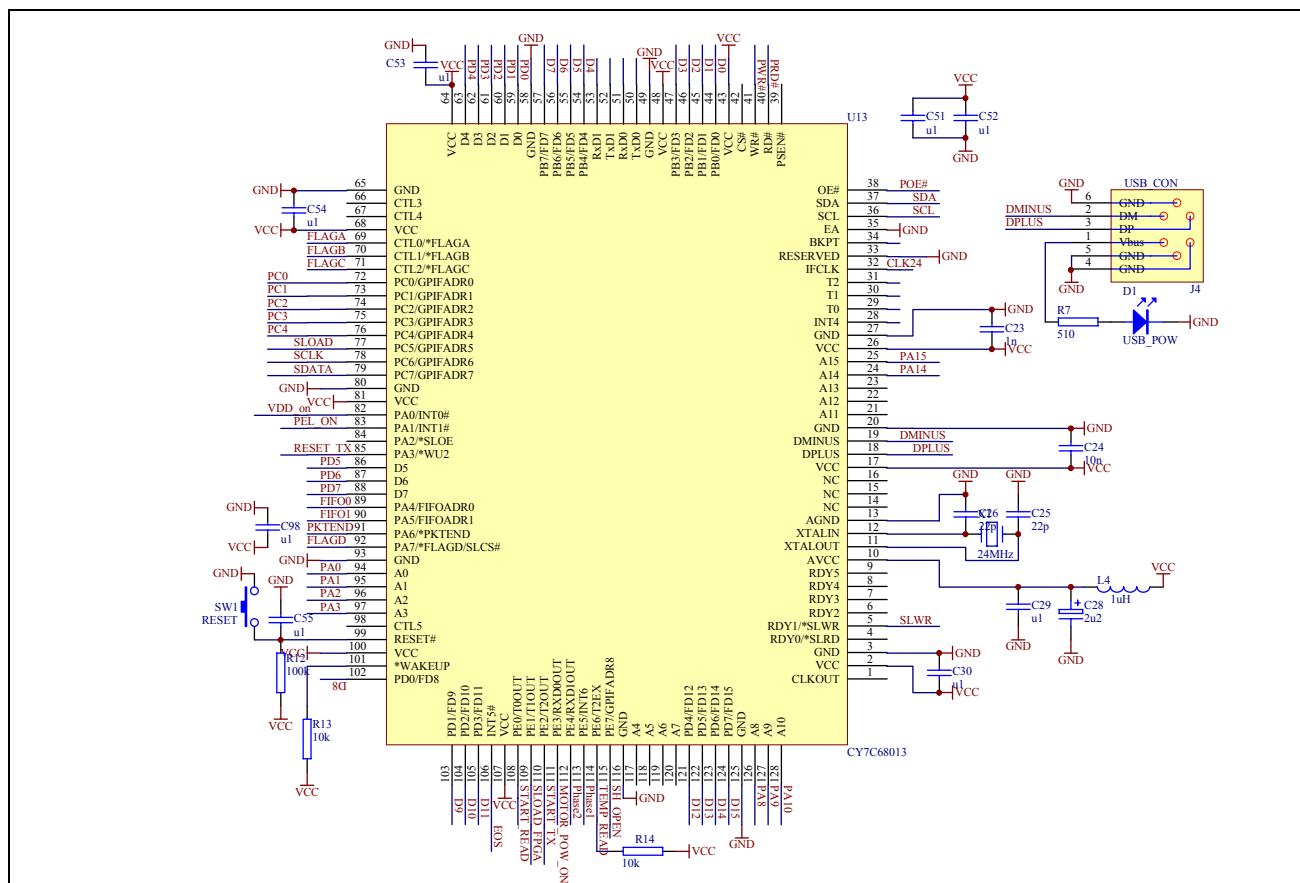
Rys. 48 Sygnały interfejsu *Slave FIFO*. Źródło:[25].

Kontroler pamięci DRAM opisany w rozdziale 4.1.1.1. ma za zadanie podczas odczytu pamięci, również generować sygnały umożliwiające zapis odczytanych danych do układu interfejsu USB. Na Rys. 49 przedstawiono przebiegi czasowe sygnałów sterujących interfejs *slave FIFO* podczas operacji przesyłania danych. Rysunek dotyczy przesyłania jednego słowa, po czym układ wystawia flagę, informując że FIFO jest zapełnione.



Rys. 49 Przebiegi czasowe sygnałów podczas zapisu do interfejsu *slave FIFO*. Źródło:[25].

Układ mikrokontrolera do pracy potrzebuje zaledwie kilku elementów zewnętrznych, takich jak rezonator kwarcowy (X1), układ resetu (C53,R12) i opcjonalna pamięć EEPROM z programem (Rys. 50). Dioda D1 ma za zadanie sygnalizować fakt obecności wtyku USB w złączu.



Rys. 50 Schemat połączeń układu mikrokontrolera USB

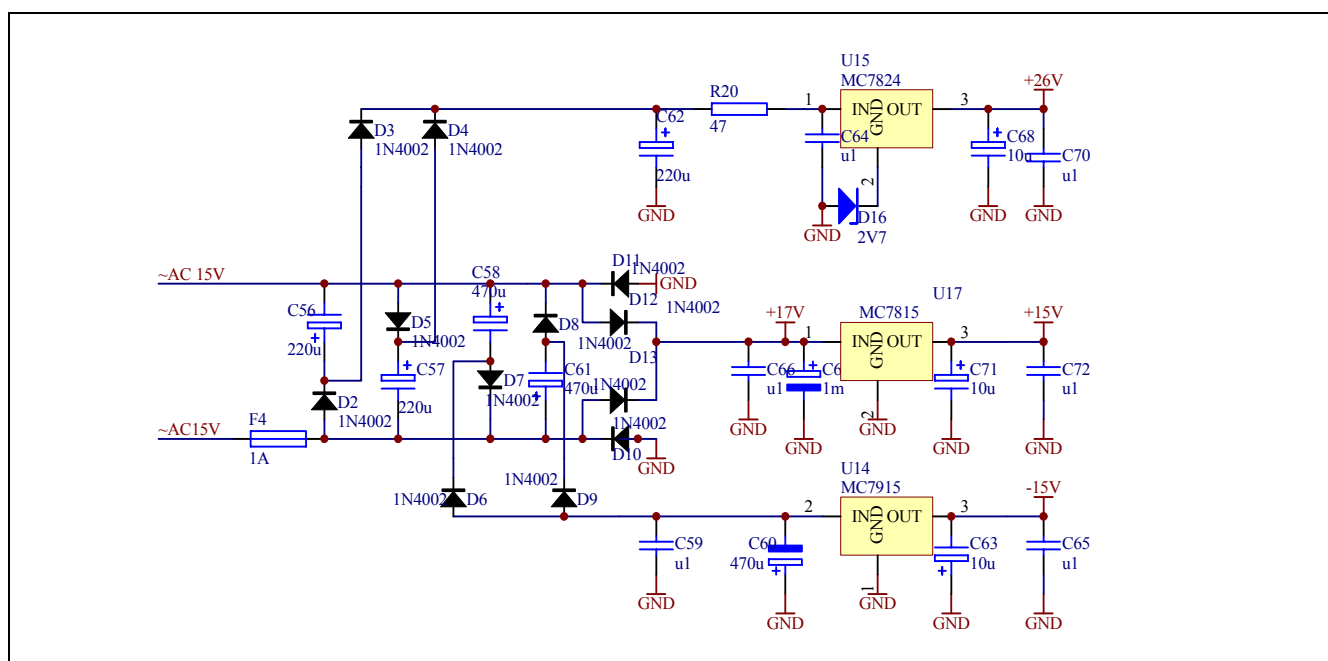
4.3 Zasilanie

Kamera CCD, jak każde urządzenie elektroniczne, wymaga zasilania. Z powodu znacznej ilości napięć zasilających zdecydowano się na umieszczenie układów zasilaczy w jednej obudowie z elektroniką. Zmniejszyło to liczbę przewodów do 6 w porównaniu z około 20-stoma w przypadku zastosowania całkowicie zewnętrznego zasilacza. Dodatkowo łatwiej jest zapewnić stabilne wartości napięć w funkcji zmian obciążenia, małe wartości zakłóceń oraz kompaktową obudowę całości. Układ wymaga do pracy podłączenia 2 zewnętrznych transformatorów i zasilacza DC - do zasilania układu chłodzenia. Z racji rozmiarów, wagi, generowanego ciepła oraz zakłóceń elektromagnetycznych nie mogły zostać one zmieszczone we wspólnej obudowie z elektroniką kamery.

4.3.1 Zasilacz części analogowej

Tor analogowej obróbki sygnałów ma kluczowe znaczenie dla parametrów szumowych urządzenia. Dlatego też jego zasilaniu poświęcono szczególną uwagę. Wszystkie napięcia zasilające są stabilizowane. Te o krytycznym znaczeniu dla parametrów szumowych są stabilizowane podwójnie oraz posiadają rozbudowaną filtrację przeciwzakłóceńową. W celu ograniczenia strat mocy oraz zakłóceń, tory analogowy i cyfrowy posiadają oddzielne transformatory sieciowe.

Podstawowym napięciem wykorzystywanym przez większość elementów toru analogowego kamery jest +15V. Zostaje ono w następnych stopnia zasilacza przetworzone do innych wartości. Wytwarzane jest ono w standardowym układzie zasilacza składającego się z mostka graetza (D10...D13), kondensatora filtrującego C6 oraz monolitycznego układu stabilizatora (Rys. 51). Kondensatory C66 i C72 na wyjściu i wejściu przeciwdziałają przedostawaniu się zakłóceń w.cz. oraz wzbudzaniu układu.



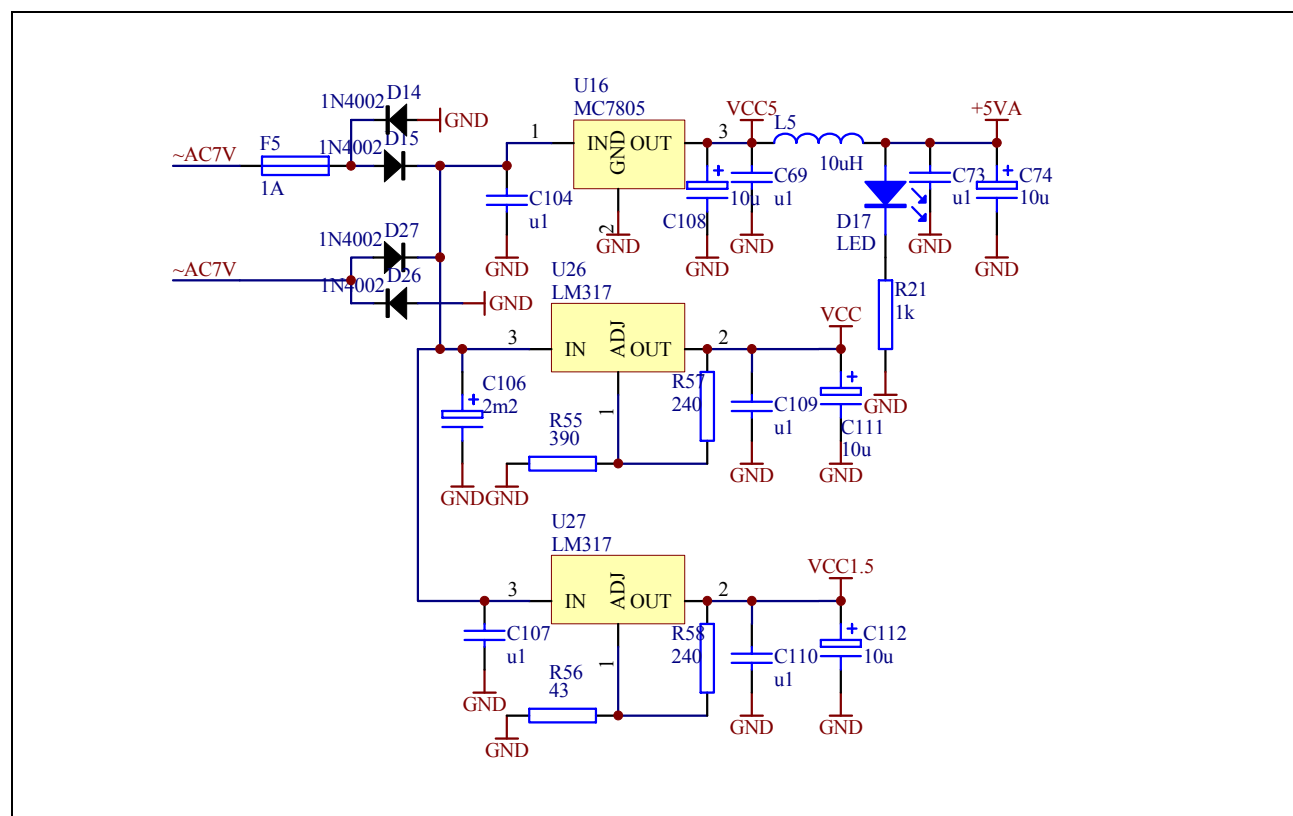
Rys. 51 Schemat ideowy zasilacza części analogowej

Czujnik CCD wymaga stosunkowo wysokiego napięcia zasilania 22V. W klasycznym zasilaczu wymagałoby to użycia oddzielnego odczepu transformatora wraz z układem prostowniczym. Z powodu niskiego zapotrzebowania na moc, oraz chęć zmniejszenia ilości przewodów zasilających, zdecydowano się na zastosowanie dwu-połówkowego układu przesuwania poziomu napięcia. Tworzą go diody D2,D5,D3,D4 oraz kondensatory C56, C57 i C62. Napięcie na C62 sięga wartości 36V, zatem w celu ograniczenia strat mocy na stabilizatorze U15, zastosowano rezystor R20. Dioda D16 służy do zwiększenia wartości stabilizowanego napięcia do około 26V.

Napięcie $-15V$ wytwarzane jest w sposób analogiczny do $+26V$, jednakże zastosowany układ przesuwania napięcia, powoduje odwrócenie jego polaryzacji. Na C60 panuje napięcie rzędu $-17..19V$, które jest następnie stabilizowane przez U14 do poziomu $-15V$.

4.3.2 Zasilacz części cyfrowej i ADC

Tor cyfrowy kamery pobiera znaczny prąd rzędu 800mA. Dlatego zdecydowano się na zasilanie go z oddzielnego transformatora. Ma on niższe (7V) napięcie niż transformator zasilacz toru analogowego (15V). Skutkuje to znacznie mniejszą mocą traconą w stabilizatorach w porównaniu do sytuacji zasilania go z zasilacza toru analogowego. Do zasilania układów cyfrowych wymagane jest napięcie 3.3V. Powstaje ono w wyniku stabilizacji napięcia 9V, które wytwarzane jest w wyniku stabilizacji i filtracji napięcia z transformatora. Nie użyto regulatorów impulsowych w celu ograniczenia ilości generowanych zakłóceń. Schemat zasilacza przedstawiony jest na Rys. 52.



Rys. 52 Schemat ideowy zasilacza części cyfrowej.

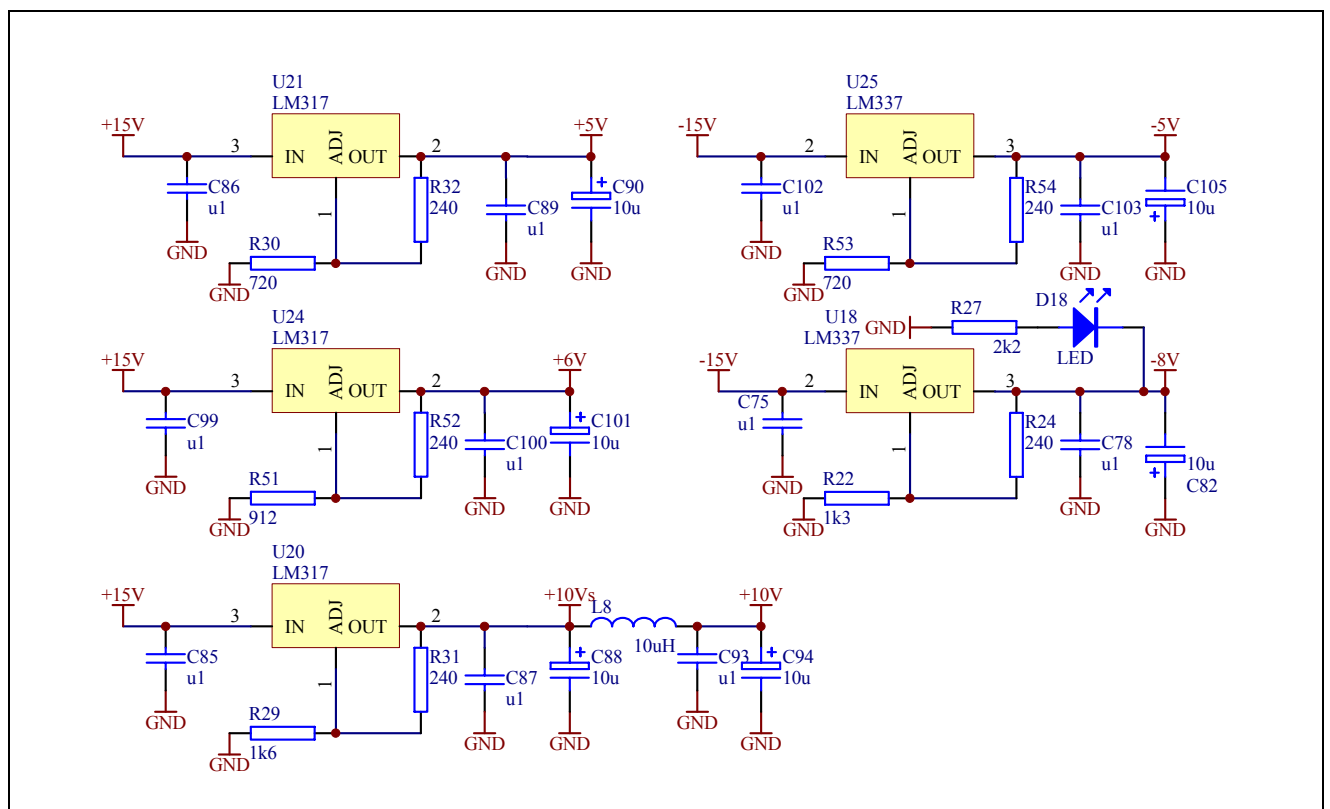
Układ FPGA wymaga napięcia pomocniczego do zasilania rdzenia, o wartości 1.5V. Wytwarzane jest ono przez układ U27.

Zastosowany układ procesora sygnału wizyjnego wymaga 2 napięć zasilających 3.3 i 5V. Ponieważ powinny one pojawiać się w tym samym czasie, procesor został zasilony z zasilacza części cyfrowej. Z napięcia 5V zasilany jest także układ drivera silnika oraz konwertery poziomów logicznych w driverach CCD. W celu minimalizacji zakłóceń napięcia 5V zastosowano dwustopniowy filtr LC (L6=5,C73,C74). Drugi stopień filtru znajduje się przy procesorze video, na płycie analogowej.

4.3.3 Zasilacz driverów CCD

Drivery CCD wymagają dedykowanych poziomów napięć zasilających narzuconych przez wymagania czujnika. Pobierają ponadto prąd w sposób impulsowy, przez to generując znaczną ilość zakłóceń. Te czynniki zadecydowały o zastosowaniu oddzielnych stabilizatorów. Schemat zasilacza znajduje się na Rys. 53.

Pojemność elektrody RG czujnika CCD jest znikoma, zatem driver nie pobiera dużego prądu z zasilacza +10V. Napięcie to nie jest zakłócone szpilkami napięciowymi i może być użyte do zasilania innych analogowych bloków kamery. Filtr L8,C93,C94 zmniejsza wpływ zakłóceń jakie mogą się propagować z układu drivera na stabilizator U20

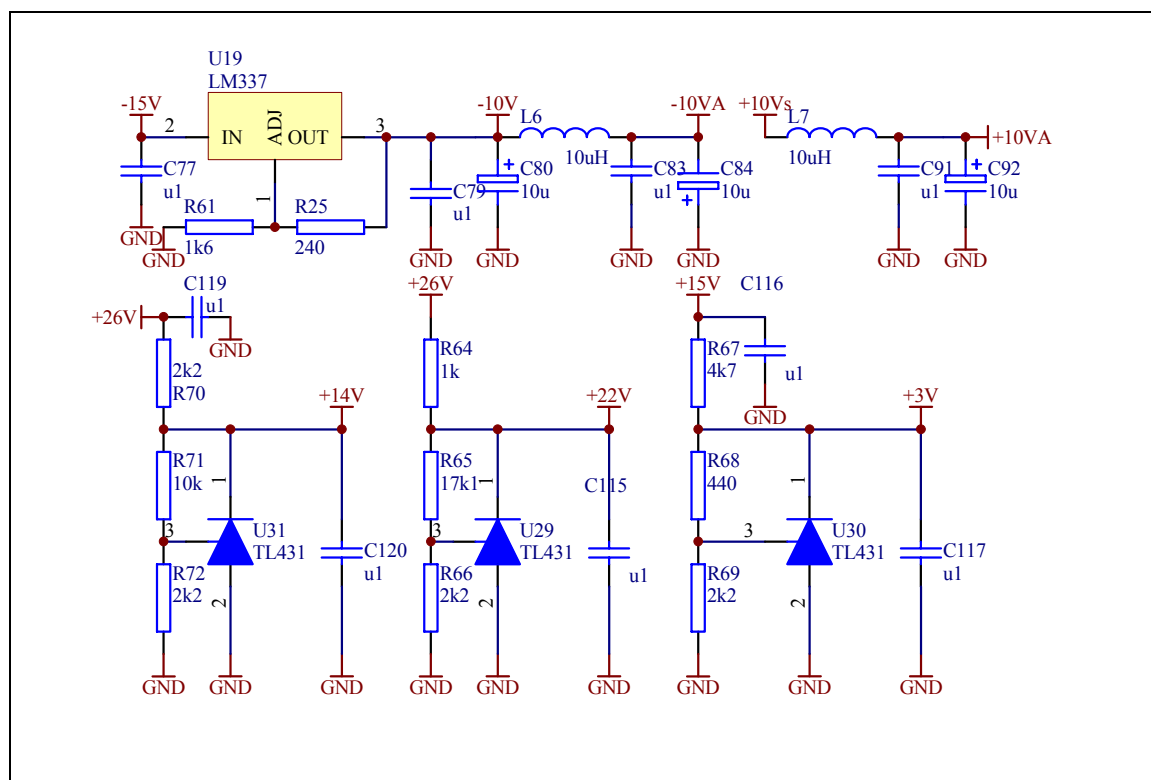


Rys. 53 Schemat ideowy zasilacza driverów CCD.

4.3.4 Zasilacz CCD i przedwzmacniacza procesora sygnału video

Układ czujnika CCD wraz z przedwzmacniaczem stawiają największe wymagania jeśli chodzi o jakość napięcia zasilającego. Dlatego zasilane są z podwójnie stabilizowanego napięcia, poprzez filtry LC i oddzielnie prowadzone masy. Schemat znajduje się na Rys. 54.

Do wytwarzania napięcia - 10V użyto stabilizatora U19 oraz filtru LC na wyjściu (L6,C83,C84). Napięcie +10V powstaje poprzez dodatkową filtrację napięcia +10V zasilającego driver sygnału RG (Rys. 53). Napięcia +3V,+14V,+22V zasilające sensor CCD są stabilizowane przez precyzyjne, niskoszumne źródła napięcia odniesienia TL431 pracujące w konfiguracji równoległej (U29,U30,U31). Napięcia te są dalej filtrowane na płycie czujnika CCD.



Rys. 54 Schemat ideowy zasilacza CCD i przedwzmacniacza

4.4 Układy pomocnicze

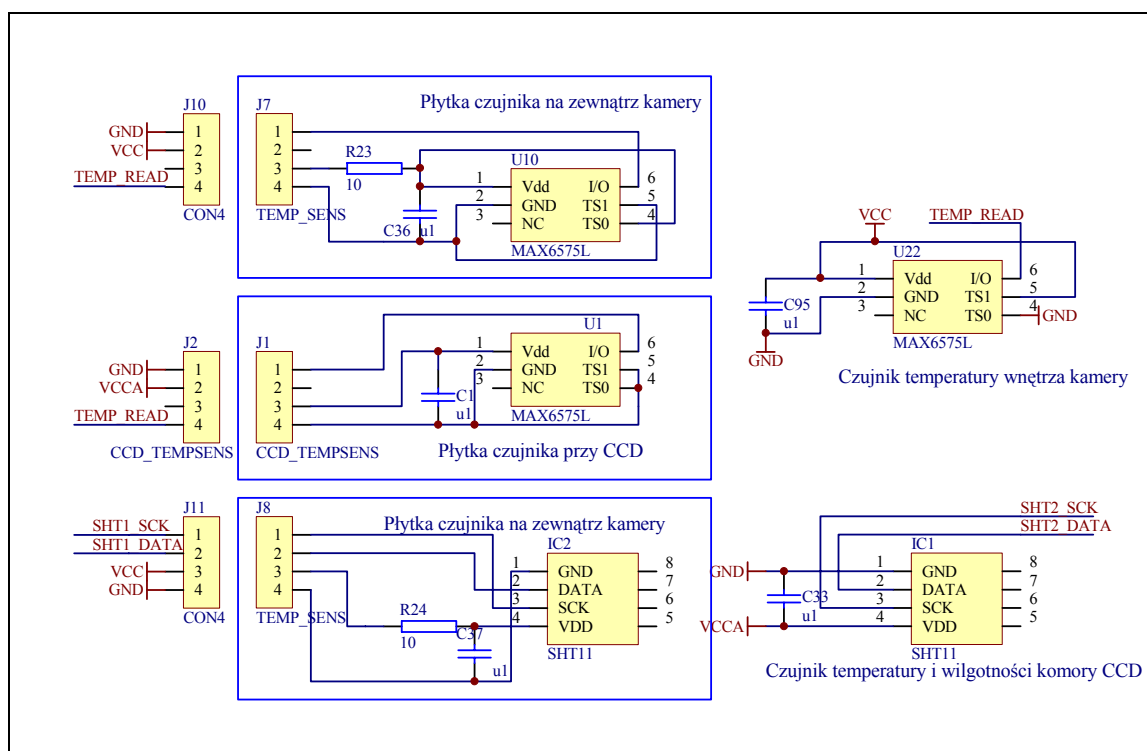
Oprócz układów kluczowych dla działania urządzenia, czy zaangażowanych bezpośrednio w proces pomiarowy, istnieją także pomocnicze. Zapewniają one bezpieczeństwo pracy, niezawodność systemu oraz poprawiają funkcjonalność. Można do nich zaliczyć takie elementy jak czujniki wielkości nieelektrycznych, watchdog, drivery siłowników mechanicznych.

4.4.1 Czujniki temperatury i wilgotności

Prawidłowa temperatura pracy układu elektronicznego ma duże znaczenie dla jego trwałości i bezawaryjnej pracy. Natomiast w przypadku czujnika CCD odpowiednia jej wartość decyduje o prądzie ciemnym, szumach i zakresie dynamicznym. Użyteczna jest także informacja o temperaturze panującej na zewnątrz kamery. Może ona być użyta (wraz z informacją o wilgotności) do sterowania ogrzewaniem optyki w przypadku wystąpienia niebezpieczeństwa jej oszronienia.

Dla bezpieczeństwa pracy kosztownego czujnika CCD kluczowe znaczenie ma wilgotność panująca wewnątrz komory gazowej. Rozhermetyzowanie jej i obecność wilgotnego powietrza mogą skutkować oblodzeniem CCD i jego uszkodzeniem. Z tego powodu zainstalowano czujnik wilgotności wewnątrz komory. Drugi czujnik wilgotności umieszczony jest na zewnątrz kamery (Rys. 75).

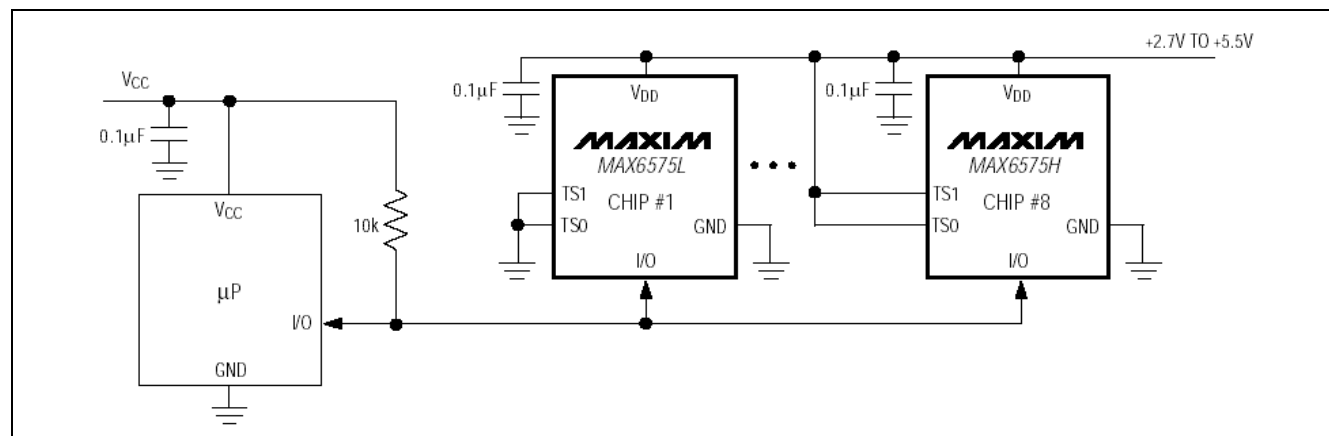
Rys. 55 przedstawia schematy połączeń czujników. Część z nich (U22, IC1) mieści się na płytkach drukowanych kamery, reszta dołączona jest za pomocą złącz.



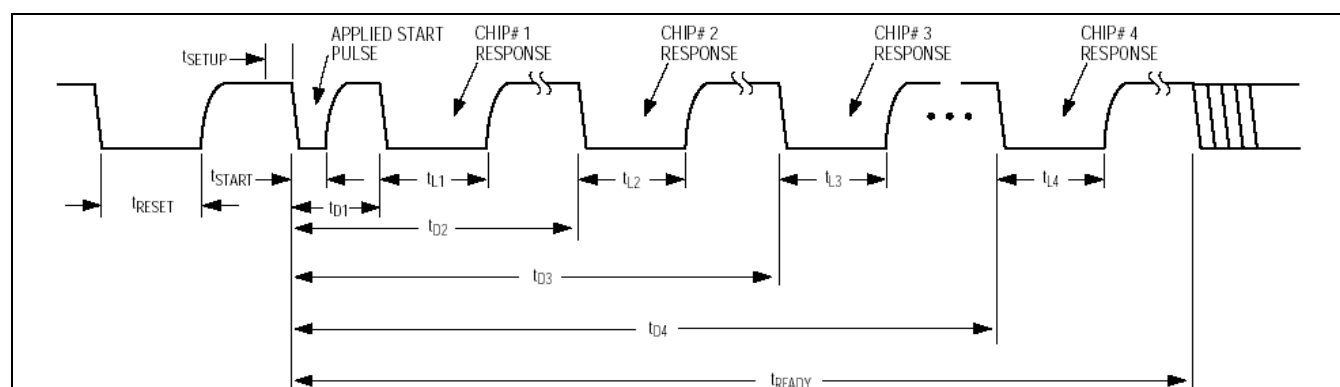
Rys. 55 Schemat połączeń czujników temperatury i wilgotności

Jako czujników temperatury (U1,U10,U22) użyto miniaturowych scalonych przetworników temperatura – przedział czasu MAX6575 firmy Maxim [23]. Posiadają one dokładność 0.8 stopnia,

zatem nie wymagają kalibracji. Do komunikacji z nimi służy jedna linia sygnałowa. Za jej pomocą inicjowany jest pomiar oraz odczytywana wartość zmierzona. Wyprowadzenia TS0, TS1 służą do wyboru współczynnika przetwarzania. Ustawienie różnych jego wartości umożliwia na niezakłóconą współpracę kilku czujników na jednej linii. To rozwiązanie, przedstawione na Rys. 56, pozwala na oszczędne wykorzystanie zasobów mikrokontrolera. Przebiegi czasowe umieszczone są na Rys. 57.



Rys. 56 Sposób sterowania wieloma czujnikami temperatury. Źródło:[23].



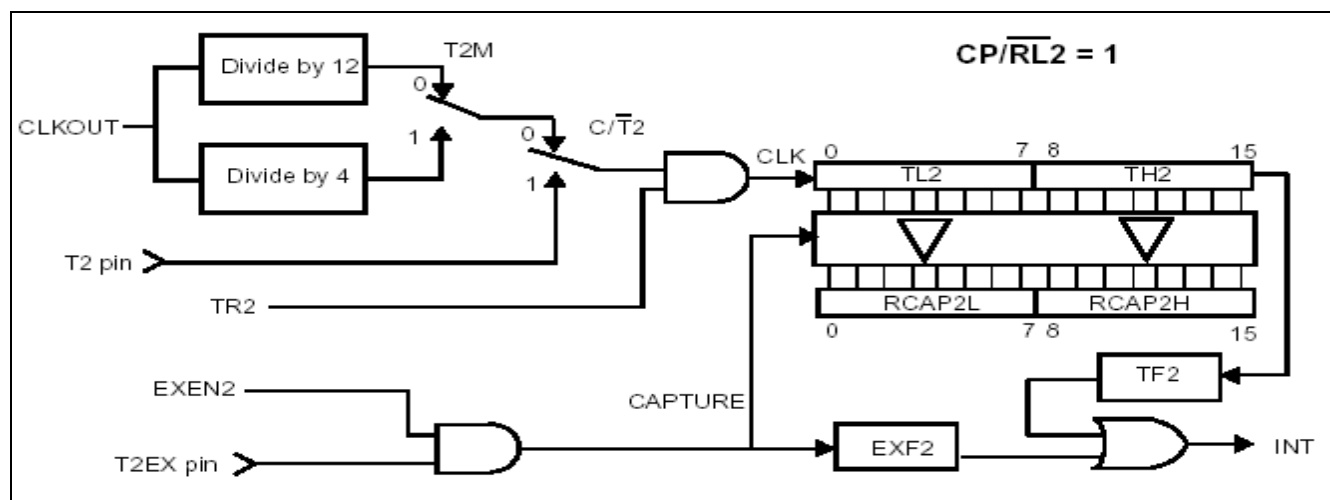
Rys. 57 Przebiegi czasowe podczas pomiaru temperatury. Źródło:[23].

Rozpoczęcie pomiaru polega na wygenerowaniu opadającego zbocza na linii sterującej. Impuls musi trwać przynajmniej 2.5us. Następnie mikrokontroler zaczyna liczyć czas, w jakim poszczególne czujniki wysyłają odpowiedź w postaci ujemnego impulsu. Znajomość poszczególnych wartości czasu pozwala wyliczyć wartości temperatur dla każdego czujnika [23]. W każdej chwili możliwy jest reset czujników. Odbywa się on poprzez ustawienie stanu niskiego na linii na czas większy niż 5ms i mniejszy niż 16ms.

Obsługa czujników została zrealizowana w sposób programowy za pomocą mikrokontrolera serii 8051. Wykorzystano w tym celu system przerwań oraz timer T2, pracujący w trybie przechwytywania, pozwalający na przepisywanie aktualnej jego wartości do specjalnego rejestru (RCAP) za pomocą sygnału zewnętrznego T2EX [25]. W ten sposób znaczna część procedury pomiarowej została zrealizowana w sposób sprzętowy (Rys. 58).

Pomiar jest inicjowany co 1 sekundę. Czas ten jest odmierzany przez zliczanie przerwań systemowych generowanych z częstotliwością 100Hz. Po odliczeniu 100 przerwań, generowany jest impuls inicjujący czujniki. Timer rozpoczyna odmierzanie czasu. Przychodzące impulsy będące odpowiedziami czujników, powodują przepisywanie aktualnie zliczonego czasu do rejestru RCAP.

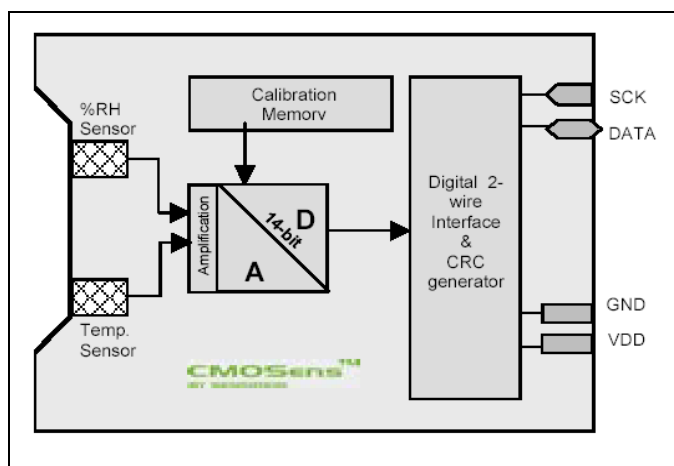
Równocześnie generowane jest przerwanie, w którym wartość czasu przeliczana jest na temperaturę i zapisywana do pamięci.



Rys. 58 Struktura timera T2 pracującego w trybie przechwytywania. Źródło:[25].

Do pomiaru wilgotności względnej zastosowano czujniki typu SHT11 firmy Sensirion. Oprócz wilgotności mierzą one także temperaturę. Posiadają 2-przewodowy szeregowy interfejs komunikacyjny. Są indywidualnie kalibrowane podczas procesu produkcji, zapewniając dokładność pomiaru temperatury wynoszącą 0.5 stopnia. W przypadku wilgotności błąd pomiaru nie przekracza 3.5%.

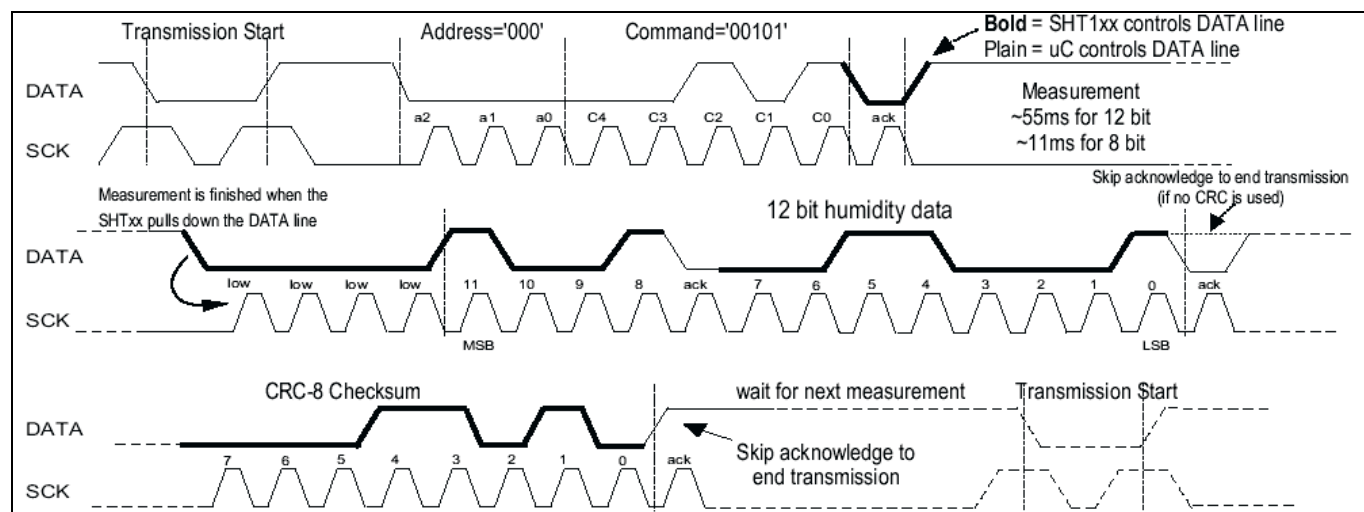
Mimo zaawansowanej budowy (Rys. 59), z wykorzystaniem cyfrowego układu linearyzującego czujniki, są one proste w użyciu. Układ sterowania sensorami został zaimplementowany w FPGA. Składa się on z 2 identycznych bloków. Każdy z nich obsługuje jeden czujnik, dokonując na przemian pomiaru wilgotności i temperatury (Rys. 61).



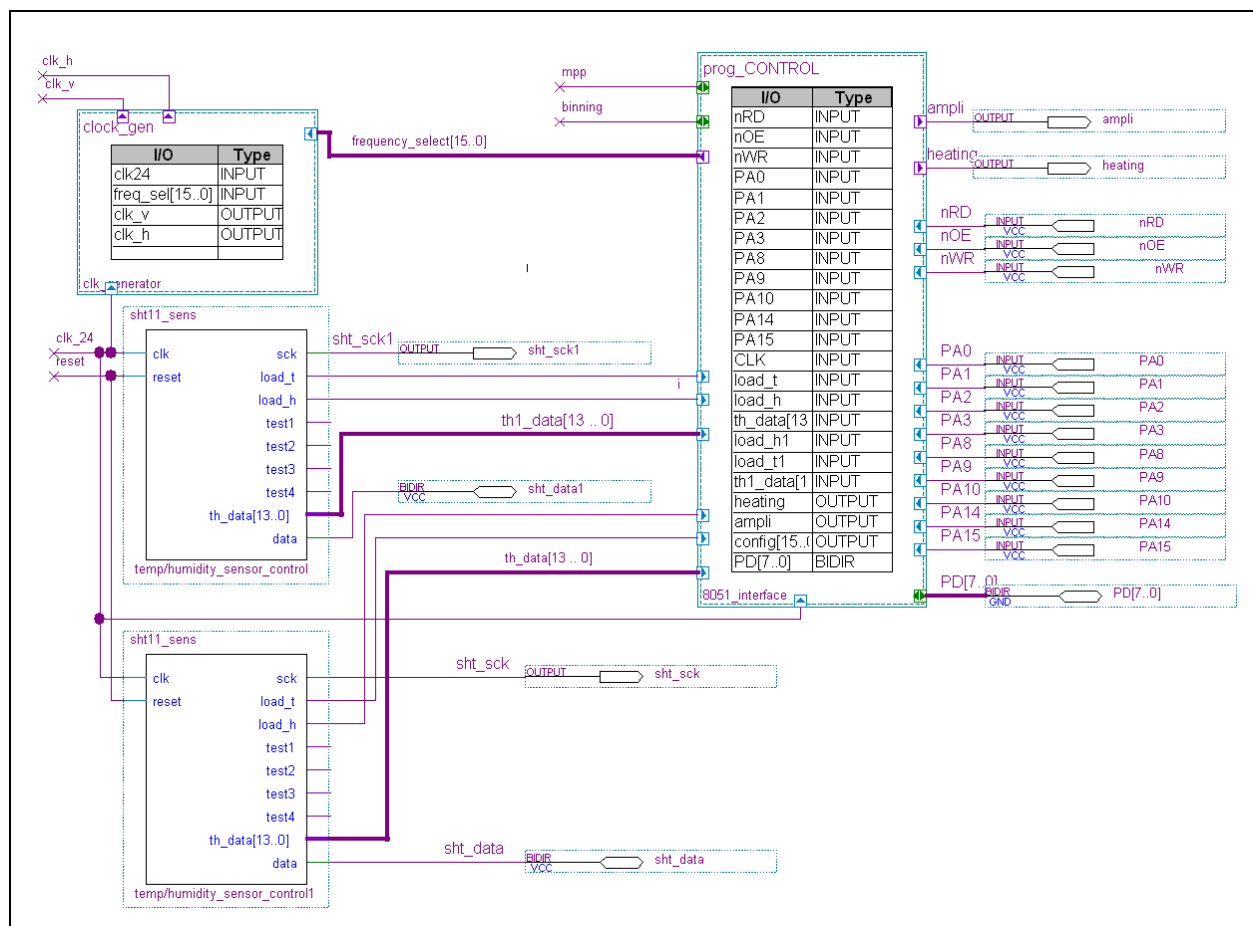
Rys. 59 Schemat blokowy czujnika SHT11

Przebiegi sygnałów podczas przeprowadzania pomiaru zostały zamieszczone na Rys. 60. Pomiar jest inicjowany co sekundę poprzez sekwencje startową. Następnie zostaje linią DATA w takt zegara SCK wysłany bajt zawierający rozkaz. Dotyczyć może on rozpoczęcia pomiaru wilgotności, temperatury bądź zapisu/odczytu rejestru konfiguracji. Czujnik przeprowadza procedurę pomiaru, której zakończenie informuje niskim stanem na linii DATA. Układ sterowania

wznawia transmisję przyjmując 16 bitów danych, które następnie są zamieniane na postać równoległą i zapisywane do rejestru w module *8051_interface* (Rys. 61).



Rys. 60 Przebiegi sterujące pracą czujników SHT11



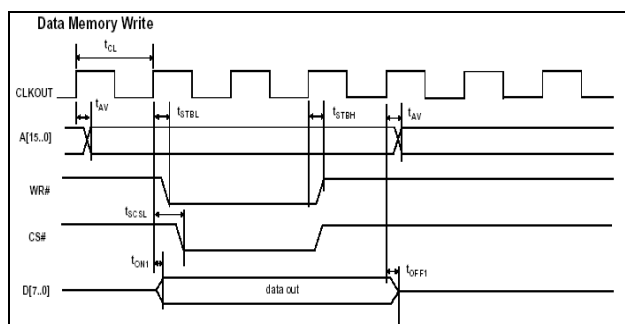
Rys. 61 Układ logiczny odpowiedzialny za sterowanie czujnikami temperatury i wilgotności komunikacją z mikroprocesorem

Dane pomiarowe z czujników są udostępniane mikroprocesorowi za pomocą zestawu rejestrów. Od strony procesora, są one widoczne jako zewnętrzna pamięć RAM. Dzięki takiej implementacji, dane mogą być zapisywane lub odczytywane za pomocą standardowych poleceń

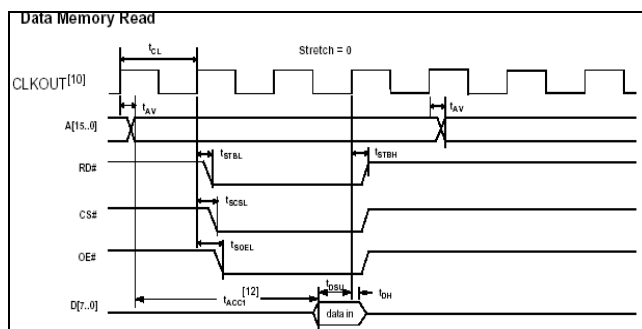
procesora (np. `movx @DPTR,A`) w ten sposób zmniejszając do minimum obsługę programową transmisji.

Moduł *8051_interface* jest zbudowany z zestawu 16 rejestrów 8 bitowych (zatrząsków). Są one sterowane poprzez dekodery adresowy oraz wejścia *nRD*, *nOE* i *nWR*. Przebiegi sygnałów są podane na Rys. 62 i Rys. 63. Podczas operacji na banku rejestrów, najpierw generowany jest adres *A[15..0]*. W tym czasie dekodery adresowe uaktywnia dany rejestr do zapisu/odczytu. Następnie impuls *nWR* zatrząskuje dane z magistrali *D[7..0]* w wybranym rejestrze. Proces odczytu przebiega analogicznie, przy czym impuls na linii *nRD* powoduje wystawienie zawartości rejestru na magistralę danych.

Rejestry z wynikiem pomiaru temperatury / wilgotności mogą być przez procesor tylko odczytywane. Zapisywane są przez blok obsługi czujników *temp/humidity_sensor_control* do pliku rejestrów za pomocą sygnałów *load_t* i *load_h* (Rys. 61).



Rys. 62 Przebiegi podczas zapisu do pamięci



Rys. 63 Przebiegi podczas odczytu z pamięci

Dodatkowo blok rejestrów używany jest do konfiguracji pracy kamery. Kontrolowane są przez niego sygnały:

- *mpp, binning* – tryb pracy czujnika CCD (więcej informacji znajduje się w rozdziale 4.1.1.1),
- *frequency_select* - dane konfiguracyjne dla generatora przebiegów zegarowych *clk_v* i *clk_h* (blok *clk_generator*). Częstotliwości
- *ampli* – sterowanie wzmocnieniem przedwzmacniacza sygnału wizyjnego
- *heating* – sterowanie ogrzewaniem układu optycznego

Blok *clk_generator* (Rys. 61) zbudowany jest na bazie zestawu dzielników częstotliwości oraz multipleksersa. Za pomocą sygnału *frequency_select* wybierane jest wyjście multipleksersa, a zatem częstotliwość przebiegu zegarowego. Zakres częstotliwości wyjściowych to 15kHz – 6MHz. Pozwalają one realizować szeroki zakres prędkości odczytu czujnika CCD.

4.4.2 Driver silnika migawki

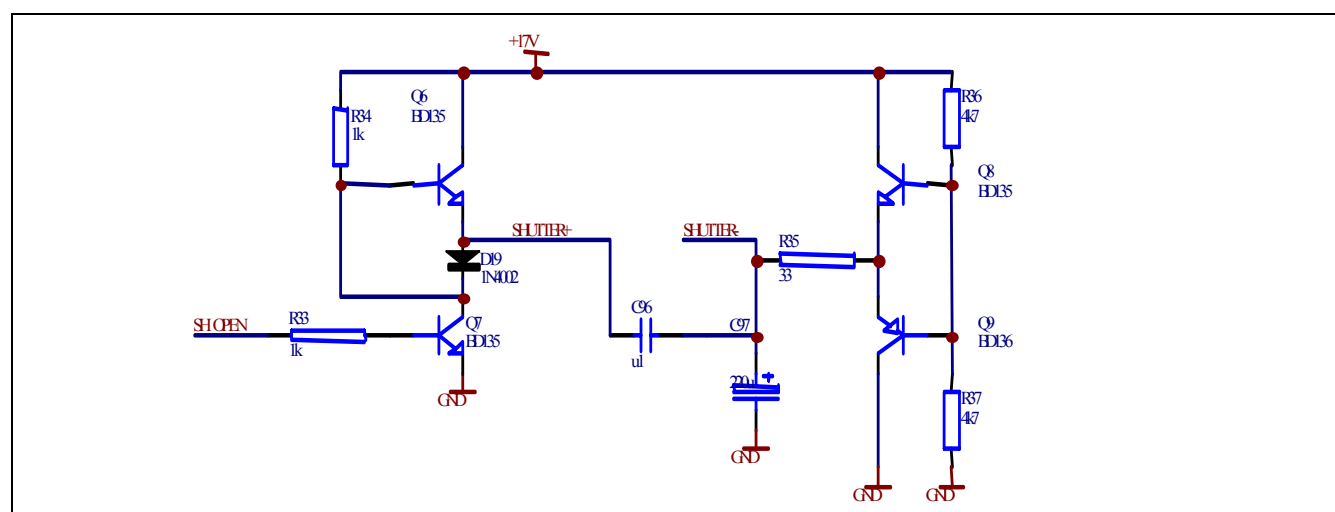
Przyrząd pomiarowy jakim jest kamera wymaga do swojej pracy układu próbkującego. O ile nowoczesne czujniki CMOS posiadają jego elektroniczną implementację, to czujniki CCD nadal potrzebują rozwiązań mechanicznych. Migawka jest mechanizmem sterowanym najczęściej na drodze elektrycznej, mającym za zadanie zapewniać kontrolowany dopływ światła do detektora. Elementem wprawiającym mechanizm w ruch jest zazwyczaj elektromagnes lub miniaturowy silnik. Rozwiązanie zastosowane w kamerze – silnik liniowy – łączy obie cechy wymienionych urządzeń. Zapewnia on dużą szybkość działania, brak elementów stykowych, trwałość oraz szeroki zakres generowanych bezpośrednio przesunięć. Z elektrycznego punktu widzenia przedstawia on szeregowe połączenie rezystancji i indukcyjności.

Jego sterowanie wymaga przyłożenia bipolarnego napięcia – innej polaryzacji dla procesu otwierania, a innej dla zamykania. Największy moment, a co za tym idzie prąd, jest potrzebny podczas ruchu przesłony. Dlatego układ sterujący powinien zapewnić odpowiednią jego wartość podczas procesu przełączania. Natomiast w stanie ustalonym może zmniejszyć jego natężenie, umożliwiając podtrzymanie w stanie zamknięcia lub otwarcia. To rozwiązanie zapewnia zmniejszenie grzania się układu drivera i uzwojenia silnika oraz mniejszy pobór prądu.

Sterownik mechanizmu migawki (Rys. 64) składa się ze stopnia wyjściowego (Q6, Q7, D19) oraz układu zapewniającego odpowiednie napięcie odniesienia (Q8, Q9). Stopień wyjściowy sterowany jest z mikroprocesora sygnałem *sh_open*. Gdy sygnał ten ma stan wysoki, tranzystor Q7 jest nasycony, powodując wejście diody D19 w stan przewodzenia, a Q6 w stan zatkania. Napięcie na wyjściu (*shutter+*) ma wartość około 0.9V.

W przypadku stanu niskiego na wejściu *sh_open*, Q7 jest zatkany, natomiast przewodzi Q6 polaryzowany rezystorem R34. Napięcie na jego emiterze osiąga wartość około 16..17V. Tranzystory Q8, Q9 zapewniają napięcie odniesienia równe w przybliżeniu połowę napięcia zasilania (8..9V). Na zaciskach silnika (*shutter+*, *shutter-*) panuje więc napięcie z zakresu około +8 do -8V w zależności od cyklu pracy.

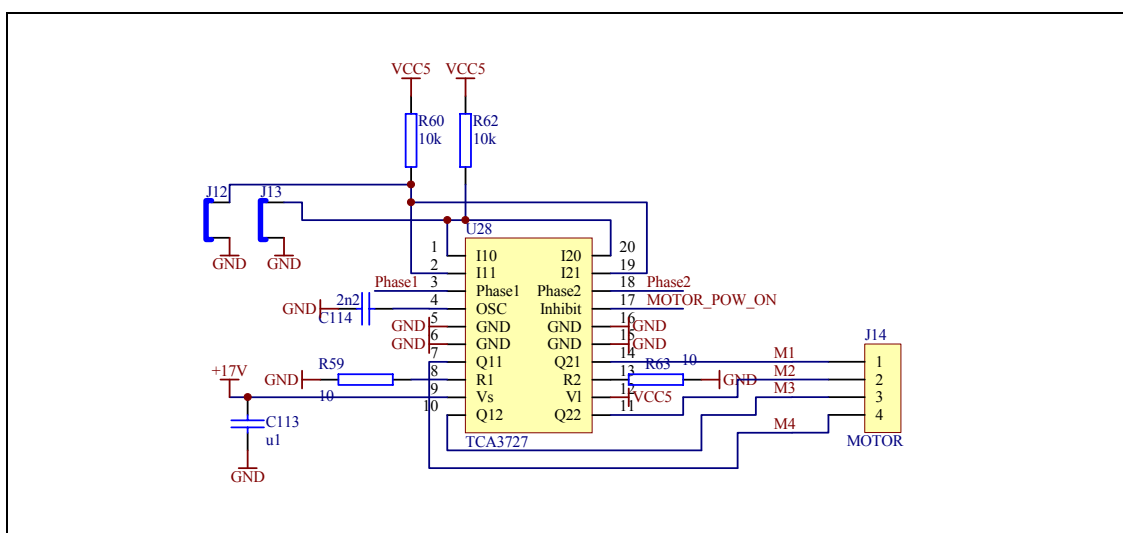
Kondensator C9 gromadzi energię potrzebną podczas poruszania mechanizmu. W stanie ustalonym, prąd silnika jest ograniczany wartością R35 do wartości podtrzymującej jego pozycję. Przebieg sterujący pracą układu generowany jest na drodze programowej. Więcej informacji na temat jego generowania zamieszczonych jest w rozdziale 4.6.



Rys. 64 Sterownik mechanizmu migawki.

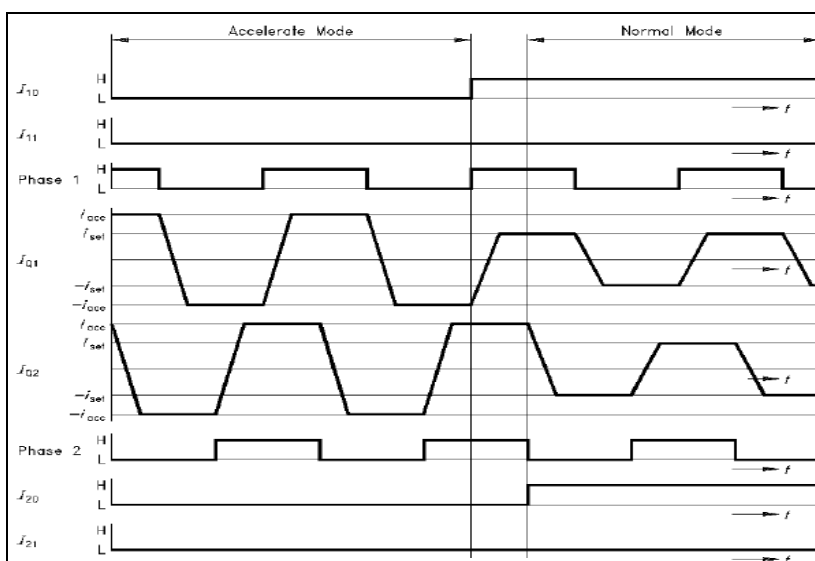
4.4.3 Driver silnika ostrości

Realizacja koncepcji regulacji ostrości obiektywu wymaga implementacji układu sterowania silnikiem krokowym. Został on zbudowany w oparciu o jednokładowy driver mocy TCA3727. Integruje on w sobie stopień mocy oraz układ sterowania. Zapewnia realizację sterowania impulsowego z zadaną wartością prądu [21]. Schemat połączeń przedstawiony na Rys. 65 jest układem pracy zalecanym przez producenta. Zasilany jest z tego samego napięcia co reszta układów analogowych. Ze względu na ilość wprowadzanych zakłóceń, uruchamianie silnika nie odbywa się podczas procesu odczytywania czujnika CCD. Zworki J12, J13 pozwalają na ustalenie wartości prądu płynącego przez cewki silnika, a przez to regulację doprowadzanej do niego mocy. Rezystory R63 i R59 decydują o maksymalnym prądzie wyjściowym układu.



Rys. 65 Sterownik silnika ostrości

Sterowanie układem odbywa się za pośrednictwem mikroprocesora (Rys. 50). Obrót wału silnika wymaga wygenerowania przebiegów widocznych na Rys. 66. Są one generowane na drodze programowej, z maksymalną częstotliwością 100Hz, określoną przez okres przerwań systemowych. Więcej informacji na temat generacji sygnałów sterujących zamieszczonych jest w rozdziale 4.6.2.



Rys. 66 Przebiegi sterujące pracą drivera silnika. Źródło:[21].

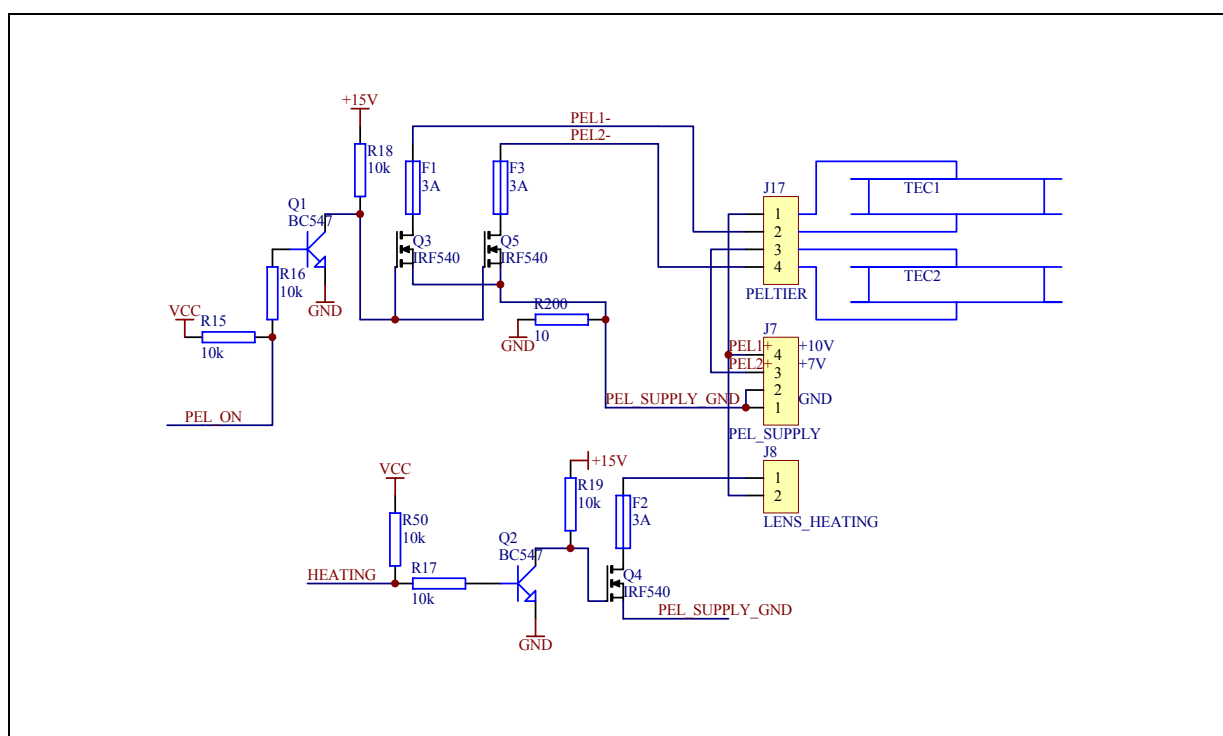
4.4.4 Drivery modułów chłodzących i ogrzewania optyki

Odpowiednio niska temperatura pracy czujnika CCD konieczna dla jego wydajnej pracy, jest zapewniana przez układ chłodzenia oparty na modułach Peltiera. Są one elementami półprzewodnikowymi (tellurek bizmutu) będącymi rodzajem pompy cieplnej umożliwiającej w zależności od polaryzacji modułu grzanie lub chłodzenie wybranego elementu [29]. Warunkiem ich efektywnej pracy jest zapewnienie dobrego odprowadzania ciepła ze strony gorącej. Realizowane jest to za pomocą radiatora wspomaganego przez cichobieżny wentylator.

Moduły chłodzące ze względu na swoją moc potrzebują odpowiednich układów sterujących. Zostały one zbudowane przy użyciu tranzystorów mocy MOSFET (Rys. 67). Ze względu na zastosowanie 2 modułów zasilanych różnymi napięciami, użyto 2 oddzielnych kluczy prądowych Q3,Q5. Bezpieczniki topikowe F1,F3 zabezpieczają zasilacz i klucze przed zwarciami. W celu redukcji zakłóceń wprowadzanych przez przełączanie dużych prądów, zostały rozdzielone masy układów nisko-prądowych i zasilania modułów chłodzących. Rezystor R200 realizuje ich połączenie dla sygnałów sterujących.

Driver jest sterowany z mikroprocesora za pomocą sygnału *pel_on*. Jest on generowany na drodze programowej. Więcej informacji na temat jego generacji jest zamieszczona w rozdziale 4.6.2. Amplituda sygnałów wyjściowych z mikrokontrolera równa 3.3V jest niewystarczająca by w pełni wysterować tranzystor MOS mocy, zatem konieczne okazało się dodanie układu sterującego w postaci tranzystora Q1 i dwóch rezystorów. Zapewnia on amplitudę napięcia na bramce równą 15V, co gwarantuje pełne otwarcie kluczy Q3,Q5, a w rezultacie niskie straty mocy na nich.

Układ wykonawczy systemu ogrzewania optyki zbudowany jest analogicznie do drivera układu chłodzenia. Sygnałem sterującym jest *heating* (opis w rozdz.4.4.1), który za pośrednictwem Q2 włącza klucz Q4. Elementy grzejne dołączone są poprzez złącze J8 i zasilane z zasilacza modułów chłodzących.

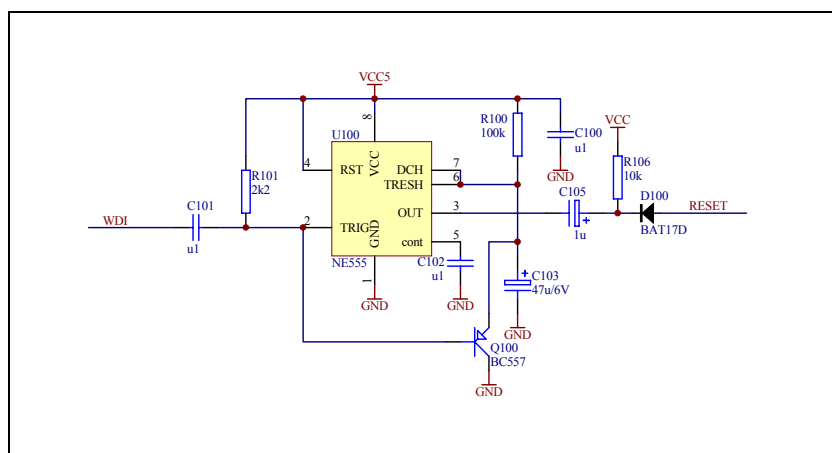


Rys. 67 Schemat układu wykonawczego sterującego modułami Peltier'a oraz ogrzewaniem optyki.

4.4.5 Watchdog Reset

Urządzenie pracujące w sposób automatyczny, bez bezpośredniego nadzoru człowieka, powinno posiadać układy zabezpieczające go przed zakłóceniami w działaniu. W przypadku np. zawieszenia wykonywania programu spowodowanego impulsem zakłócającym lub błędem w oprogramowaniu, powinna być możliwość automatycznego rozwiązania problemu. Funkcję tę pełni układ *watchdog – reset*. Wykrywa on przerwę w wykonywaniu programu i wtedy dokonuje resetu całości systemu.

Został on zbudowany w oparciu o układ timera NE555 (Rys. 68). Aplikacja fabryczna została wzbogacona o 1 tranzystor (Q100). Służy on do rozładowywania kondensatora C103, a w konsekwencji przedłużania czasu, w jakim U100 utrzymuje wyjście (wyprowadzenie 3) w stanie wysokim. Gdy impulsy *WDI* ustaną, napięcie na C103 wzrośnie do poziomu przełączania układu i wtedy wyjście zmieni stan na niski. Zmiana ta zostanie przeniesiona na linię *RESET* powodując wprowadzenie mikrokontrolera w stan początkowy. Po czasie określonym stałą czasową C105, R106, procesor rozpocznie normalną pracę.



Rys. 68 Schemat układu nadzorującego watchdog – reset

Impulsy *WDI* dezaktywujące układ wytwarzane są przez mikrokontroler na żądanie aplikacji sterującej. W przypadku zawieszenia transmisji USB, następuje jej wznowienie. Czas zwłoki określony jest przez R100 i C103 i wynosi kilkadziesiąt s. Tak duża wartość jest konieczna do poprawnego działania procesu aktualizacji oprogramowania. Wtedy bowiem impulsy żądania dezaktywacji watchdog'a nie są wysyłane. Więcej informacji na temat sposobu generacji sygnału WDI znajduje się w rozdziale 4.6.3.

4.4.6 Pamięci konfiguracji i programu

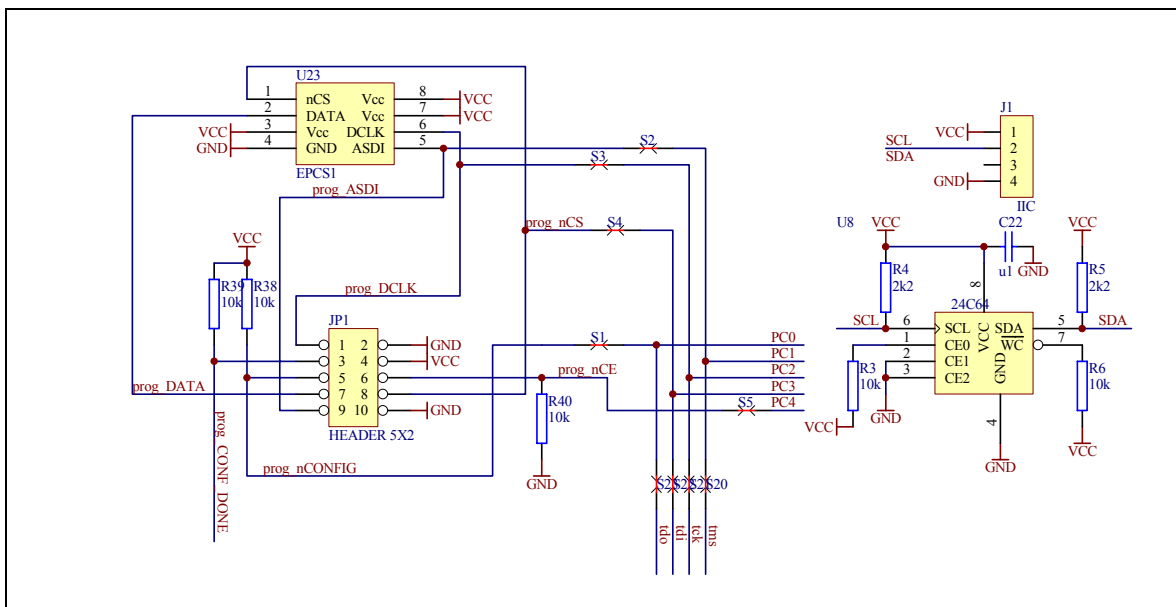
Układ programowalny FPGA posiada ulotną pamięć połączeń. Dlatego po każdorazowym włączeniu zasilania, musi zostać skonfigurowany. W przypadku układów serii Cyclone zadanie to jest ułatwione. Produkowane są szeregowe pamięci FLASH typu *Active Serial*, z których FPGA sam pobiera potrzebne mu dane. Dzięki wbudowaniu do FPGA logiki sterującej tym procesem, zbędny jest zewnętrzny układ konfiguracyjny. Wystarczy dołączenie taniej pamięci szeregowej FLASH. Schemat pokazany jest na Rys. 69. Równolegle do linii sterujących pamięcią dołączone

jest złącze JP1. Pozwala ono na aktualizację zawartości pamięci za pomocą programatora *Byte Blaster II* firmy Altera [26,27].

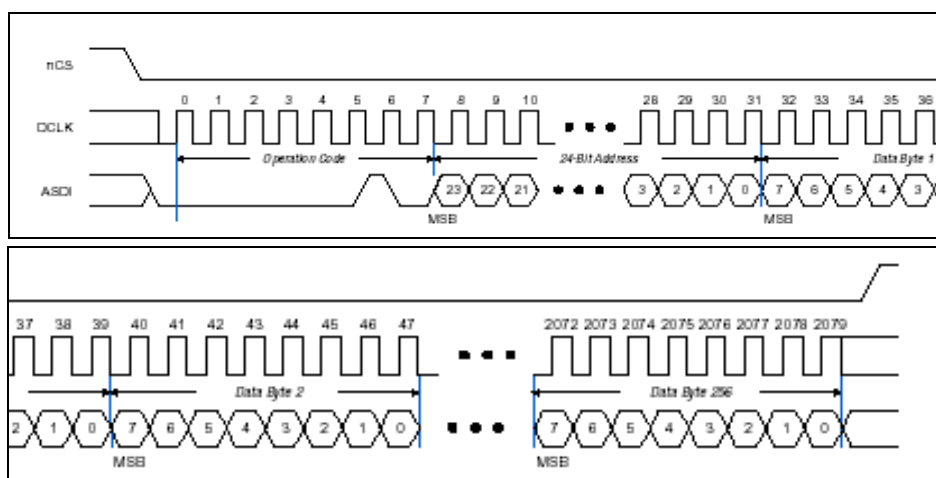
Układ FPGA posiada także interfejs JTAG, dzięki któremu możliwe jest bezpośrednie ładowanie konfiguracji z komputera PC. Przez to złącze dostępne są także opcje wspomagające uruchamianie, takie jak *Signal Tap Analyser*. Narzędzie to pozwala na rejestrację sygnałów w czasie rzeczywistym, bezpośrednio w układzie docelowym. Jest ono dostarczane z pakietem Quartus 4 firmy Altera. Schemat podłączenia złącza JTAG został umieszczony na Rys. 39.

Realizacja koncepcji uaktualniania zawartości pamięci FLASH podczas normalnej eksploatacji urządzenia została w znacznej części zrealizowana programowo. Od strony sprzętowej polega na dołączeniu linii programatora *Active Serial* do portów mikrokontrolera PC0...PC4. Protokół programowania pamięci jest realizowany przez program zawarty w mikroprocesorze. Przykładowe przebiegi generowane podczas zapisu pamięci umieszczone są na Rys. 70.

Do zapisu pamięci wystarczą 3 linie (*prog_nCS*, *prog_AS DI*, *prog_DCLK*). Linia *prog_nCE* służy do odłączenia pamięci od układu FPGA na czas programowania. Natomiast *prog_nCONFIG* inicjuje procedurę konfiguracji.



Rys. 69 Schemat połączeń pamięci konfiguracji (U23) i programu (U8)



Rys. 70 Przebiegi podczas zapisu pamięci FLASH Active Serial

Istnieje także możliwość bezpośredniego konfigurowania układu FPGA przez mikroprocesor za pomocą interfejsu JTAG. Może być ta opcja przydatna w przypadku potrzeby częstej zmiany konfiguracji. W tym celu zamiast zwór S1...S5 należy włutować zwory S20...S23 (Rys. 69).

Układ U8 jest szeregową pamięcią EEPROM z interfejsem I²C [30]. Pełni ona rolę pamięci programu. Mikroprocesor posiada wewnętrzną pamięć programu SRAM, która może być użyta także do przechowywania danych. Przy starcie systemu, odczytuje on magistralę I²C i jeśli jest tam obecna zawartość z danymi spełniającymi określone warunki, to kopiowana jest ona do pamięci wewnętrznej [25]. Możliwy jest także zapis do pamięci SRAM przez interfejs USB. Wymaga to jednak inicjowania jej po każdym włączeniu zasilania.

Złącze J1 służy do dołączenia zewnętrznego układu obsługującego magistralę I²C. Może być nim programator pamięci szeregowych, realizujący programowanie U8 bez potrzeby wymontowywania go z układu. Podczas uruchomienia prototypu niezwykle użyteczny okazał się moduł interfejsu I²C, posiadający klawiaturę oraz wyświetlacz. Po podłączeniu go pod złącze J1, możliwe stało się np. oglądanie zawartości rejestrów czy kontrolowanie przebiegu programu. Wymagało to wstawienia do właściwego programu fragmentów kodu zapewniających obsługę modułu.

Powyższa konfiguracja pamięci programu zapewnia możliwość jej zdalnego uaktualniania. Za pomocą interfejsu USB wgrywany zostaje do pamięci SRAM, dostarczany przez firmę Cypress, kod programatora. Następnie wysyłana jest zawartość pamięci EEPROM. Programator odbiera te dane i umieszcza w pamięci EEPROM. Po zakończeniu operacji, wykonywany jest zdalny reset systemu, który powoduje załadowanie właściwego programu z pamięci EEPROM.

4.5 Konstrukcja mechaniczna

Konstrukcja mechaniczna urządzenia jest nie mniej ważna jak jego część elektroniczna. Decyduje ona o takich parametrach jak trwałość, odporność na warunki środowiskowe, skuteczność odprowadzania ciepła oraz inne parametry użytkowe. Budowa części mechanicznej pierwszego prototypu została zrealizowana własnymi środkami. Natomiast produkcję obecnej wersji powierzono warsztatom mechanicznym IPJ.

W dalszych podrozdziałach znajduje się opis poszczególnych części, które składają się na konstrukcję mechaniczną kamery

4.5.1 Migawka

Element mechaniczny jakim jest migawka, stawia wysokie wymagania jeśli chodzi o wytrzymałość i skuteczność. Dlatego jej konstrukcji poświęcono stosunkowo dużo czasu oraz poddano wnikliwym testom. Z powodów problemów z fabrycznymi migawkami, zbudowanymi w oparciu o mechanizmy ciernie i elektromagnesy (Rys. 71), opracowano własny mechanizm o znacznie lepszej trwałości. Mechanizmy komercyjne zaprojektowane są by wytrzymać około $5 \cdot 10^5$ cykli. Charakteryzują się miniaturowymi wymiarami oraz dużą szybkością (20ms). Wieloletni czas pracy projektu wymaga jednak wytrzymałości przynajmniej 2 rzędy wielkości lepszej. Natomiast rozmiary mechanizmu są sprawą drugorzędną.



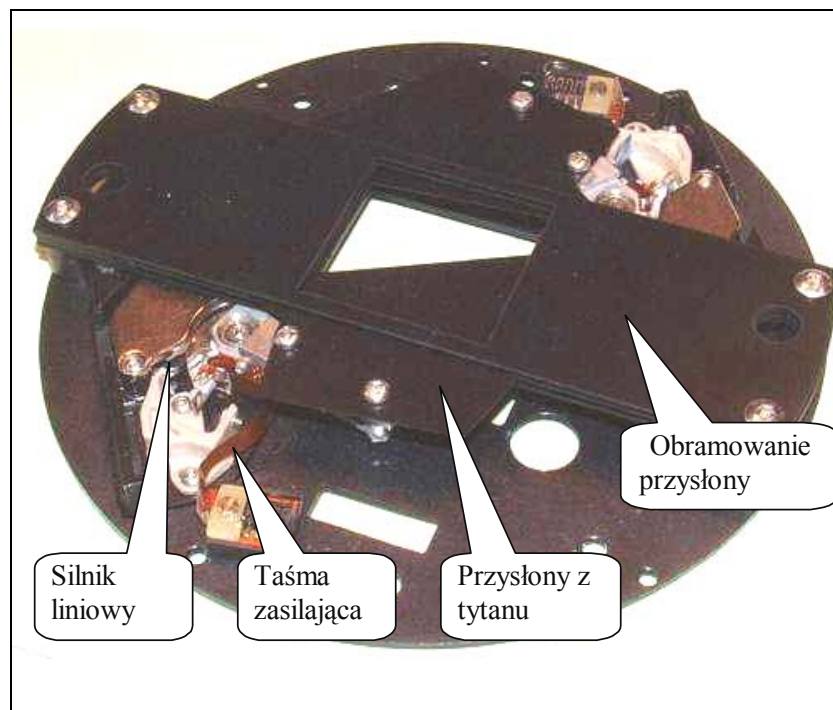
Rys. 71 Fabryczne mechanizmy migawek. Źródło: [31].

Mechanizm migawki został skonstruowany w oparciu o 2 silniki liniowe stosowane w dyskach twardych do pozycjonowania głowicy. Cechuje je znaczna wartość momentu, brak części ciernych mogących powodować zużywanie się oraz szeroki zakres ruchu ramienia (ponad 60°). Ponadto są osadzone na wysokiej jakości łożyskach kulkowych co zapewnia bezgłośną pracę oraz trwałość.

Koncepcja budowy została pokazana na Rys. 16 i Rys. 17, natomiast realizacja na Rys. 72. Otwór przepuszczający światło został podzielony wzdłuż przekątnej na 2 obszary, które są

niezależnie przysłaniane przez 2 przesłony wykonane z tytanu. Są one zamontowane na ramionach silników, które zostały przymocowane do podstawy. Przesłony poruszają się w szczelinach pomiędzy elementami obramowania. Zabezpiecza ono je przed zderzeniami oraz zabezpiecza przed wnikaniem światła z boku. Uzwojenia obu silników są połączone ze sobą równolegle i zasilane ze wspólnego układu sterującego (Rozdział 4.4.2). Poruszają się one w polu magnetycznym wytwarzanym przez silne, neodymowe magnesy stałe. Elementami ograniczającymi ruch ich ramion są miniaturowe gumowe zderzaki zamontowane na kolumnach łączących magnesy.

Podstawą mechanizmu jest blacha aluminiowa zamocowana tuż nad płytką analogową. Zapewnia ona sztywność układu oraz dodatkowo ekranuje go od zakłóceń mogących dostać się od strony optyki. Przeprowadzone testy wytrzymałości konstrukcji wykazały trwałość przekraczającą 10^7 cykli, przy czym nie stwierdzono znaczącego zużycia elementów. Wytrzymałość tę testowano w znacznie trudniejszych warunkach niż docelowe. Częstotliwość cykli zamknięcia/otwarcia sięgała 10Hz, czyli 50x więcej niż docelowo. W ten sposób oprócz znacznego zwiększenia obciążenia mechanizmu, skrócono także czas jego testowania.



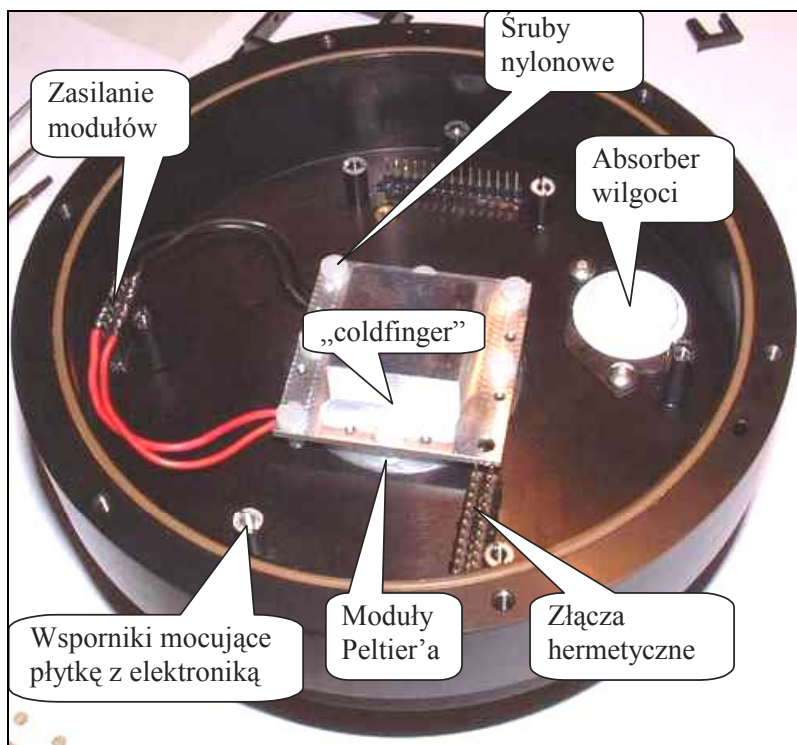
Rys. 72 Konstrukcja mechaniczna migawki

4.5.2 Chłodzenie

Zastosowanie modułów Peltier'a, które pełnią rolę pomp ciepła, pociąga za sobą potrzebę odprowadzania jego nadmiaru do atmosfery. Jest to realizowane za pomocą aluminiowej konstrukcji obudowy połączonej z radiatorem wyposażonym w cichobieżny wentylator. Przekrój przez konstrukcję przedstawiony jest na Rys. 18, natomiast widok od strony komory CCD – na Rys. 73.

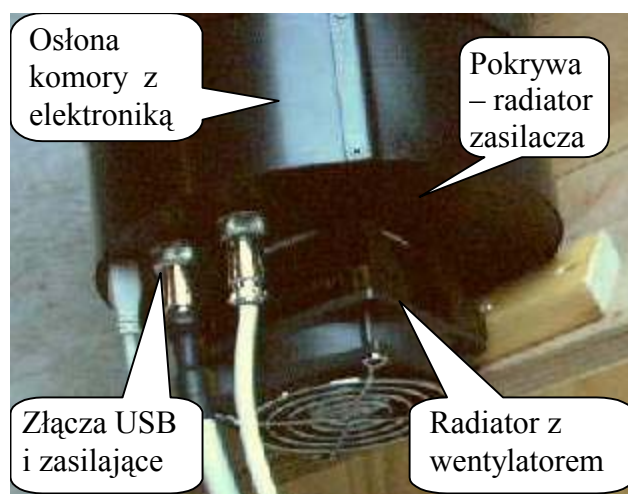
Ciepło zbierane i wytwarzane przez moduł CCD jest transferowane przez moduł Peltier'a do bloku aluminium, będącego jednocześnie podstawą obudowy. Między modułem chłodzącym a

CCD znajduje się blok *coldfinger'a* wykonany z aluminium. Jego zadaniem jest zmniejszanie wahań temperatury spowodowanych impulsowym działaniem systemu chłodzenia oraz zapewnianie równomiernego chłodzenia całej powierzchni styku z CCD. Jest on przykręcony do obudowy kamery za pomocą śrub z nylonu, które charakteryzują się słabą przewodnością termiczną.



Rys. 73 Widok układu chłodzenia od strony komory CCD

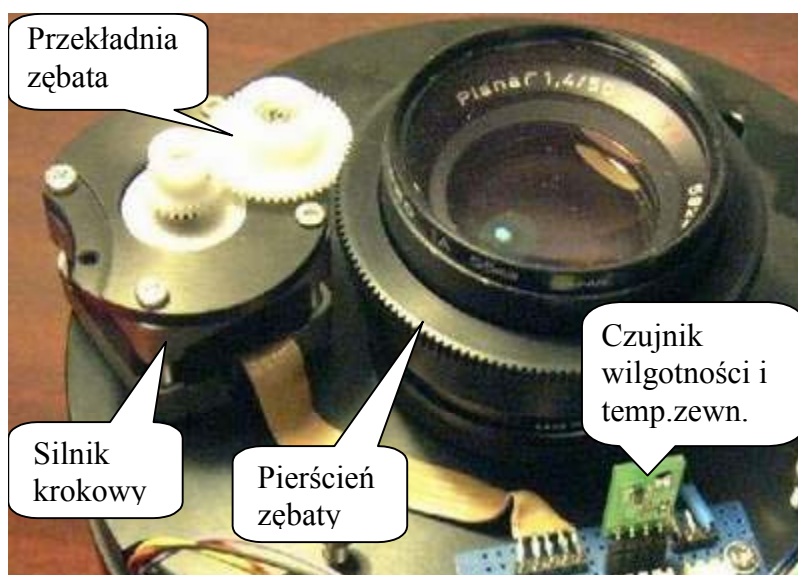
Obudowa kamery pełni także rolę radiatora. Jednakże jej powierzchnia nie jest wystarczająca by odprowadzić ciepło wytwarzane przez system chłodzenia CCD. Dlatego wyposażono ją w radiator wspomagany wentylatorem (Rys. 74). Cechuje się on bardzo niską rezystancją termiczną rzędu 0.05K/W . Głównym czynnikiem ograniczającym transfer ciepła są rezystancje termiczne punktów styku. W celu ograniczenia ich wartości użyto pasty przewodzącej ciepło.



Rys. 74 Odprowadzanie ciepła

4.5.3 Regulacja ostrości optyki

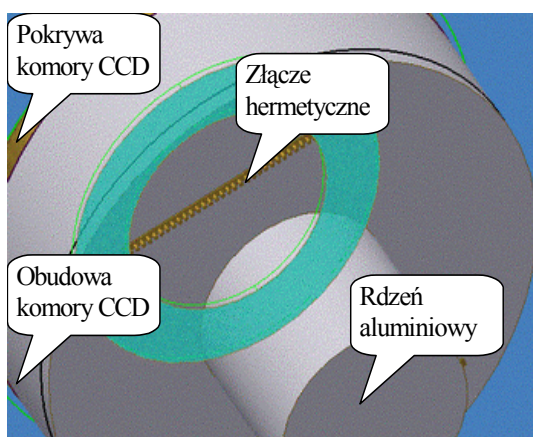
Realizacja koncepcji zdalnej regulacji ogniskowej obiektywu pokazana jest na Rys. 75. Zastosowano miniaturowy silnik krokowy współpracujący z przekładnią zębatą. Przeniesienie napędu na obiektyw zostało zrobione poprzez dodatkowy pierścień zębaty nakładany na pierścień regulacji ogniskowej. Sterowanie silnikiem jest zapewnione poprzez układ opisany w rozdziale 4.4.3.



Rys. 75 Mechanizm regulacji ostrości

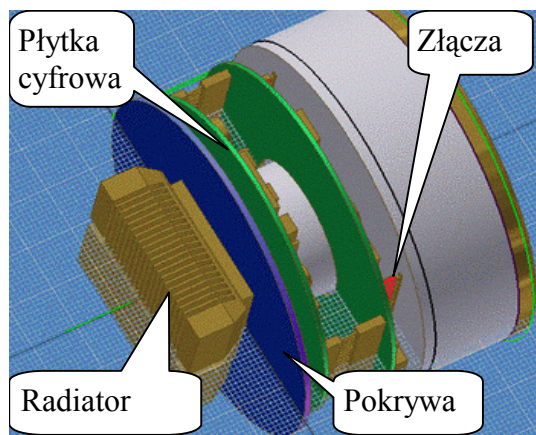
4.5.4 Obudowa i rozmieszczenie płytek

Obudowa kamery została zrealizowana według koncepcji z Rys. 18, z tym że zastosowano pojedynczą płytkę mieszczącą zasilacz i część cyfrową. Elementem nośnym całej konstrukcji jest, wykonana z jednego kawałka aluminium, obudowa komory CCD (Rys. 76). Pełni ona także rolę elementu odprowadzającego ciepło z modułów chłodzących.

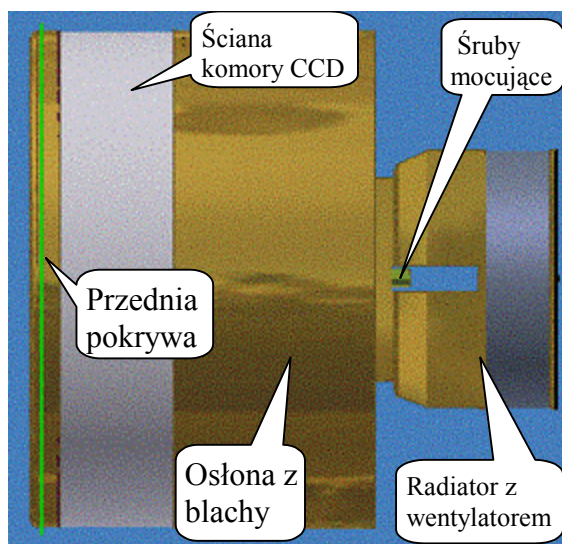


Rys. 76 Obudowa komory CCD – element nośny konstrukcji

Do tylnej płaszczyzny rdzenia, przykręcony jest radiator wraz z tylną pokrywą kamery (Rys. 77). Pokrywa ta stanowi mocowanie dla gniazd oraz zapewnia odprowadzanie ciepła z zasilaczy umieszczonych na płytce pod nią. Ciepło z zasilaczy przekazywane jest poprzez kątownik wykonany z aluminium (Rys. 38). Przykręcony jest on do wewnętrznej części pokrywy. Mocowana jest ona do radiatora, a ten do rdzenia. Do pokrywy jest zamocowany za pomocą wkrętów, pasek blachy będący osłoną płytki z elektroniką (Rys. 78).



Rys. 77 Umieszczenie płytki cyfrowej i zasilaczy



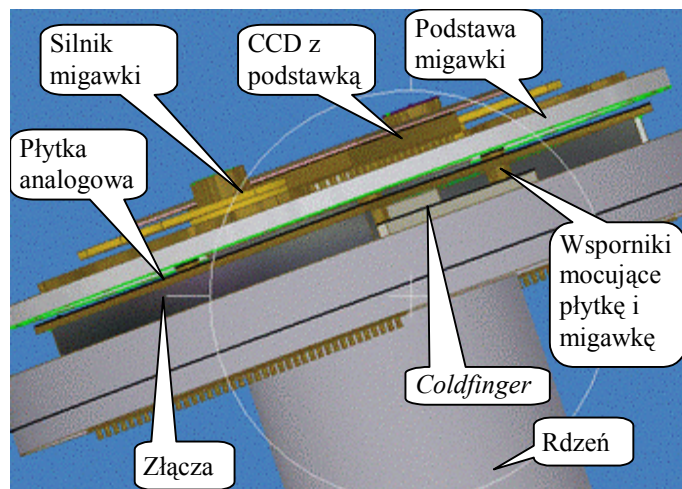
Rys. 78 Widok obudowy z boku

Na dnie komory CCD znajdują się moduły chłodzące. Ułożone są one w stos, co skutkuje większą skutecznością chłodzenia w porównaniu z pojedynczym elementem. Na wierzchu stosu zamontowany jest *coldfinger*, a na nim czujnik CCD (Rys. 73). CCD jest połączony z płytą części analogowej elektroniki za pomocą podstawki. Płytki przykręcone są do obudowy za pomocą 4 wsporników. Na tych samych wspornikach, nad płytą przymocowany jest mechanizm migawki.

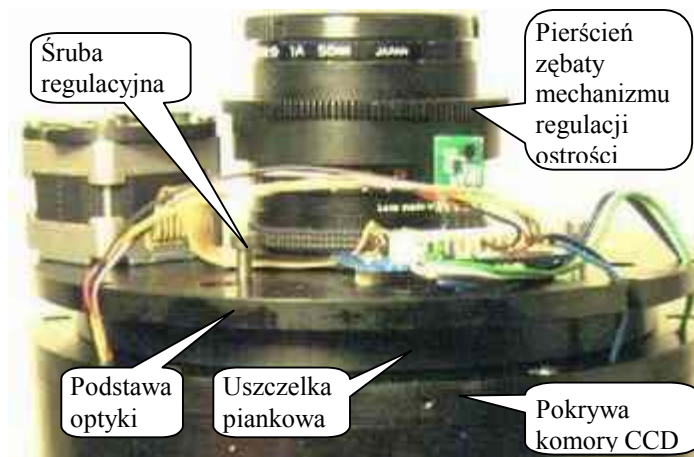
Komora CCD jest zamknięta od przodu pokrywą. Jest ona przykręcona do ścian obudowy za pomocą wkrętów rozmieszczonych na obwodzie. W centralnej części posiada otwór z zamontowanym filtrem fotograficznym. Zapewnia on hermetyczność komory oraz wycina podczerwoną część widma docierającą do kamery.

Precyzyjne pomiary wymagają dokładnego ustawienia czujnika CCD tak, aby był prostopadły do osi obiektywu. Dokładność wykonania mechaniki oraz obiektywu nie zapewnia

spełnienia tego warunku. Dlatego przewidziano możliwość pozycjonowania obiektywu za pomocą ruchomej platformy przykręconej do pokrywy komory CCD (Rys. 80). Platforma ta pełni rolę podstawy dla układu optycznego oraz mechanizmu regulacji ostrości. Pomiędzy pokrywą a obiektywem umieszczono piankową uszczelkę, która chroni miejsce złączenia przed dostępem światła.



Rys. 79 Montaż migawki oraz płytki analogowej



Rys. 80 Widok mechanizmu pozycjonowania obiektywu

4.6 Oprogramowanie sterujące

Program wykonywany na mikroprocesorze USB CY7C68013 serii 8051 ma za zadanie koordynację współpracy wszystkich modułów kamery. Odpowiada ono za przebieg procesu pomiarowego, pomiar czasu migawki, sterowanie silnikiem ostrości obiektywu, pomiar i stabilizację temperatury. Dokonuje także interpretacji komend przekazywanych przez komputer nadrzędny oraz wysyła wyniki pomiarów i status urządzenia. Program został napisany w asemblerze i jest podzielony na następujące moduły:

- USB.asm - program główny
- T0_ISR.asm - przerwanie systemowe 10ms (timer T0)
- EP1_OUT.asm - przerwanie USB – *Endpoint 0*
- EPCS_DOWN.asm – programator pamięci EPCS1
- HS_IRS.asm przerwanie USB – tryb *High Speed* oraz EXT5 – koniec odczytu CCD
- przerwanie od timera T2 – pomiar temperatur

W dalszych rozdziałach znajduje się opis poszczególnych modułów.

4.6.1 Program główny

Program ten jest wykonywany jako pierwszy od momentu resetu. Dokonuje on inicjalizacji i konfiguracji peryferii procesora oraz innych elementów układu po czym wchodzi w nieskończoną pętlę.

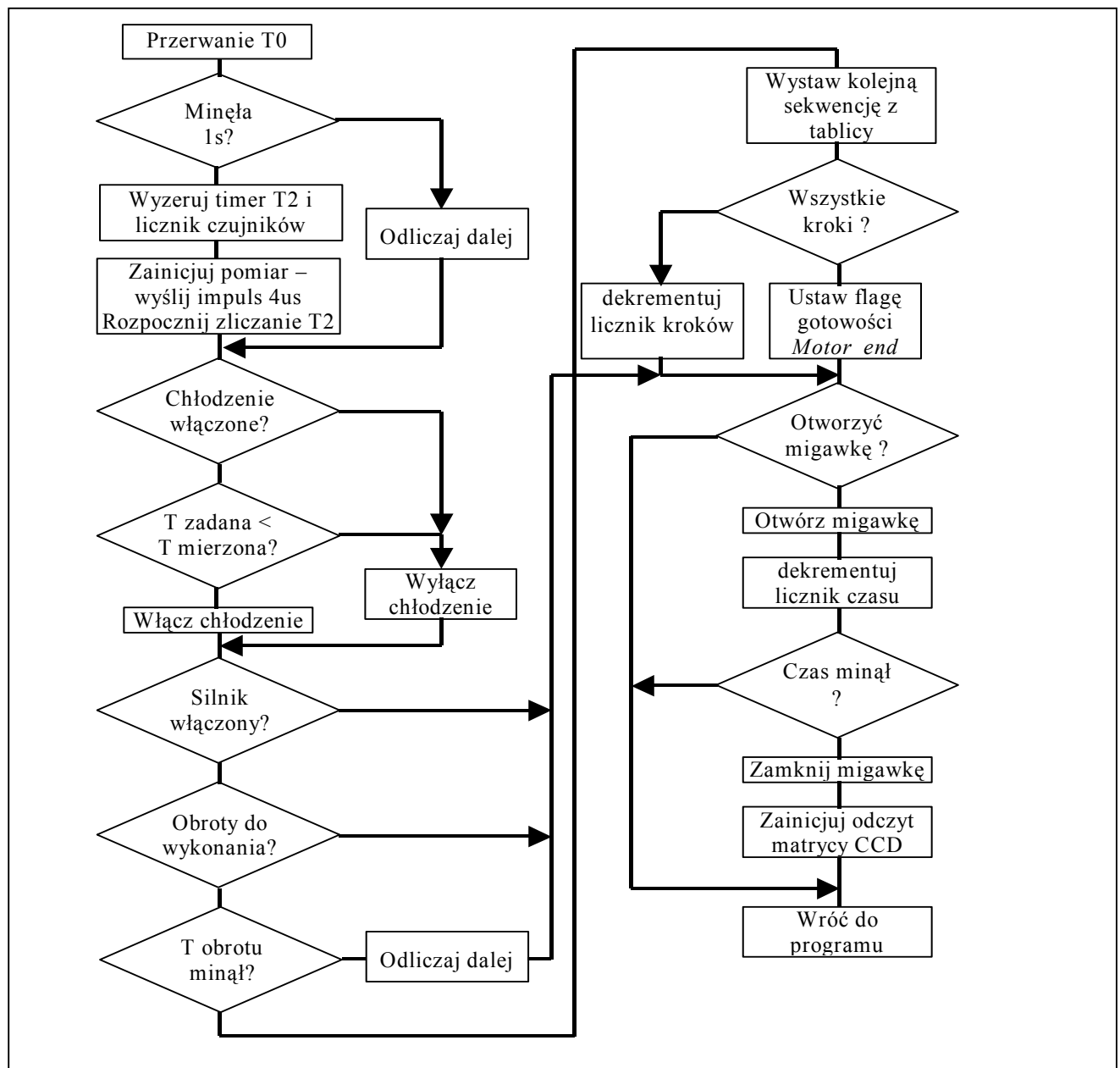
Realizuje on następujący algorytm:

- Ustaw domyślne stany na liniach I/O procesora
- Ustaw automaty w FPGA w stan początkowy
- Ustaw domyślny czas migawki i szybkość silnika
- Wprowadź driver silnika w stan obniżonego poboru mocy
- Wyzeruj flagi statusu
- Wymuś tryb usb1.1 interfejsu
- Zainicjuj rejestry konfiguracyjne w FPGA
- Przygotuj bufor EP1 USB na przychodzące dane
- Skonfiguruj przerwania od USB
- Włącz tryb automatycznego przetwarzania protokołu USB
- Skonfiguruj moduł *Slave FIFO*
- Wyczyść bufor EP81, EP1 i EP6
- Ustaw tryb sygnalizacji stanu pamięci FIFO za pomocą flag
- Ustaw parametry pakietów USB
- Skonfiguruj timer T0 – przerwanie systemowe
- Skonfiguruj timer T2 – przerwanie pomiaru temperatur
- Włącz przerwania od timerów
- Wejdź w pętlę nieskończoną

Podczas gdy procesor wykonuje program pętli nieskończonej, kontrolę nad kamerą przejmują procedury wykonywane w przerwaniach. Taka konstrukcja programu zmniejsza ryzyko zawieszenia jego wykonania, gdyż przerwanie jest w stanie wyrwać procesor z nieplanowanej pętli. Zapewnia także szybki czas reakcji na zdarzenie oraz przejrzystą budowę i niezależność poszczególnych modułów od siebie.

4.6.2 Przerwanie systemowe

Przerwanie systemowe generowane co 10ms jest wzorcem czasu dla algorytmów sterujących pomiarem i stabilizacją temperatury CCD, migawką oraz silnikiem krokowym. Zastosowanie jednego, wspólnego przerwania do realizacji kilku zadań uprościło konstrukcję programu. Ilość układów czasowych w procesorze jest ograniczona i nie ma możliwości użycia osobnego do realizacji każdego zadania. Algorytm umieszczony jest na Rys. 81



Rys. 81 Algorytm procedury obsługi przerwania systemowego

4.6.3 Przerwanie USB EP0

Przerwanie to jest generowane przez interfejs USB w chwili otrzymania ważnego pakietu od komputera nadrzędnego. Pakiet ten zostaje umieszczony w buforze odbiorczym o adresie 0x01. Dane odbierane przez interfejs i umieszczane w buforze mogą być rozkazami lub zawartością pamięci do zaprogramowania. Rozkazy są ułożone hierarchicznie. Pierwszy bajt oznacza rodzaj komendy lub jej adresata. Następne bajty są uszczegółowionymi rozkazami lub parametrami. Procedura obsługi przerwania interpretuje oraz wykonuje rozkaz. Wykaz rozkazów wraz ze znaczeniem poszczególnych bajtów znajduje się w tabeli 1.

Wartość 1 bajtu	Znaczenie 1 bajtu	Znaczenie 2 bajtu		Znaczenie 3 bajtu	Znaczenie 4 bajtu	
0x01	Konfiguracja procesora sygnału wizyjnego	Adres rejestru procesora Zakres 0..7		Wartość do zapisania		
0x02	Czas otwarcia migawki Jednostka : 10ms	MSB		LSB		
0x03	Rozpoczęcie sekwencji pomiarowej					
0x04	Sterowanie silnikiem ostrości	rozkaz	0x01	Ilość kroków w lewo	MSB	LSB
			0x02	Ilość kroków w prawo	MSB	LSB
			0x03	Okres pomiędzy krokami * 10ms	LSB	
			0x04	Startuj silnik		
			0x05	Zatrzymaj silnik		
			0x06	Włącz zasilanie silnika		
			0x07	Wyłącz zasilanie silnik		
0x05	Sterowanie binning’iem		0x01	Włącz binning		
			0x02	Wyłącz binning		
0x06	Sterowanie trybem MPP		0x01	Włącz tryb MPP		
			0x02	Wyłącz tryb MPP		
0x07	Sterowanie chłodzeniem		0x01	Włącz chłodzenie CCD		
			0x02	Wyłącz chłodzenie CCD		
			0x03	Ustaw temperaturę	Wartość temperatury w kodzie PB	
0x08	Rozpoczęcie transferu danych pomiarowych					
0x09	Reset FPGA, bufor USB					
0x0A	Żądanie statusu urządzenia	0x00	Status i wartości temperatur			
		0xAA	Dodatkowo wartości wilgotności (12 bajtów)			
0x0B	Ustala prędkość odczytu CCD	Ustawienia częstotliwości zegarowych dla CCD				
0x0C	Rozpoczęcie sekwencji czyszczenia CCD					
0x0D	Wzmocnienie przedwzmacniacza	0x01	Wzmocnienie x20			
		0x02	Wzmocnienie x8			
0x0E	Sterowanie ogrzewaniem optyki	0x01	Ogrzewanie włączone			
		0x02	Ogrzewanie wyłączone			

0x0F	Rozpoczęcie sekwencji pomiaru ciemnej klatki			
0x10	Dezaktywacja układu Watchdog na 20s			
0xDD	Programowanie układu ECS1	Następne dane są bez interpretacji zapisywane do EPCS1 aż do zapelnienia pamięci (128KB)		

Tabela 1 Zestawienie komend sterujących kamerą

W tabeli 2 zawarto strukturę danych statusu urządzenia. Dane te wysyłane są na żądanie do bufora nadawczego 0x81 i służą synchronizacji procesu pomiarowego oraz monitorowaniu funkcji układu. Rozkazem żądania statusu jest wartość 0x0A. W celu zachowania kompatybilności z poprzednimi wersjami oprogramowania, oraz zapewnieniu obsługi pomiaru wilgotności, rozkaz ten został rozszerzony o parametr. Decyduje on, czy wartość wysłana w kierunku komputera nadrzędnego będzie miała 4 czy 12 bajtów.

Numer bajtu	Znaczenie
1	Temperatura CCD w kodzie PB : 0 = -128 stopni, 255 = +127 stopni
2	bit
	0 Interfejs: 1 = USB 2.0, 0 = USB1.1
	1 Migawka otwarta
	2 Silnik obraca się
	3 Chłodzenie włączone
	4 Aktualny kierunek silnika, 0 = lewo, 1 = prawo
	5 Nie używane
	6 Koniec ruchu silnika
	7 Koniec czytania CCD – dane gotowe do odebrania
3	Temperatura obudowy w kodzie PB : 0 = -128 stopni, 255 = +127 stopni
4	Temperatura otoczenia w kodzie PB : 0 = -128 stopni, 255 = +127 stopni
5	LSB temperatury wnętrza komory CCD
6	MSB temperatury wnętrza komory CCD
7	LSB wilgotności wnętrza komory CCD
8	MSB wilgotności wnętrza komory CCD
9	LSB temperatury zewnętrznej
10	MSB temperatury zewnętrznej
11	LSB wilgotności zewnętrznej
12	MSB wilgotności zewnętrznej

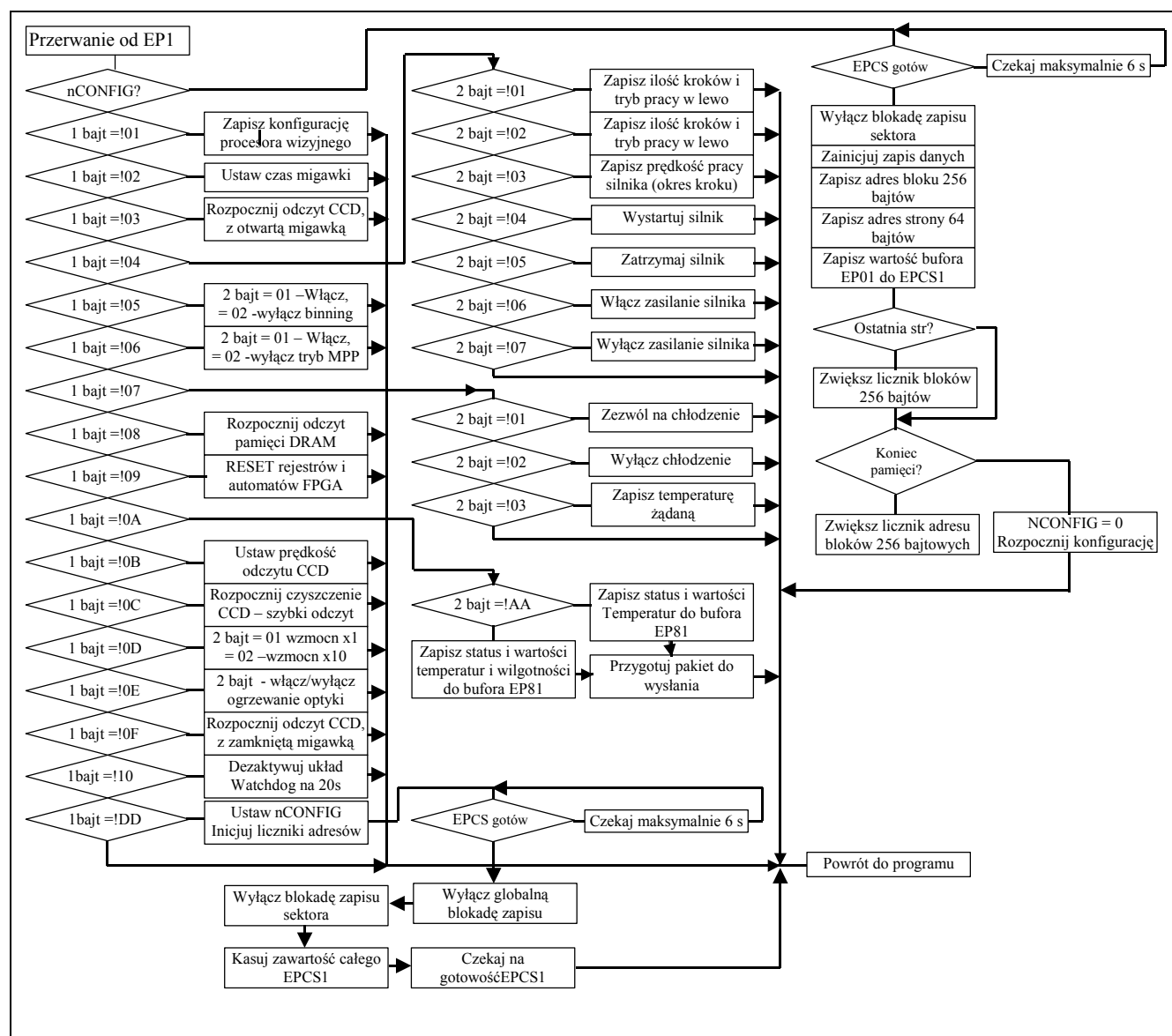
Tabela 2 Struktura wyniku pomiaru temperatury, wilgotności i statusu urządzenia

Algorytm obsługi przerwania najpierw sprawdza, czy ustawiona jest flaga zapisu do pamięci. Jeśli tak, to wywoływana jest procedura zapisująca zawartość bufora (64 bajty) do pamięci FLASH. Zapis dokonywany jest przez moduł EPCS_DOWN.asm . Jeśli flaga jest wyzerowana, to dekodowany jest pierwszy bajt z bufora. Jego wartość decyduje o rodzaju komendy lub jej

przeznaczeniu. W przypadku komend bez argumentów, są one wykonywane. Polega to na ustawieniu odpowiednich linii wyjściowych procesora lub rejestrów FPGA. Jeśli komenda posiada parametry, następuje dalsze ich dekodowanie oraz wykonanie. Wykonanie może także dotyczyć ustawienia odpowiednich flag, które następnie zezwalają na pracę innych procesów. Uproszczony algorytm obsługi przerwania od interfejsu USB jest umieszczony na Rys. 82

4.6.4 Moduł programatora EPCS1

Programator pamięci EPCS1 został napisany jako procedura wywoływana z poziomu przerwania od interfejsu USB (EP0).



Rys. 82 Algorytm pracy interpretera poleceń oraz programatora EPCS1

Po otrzymaniu rozkazu aktualizacji zawartości pamięci, interpreter poleceń ustawia linię nCONFIG (Rys. 69) układu FPGA, w ten sposób uniemożliwiając mu dostęp do pamięci. Dokonywane jest także inicjowanie i kasowanie układu wg następującego algorytmu:

- Zainicjuj liczniki bajtów i adresów do programowania
- Sprawdź gotowość układu EPCS1, jeśli w ciągu 6s nie odpowie, sygnalizuj błąd i opuść procedurę
- Odbezpiecz globalną blokadę zapisu pamięci
- Odblokuj zapis sektorów pamięci
- Czekać na gotowość układu
- Wykasuj zawartość całego układu
- Czekać na gotowość układu

Po otrzymaniu następnego pakietu danych, sprawdzany jest stan linii nCONFIG, i jeśli jest wysoki, następuje wywołanie procedury programatora. Procedura ta działa według następującego algorytmu:

- Czekać na gotowość układu
- Odbezpiecz możliwość zapisu bloku
- Zainicjuj zapis
- Zapisz adres początkowy bloku 256 bajtów
- Zapisz adres początkowy strony 64 bajtów
- Zapisz 64 bajty danych z bufora EP0 generując przebiegi jak na rys.68.
- Sprawdź w którym z bloku 256 bajtów znajduje się licznik stron 64 bajtowych, jeśli w ostatnim, zwiększ licznik bloków i uaktualnij wartość adresu do zapisu
- Sprawdź czy cała pamięć została zapisana, jeśli tak to ustaw stan niski na linii nCONFIG, zezwalając na załadowanie konfiguracji do FPGA.

Algorytm przedstawiający m.in. pracę programatora został przedstawiony na Rys. 82

4.6.5 Przerwania USB HS i EXT5

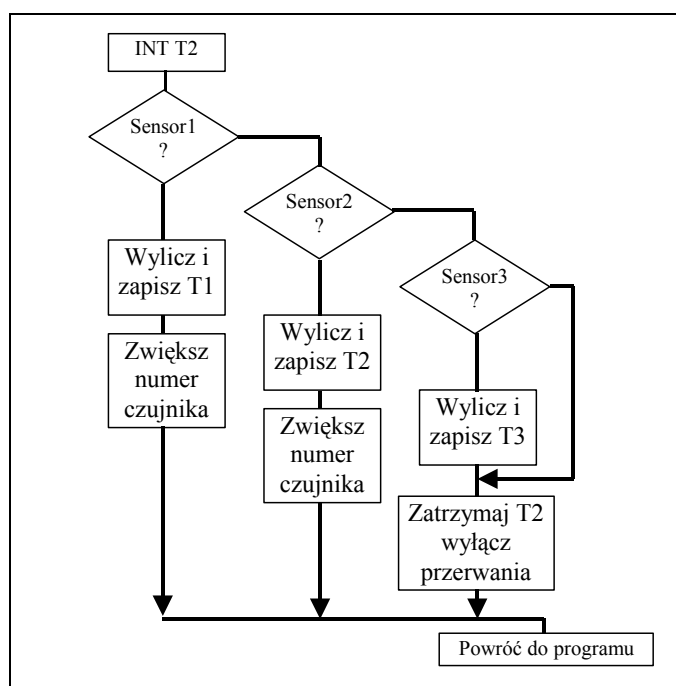
Po uruchomieniu programu, ustawiany jest domyślny tryb pracy interfejsu – USB1.1. W przypadku dołączenia układu do hosta wspierającego standard USB2.0, konieczne jest przekonfigurowanie bufora wyjściowego (EP86). Dokonywane jest to przez przerwanie *High Speed* generowane przez interfejs USB w chwili wykrycia dołączenia hosta USB2.0. Procedura jego obsługi zmienia rozmiar wysyłanego pakietu z 64 na 512 bajtów.

Przerwanie zewnętrzne EXT5 jest użyte do wykrywania końca odczytu matrycy CCD. Automat sterujący układami odczytu CCD wystawia sygnał EOS (*End Of Scan*) sygnalizując zakończenie sekwencji. Opadające zbocze tego sygnału powoduje wygenerowanie przerwania. Procedura obsługująca go ustawia flagę gotowości danych pomiarowych, która może zostać następnie odczytana przez komputer nadrzędny.

4.6.6 Przerwanie od timera T2

Timer T2 wraz z układami pomocniczymi został użyty do realizacji procedury pomiaru temperatury. Współpracuje on z 3 czujnikami temperatura – czas typu MAX6575L. Opis struktury sprzętowej został umieszczony w rozdziale 4.4.1.

Pomiar temperatury zostaje zainicjowany przez procedurę obsługi przerwania timera T0. Generuje ona impuls 4us na linii danych czujników. Uaktywnia także przerwanie od timera T2 i zaczyna się odliczanie. W chwili zakończenia przetwarzania wyniku przez pierwszy czujnik, generuje on impuls na linii, który przepisuje zawartość licznika do rejestru pomocniczego. Generowane jest także przerwanie. W procedurze jego obsługi następuje odczytanie tego rejestru, przemnożenie jego zawartości przez współczynnik korekcyjny oraz zapisanie wyniku do rejestru temperatury. Procedura powtarzana jest dla 2 pozostałych czujników, po czym timer T2 jest zatrzymywany a przerwanie od niego wyłączone. Algorytm programu przedstawiono na Rys. 83.



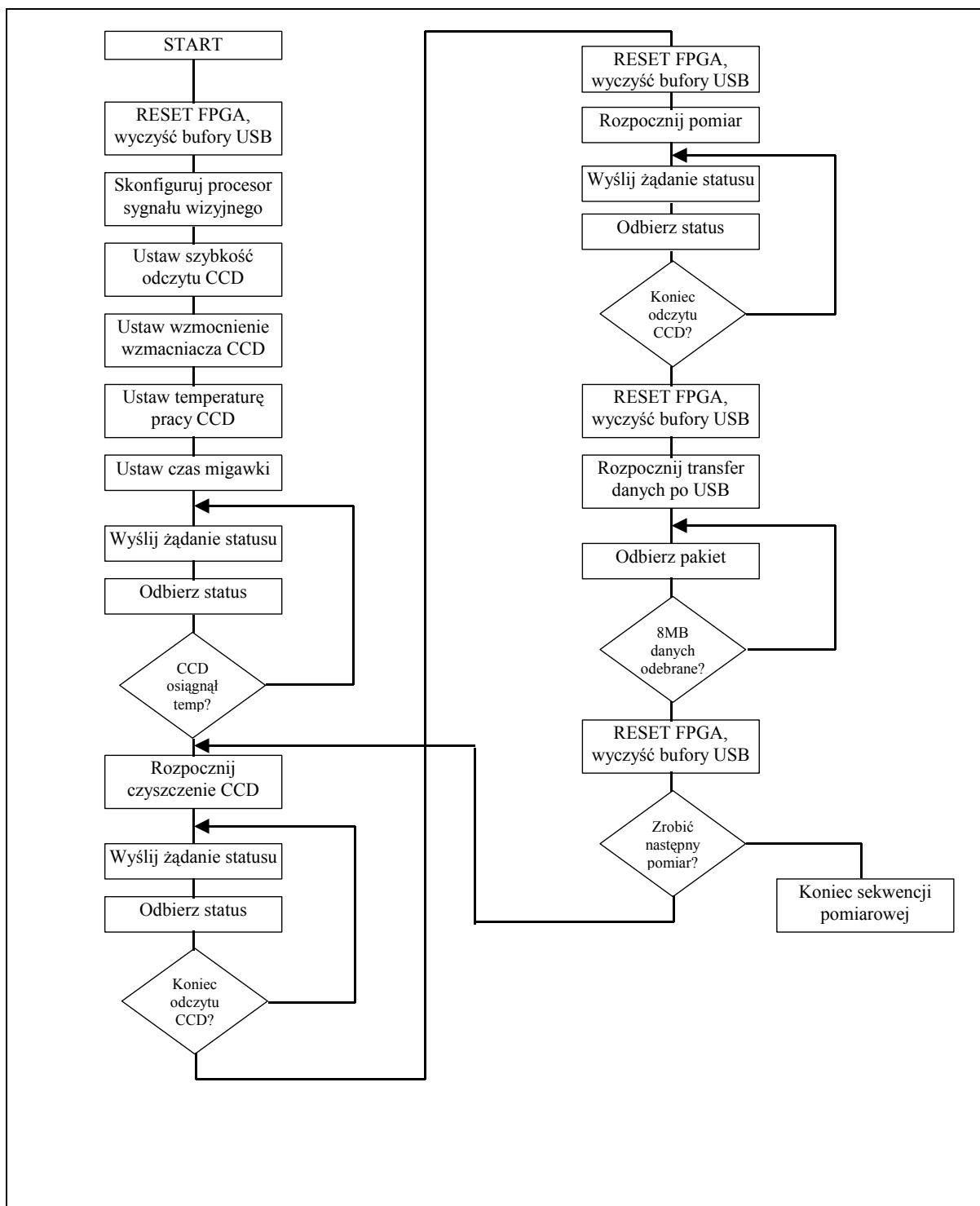
Rys. 83 Algorytm procedury obsługi przerwania od timera T2

4.6.7 Przebieg procesu pomiarowego

Proces pomiarowy składa się z 3 faz:

- gromadzenie ładunku na powierzchni CCD
- sczytywanie ładunku, konwersja i zapis do pamięci DRAM
- transfer USB z pamięci do komputera nadrzędnego

Dodatkowo istnieje faza konfiguracji parametrów naświetlania, sczytywania i konwersji na postać cyfrową. Przebieg procesu pomiarowego zamieszczony jest na Rys. 84.



Rys. 84 Przebieg procesu pomiarowego

5. Testy

Każde nowoopracowane urządzenie powinno przejść procedury testujące jego parametry. Ma to za zadanie weryfikację jego działania. Celem testów jest sprawdzenie czy rzeczywiście spełnione są wymagania narzucone przez odbiorcę oraz porównanie wyników z podobnym sprzętem dostępnym na rynku. Zostały one przeprowadzona w laboratorium , w tymczasowym obserwatorium w Polsce oraz w docelowym eksperymencie w Chile.

5.1 Testy aparaturowe

Parametrami krytycznymi dla eksperymentu są trwałość migawki oraz szum odczytu. Ich testowaniu poświęcono najwięcej wysiłku.

Prototyp migawki poddano długotrwałym testom ze znacznie większą częstotliwością niż podczas normalnej pracy. Użyto takiego samego układu sterującego jak w kamerze. Układ testowy składał się z generatora impulsów prostokątnych, układu sterującego, zasilacza i mechanizmu migawki. Częstotliwość impulsów wynosiła 10Hz. Dzięki zastosowaniu 50-krotnie większej częstotliwości, znacznie skrócono czas badania oraz osiągnięto znacznie szybsze zużywanie się mechanizmu. Po osiągnięciu przez migawki 4 miesięcy nieprzerwanej pracy (około 10^7 cykli), zdemontowano część mechaniczną a elementy poddano badaniom. Zaobserwowano jedynie niewielkie zużycie części przysłon, które miały kontakt ze śrubami mocującymi. Także gumowe amortyzatory, które łagodziły skutki uderzeń ramion silnika o ograniczniki, nosiły ślady zużycia. Migawki zostały następnie zmontowane i poddane dalszym testom.

Parametry szumowe systemu pomiarowego zostały zmierzone w warunkach laboratoryjnych. W tym celu została dokonana seria pomiarów z zamkniętą migawką i temperaturą czujnika CCD ustawioną na docelową wartość -15 stopni Celsjusza. Następnie z danych pomiarowych sporządzono histogramy. Metoda ta ma dwa cele. Pozwala wykryć przekłamania na drodze transmisji cyfrowej, np. brakujące bity spowodowane zwarciami lub przerwami na liniach danych. Umożliwia także precyzyjny pomiar wartości szumów.

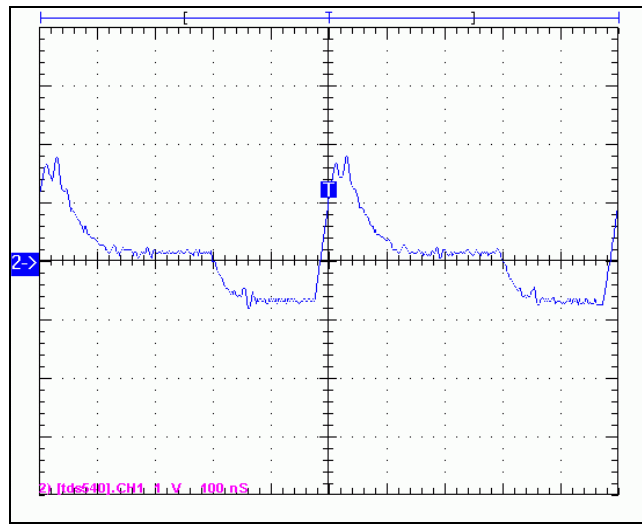
kamera	Czułość CCD [$\mu\text{V}/\text{e}$]	Częstotliwość Odczytu [MHz]	Wzmocnienie Przedwzmacniacza [V/V]	Szum RMS [e^-]	Zakres ADC	Ilość bitów efektywnych ADC
K2a	4.12	1	20	11.6	1:5958	12.5
	4.12	2	8	15.9	1:10868	13.4
K2b	4.03	1	20	10.9	1:6508	12.7
	4.03	2	8	16.0	1:11108	13.4

Tabela 3 Wyniki pomiaru szumów odczytu.

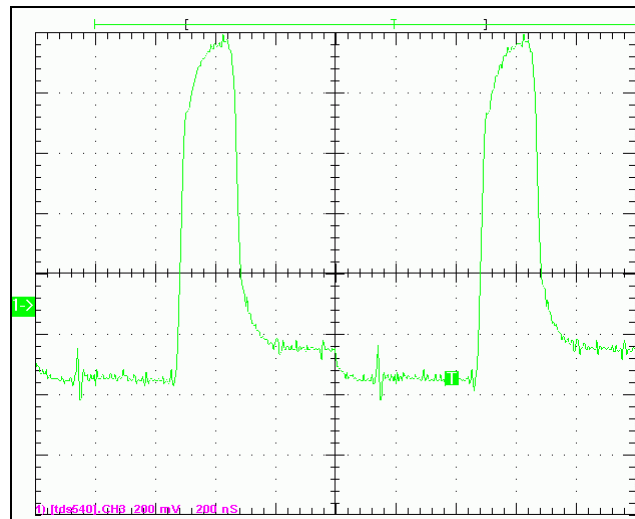
Struktura danych z CCD składa się oprócz części niosącej informację o obrazie, także z m.in. pól odpowiedzialnych za pomiar prądu ciemnego. Dodatkowo czujniki CCD posiadają tzw. „gorące piksele”. Obliczenie wartości szumu ze wszystkich wartości danych byłoby więc niemiarodajne. Dlatego sporządzony został histogram. Za pomocą metody najmniejszych kwadratów, została do niego dopasowana funkcja Gaussa. Znając parametry tej funkcji oraz

wzmocnienia i współczynniki konwersji poszczególnych części toru analogowego, można wyznaczyć szum odczytu całego toru. Badania szumu odczytu przeprowadzono dla dwóch egzemplarzy kamer, przy dwóch prędkościach odczytu. Wyniki umieszczono w tabeli 3. Szum odczytu jest znacznie mniejszy niż wymagania stawiane przez eksperyment ($20 e^-$).

W ramach testów sprawdzono poprawność działania przedwzmacniacza odczytu oraz sygnałów sterujących pracą procesora sygnału wizyjnego. W tym celu zdjęto oscylogramy przebiegów na wejściu procesora video i sygnałów zegarowych w odniesieniu do sygnału analogowego. Miało to na celu zbadanie czy pasmo przenoszenia przedwzmacniacza jest wystarczające, oraz czy nie pojawiają się oscylacje lub inne widoczne zakłócenia. Na Rys. 85 i Rys. 86 zamieszczono dwie kopie ekranu oscyloskopu.



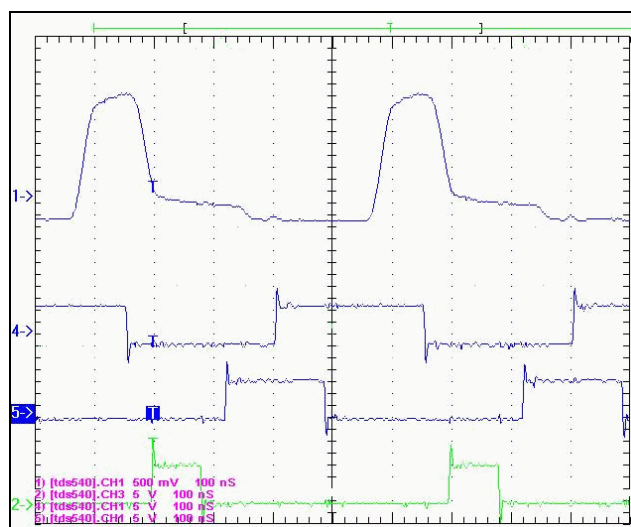
Rys. 85 Sygnał wizyjny przy $f=2\text{MHz}$ i $K_u=20$



Rys. 86 Sygnał wizyjny przy $f=1\text{MHz}$ i $K_u=8$

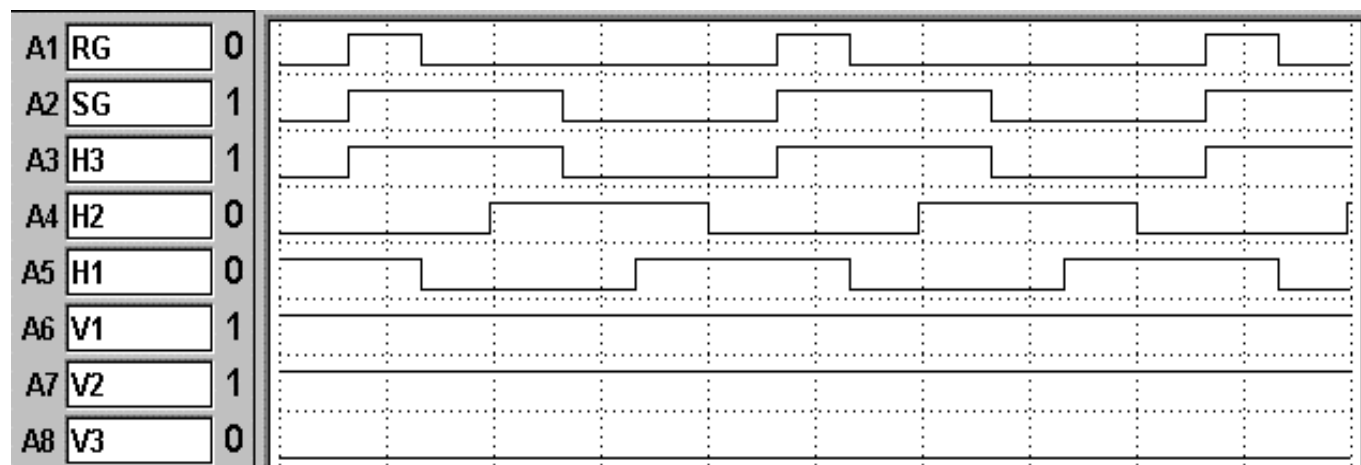
Pierwszy dotyczy sygnału o częstotliwości 2 MHz oraz wzmocnieniu wzmacniacza równego 20. Jest to warunek stawiający największe wymagania na pasmo wzmacniacza wyjściowego oraz szybkość narastania sygnału na jego wyjściu. Drugi z rysunków pokazuje ten sam przebieg, ale przy prędkości odczytu 1MHz oraz wzmocnieniu przedwzmacniacza równego 8. Jak widać na załączonych oscylogramach, kształt przebiegu na wyjściu jest odwzorowany z wystarczającą

precyzją. Poziom czerni oraz sygnału są nieznkształcone i ustalone w momentach próbkowania. Zakłócenia widoczne na rysunkach są spowodowane przesłuchami na przewodach pomiarowych. Ich wpływ stwierdzono po przeprowadzeniu pomiarów różnicowych. W przypadku przebiegów zegarowych zweryfikowano poprawność ich generacji oraz relacji wobec sygnału wejściowego (Rys. 87).



Rys. 87 Sygnał wizyjny oraz sygnały zegarowe

Sprawdzono także poprawność generacji sygnałów cyfrowych sterujących CCD oraz pamięcią DRAM. W tym celu użyto analizatora stanów logicznych. Okazał się on niezastąpionym narzędziem podczas uruchamiania urządzenia. Rys. 88 przedstawia kopię ekranu analizatora podczas operacji przesuwu ładunków w rejestrze wyjściowym CCD. Przebiegi te odpowiadają teoretycznym sygnałom zalecanym przez producenta pokazanymi na Rys. 27.

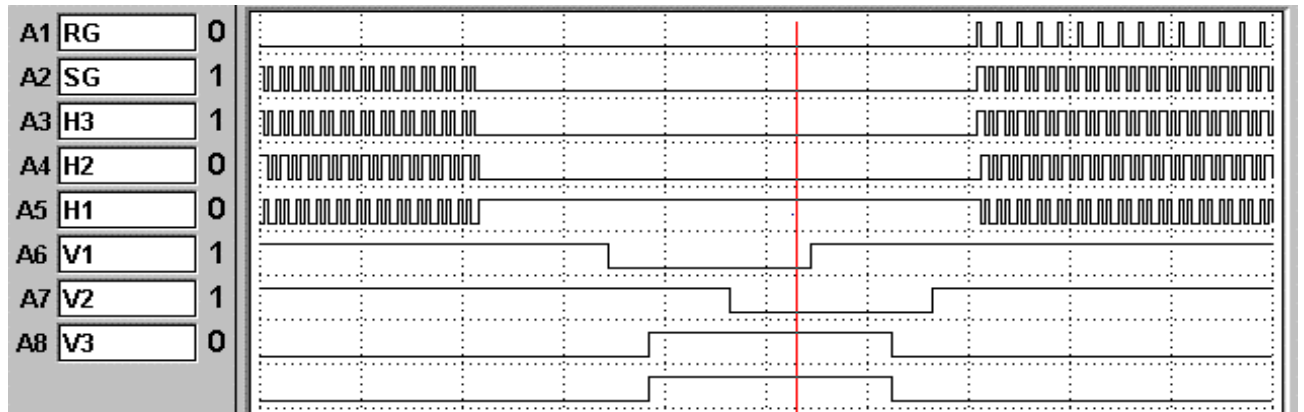


Rys. 88 Przebiegi sterujące przesuwem ładunków w rejestrze wyjściowym CCD

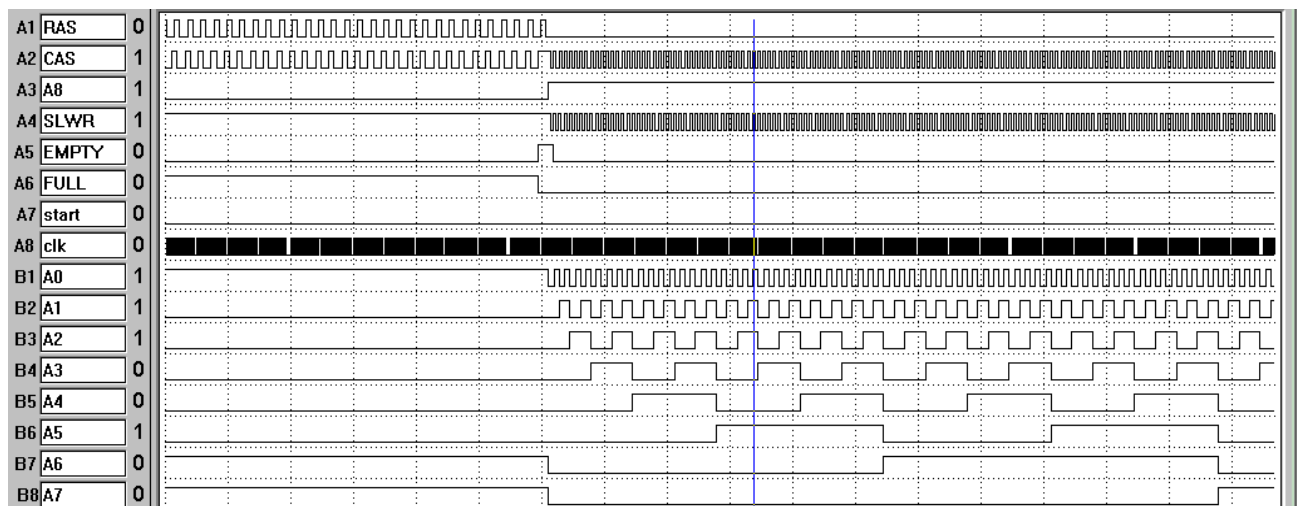
Rys. 89 przedstawia powyższe przebiegi, ale w chwili przesuwu ładunku w pionie. Odpowiadają one teoretycznym wartościom z Rys. 28. Sygnały sterujące przesuwem w poziomie są wówczas nieaktywne.

Sprawdzony został także cykl odczytu pamięci, generacji adresu oraz zapisu do interfejsu USB. Rys. 90 przedstawia sytuację, gdy pakiet został wysłany przez układ USB i pamięć FIFO jest pusta. Sygnał *EMPTY* inicjuje proces wznowienia transmisji. Pamięć przestaje być odświeżana i

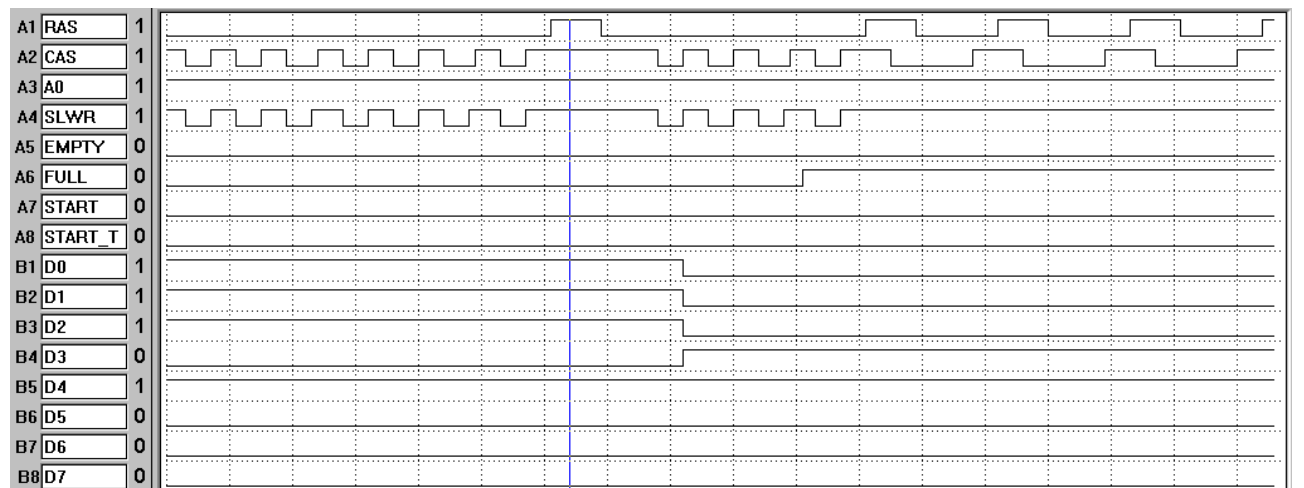
następuje faza odczytu EDO. Odpowiada to teoretycznym sygnałom z Rys. 44 i Rys. 45. Na linii *SLWR* generowane są sygnały zapisu do interfejsu USB. Sytuacja trwa do momentu pokazanego na Rys. 91. Przedstawione są tam dwie sytuacje. Pierwsza to przeładowanie adresu rzędu pamięci i rozpoczęcia nowego cyklu odczytu EDO. Druga natomiast jest spowodowana zapełnieniem bufora FIFO w interfejsie USB (sygnał *FULL*). Kontroler pamięci wchodzi wtedy w tryb odświeżania DRAM i czeka na sygnał *EMPTY*.



Rys. 89 Przebiegi sterujące przesuwem ładunków w kierunku pionowym



Rys. 90 Przebiegi podczas odczytu z pamięci DRAM



Rys. 91 Przebiegi sterujące pamięcią DRAM – faza przeładowania oraz odświeżania

5.2 Testy w eksperymencie

Ostatecznym miarodajnym testem były obserwacje nieba. Przeprowadzono je w tymczasowym obserwatorium ulokowanym pod Warszawą oraz w docelowym miejscu montażu w Chile.

Obie kamery zostały zainstalowane na wspólnym montażu w taki sposób, iż obserwują to samo pole widzenia. Użyty montaż został oryginalnie zaprojektowany dla eksperymentu ASAS i został zmodyfikowany dla potrzeb eksperymentu " π of the Sky". Montaż jest poruszany silnikami krokowymi kontrolowanymi przez komputer PC poprzez złącze szeregowe RS232 i może osiągnąć dowolny punkt na niebie w czasie krótszym od jednej minuty. Do kontroli silników oraz czujników użyto fabryczne moduły driverów. Rys. 92 przedstawia widok całego systemu. Obie kamery skierowane są w tym samym kierunku. Umożliwia to prace w trybie koincydencji dwóch kamer. Ma to szczególne znaczenie w przypadku opracowywania błysków powodowanych przez miony kosmiczne przechodzące przez matrycę CCD.

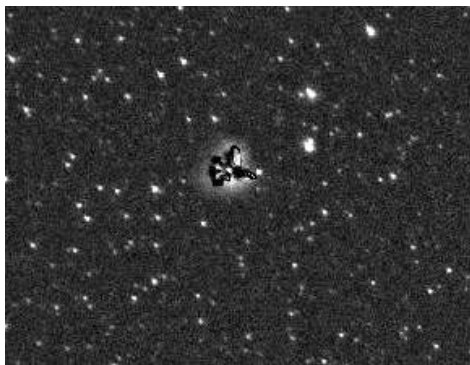


Rys. 92 Widok montażu z 2 kamerami



Rys. 93 Testowe obserwatorium w Brwinowie pod Warszawą

Pierwsze zdjęcia nieba zostały zrobione w testowym obserwatorium w Brwinowie (52.14725 o N, 20.71850 o E), 30 km na zachód od Warszawy (Rys. 93). W czasie testów zebrano niemal 200 GB w różnych konfiguracjach układu, przy stałym i przy ruchomym montażu. Dane zostały intensywnie wykorzystywane w podczas projektowania układu i do prac nad algorytmem rozpoznawania błysków. Zaobserwowano co najmniej jeden interesujący błysk optyczny. Przykładowe możliwości systemu prezentuje Rys. 94 – widać na nim m.in. satelitę lub stację kosmiczną. Rys. 95 ukazuje zdjęcie konstelacji Lacert zrobione przy zachmurzonym niebie. W porównaniu z Rys. 97 ukazującym zdjęcie zrobione na pustyni w Las Campanas (Chile), liczba gwiazd jest bardzo niewielka.

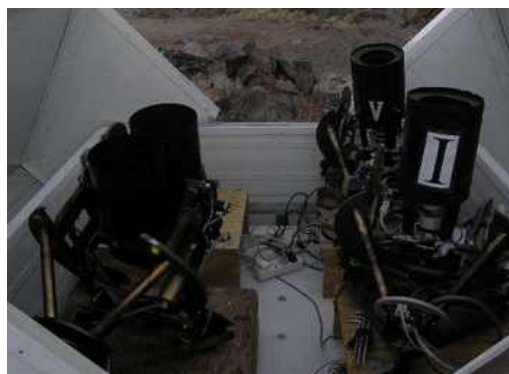


Rys. 94 Fragment zdjęcia nieba ukazujący satelitę



Rys. 95 Konstelacja Lacert

Następna faza testów została przeprowadzona w docelowym miejscu montażu systemu - w polskim obserwatorium astronomicznym w miejscowości Las Campanas w Chile. System pomiarowy wraz z montażem został zamontowany w specjalnym zamykanym kontenerze zajmowanym do tej pory przez eksperyment ASAS (Rys. 96).



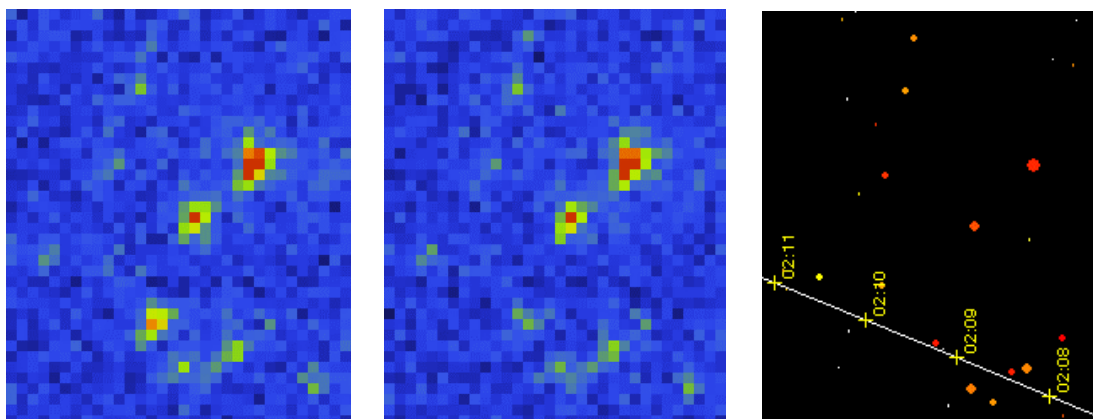
Rys. 96 Kontener z kamerami systemu Pi of the Sky (po lewej) oraz ASAS

Na Rys. 97 przedstawione jest jedno z pierwszych zdjęć nieba zrobione przez system na pustyni w Chile. Przedstawia ono widok na drogę mleczną. Większa część z tych gwiazd jest niewidoczna gołym okiem.



Rys. 97 Wynik pracy kamer – widok na Drogę Mleczną

Docelowym przeznaczeniem aparatury jest detekcja błysków optycznych, i temu zagadnieniu poświęcane jest najwięcej uwagi. Podczas kilkumiesięcznej pracy systemu zostało wykrytych szereg błysków optycznych. Większość z nich pochodzi od satelitów, samolotów, zjawisk atmosferycznych. Przykładowy błysk spowodowany przez satelitę pokazany jest na Rys. 98.

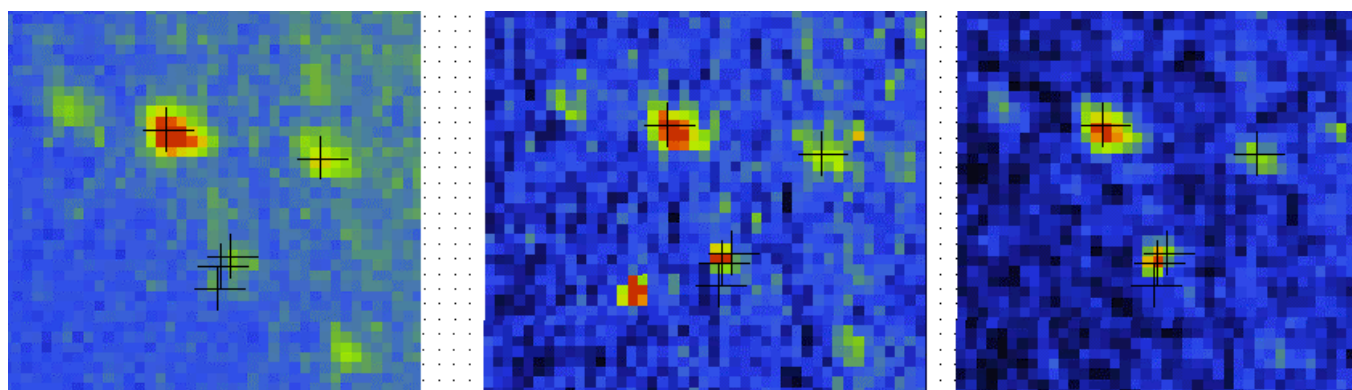


Rys. 98 Przykład błysku spowodowanego przez satelitę oraz jego trajektoria

Błyski tego rodzaju są eliminowane poprzez przeszukiwanie dostępnych baz danych satelitów i rekonstrukcja ich orbit. Co wieczór zbierane są informacje zarówno z oficjalnych źródeł (NASA) jak i amatorskich obserwacji [12] i kompilowana jest aktualna baza danych z elementami orbitalnymi ok. 10000 satelitów. Błyski pasujące do znanych orbit są odrzucane [32].

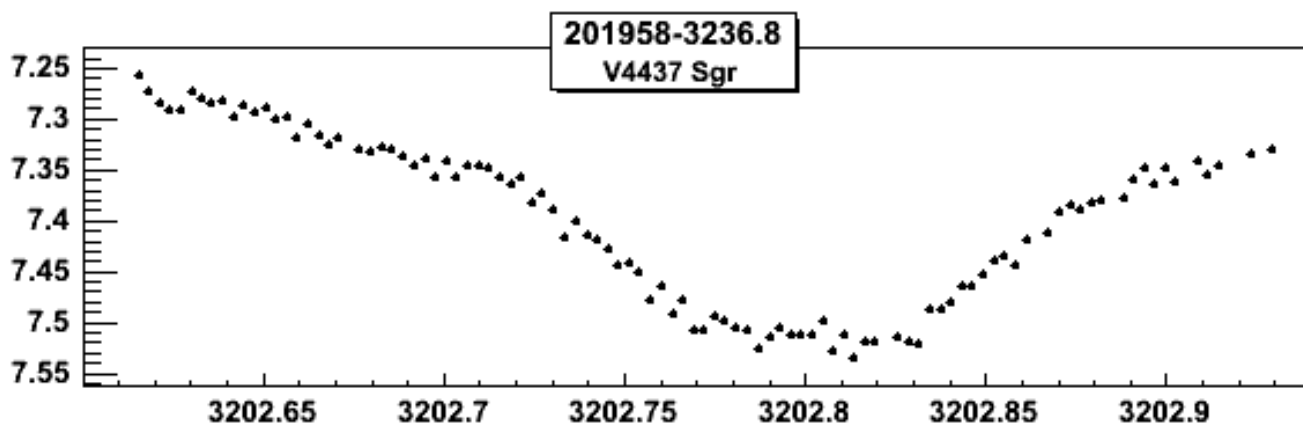
Część błysków nie dała się wytłumaczyć powyższymi zjawiskami. W ciągu 2.5 miesiąca pracy aparatury od momentu ostatecznej optymalizacji algorytmów selekcji, zarejestrowano 22 błyski nieznanego pochodzenia. Wszystkie one były zaobserwowane przez obie kamery, ale tylko na jednej klatce, nie można więc wykluczyć, że są to refleksy od satelitów nie zarejestrowanych w dostępnych bazach danych.

Najciekawszy dotychczas przypadek zaobserwowano podczas testów w Polsce, 21.02.2004 o 0:27 UT. Błysk widoczny był w tym samym miejscu na dwóch kolejnych klatkach, co wyklucza refleks od satelity (rys.91). Miał jasność odpowiednio 9.0 m i 9.7 m. Na kolejnych klatkach błysk – jest i trwa nadal – ginie w świetle pobliskiej gwiazdy o jasności 10.7 m. Współrzędne błysku: RA = 11h 18m 44s, Dec = -6° 6.5' (J2000.0) pokrywają się z położeniem galaktyki LEDA 114805 z dokładnością do 1 minuty kątowej, co podnosi wiarygodność obserwacji. Brak koincydencji z detektorami gamma HETE i Integral nie wyklucza możliwości GRB, gdyż błysk był poza ich polem widzenia, nie pozwala jednak jednoznacznie zidentyfikować obiektu [32].



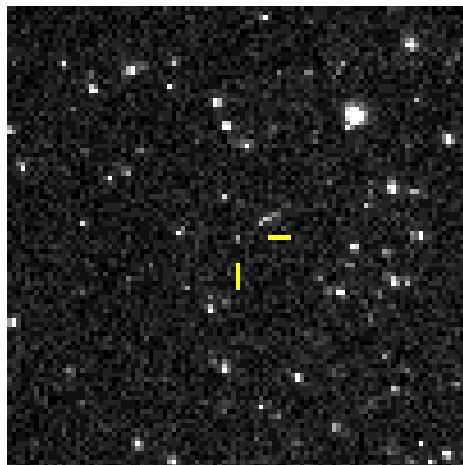
Rys. 99 Kandydat na błysk gamma

Oprócz wykrywania błysków optycznych dokonano obserwacji innych obiektów zmiennych, np. gwiazd okresowo zmiennych. Rys. 100 przedstawia wykres zmienności gwiazdy BF Cap. Dane zostały zebrane 15/16.07.2004. Każdy punkt wykresu uzyskano uśredniając 20 klatek.



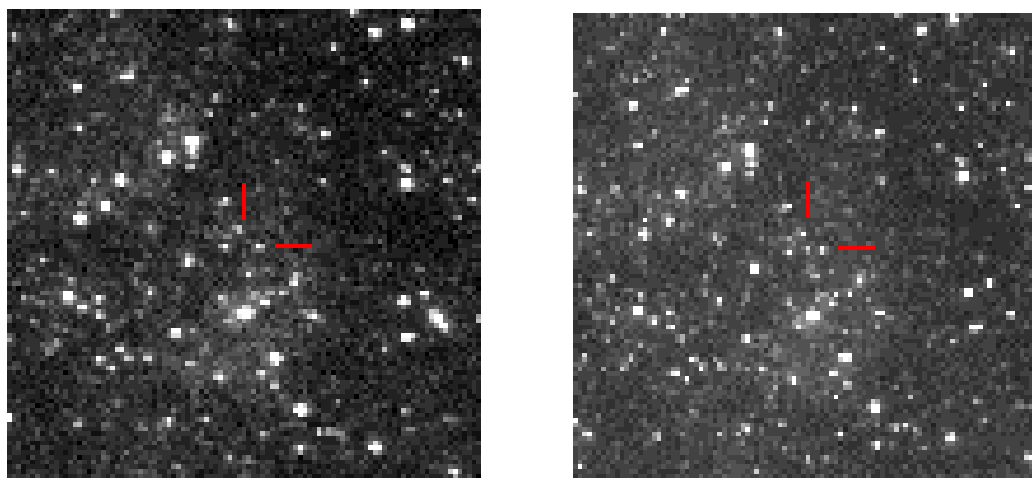
Rys. 100 Wykres zmienności gwiazdy BF Cap

Aparatura „*δ of the Sky*” ma też duży potencjał odkrywczy i badawczy w zakresie gwiazd kataklizmicznych. Przykładem może być gwiazda nowa karłowata (Rys. 101) oznaczona jako ASAS 002511+1217.2 odkryta we wrześniu 2004 roku przez eksperyment ASAS. Obserwacje przeprowadzone przez „*π of the Sky*” pozwoliły potwierdzić to odkrycie zanim jeszcze zostało opublikowane. Gwiazda była zarejestrowana przez „*π of the Sky*” jeszcze przed odkryciem, ale system nie miał zaimplementowanego algorytmu automatycznego wykrywania gwiazd nowych.

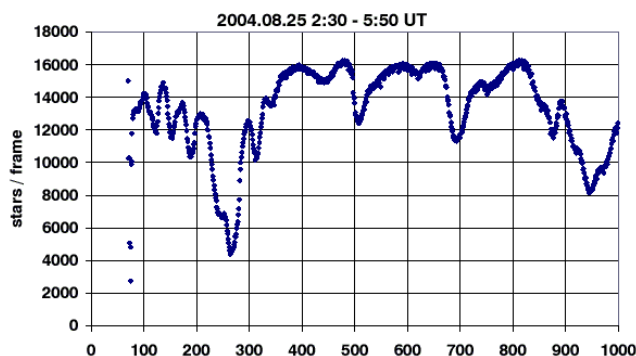


Rys. 101 Gwiazda karłowata ASAS 002511+1217.2

Innym przykładem gwiazdy kataklizmicznej obserwowanej przez „*π of the Sky*” jest nowa V1187 Sco Rys. 102 [32].



Rys. 102 Nowa V1187 Sco (w centrum)



Rys. 103 Liczba rozpoznanych gwiazd jako miara zachmurzenia nieba

Błysk optyczny może być upozorowany przez niewielką chmurę nagle odsłaniającą gwiazdę. Dlatego ważne jest monitorowanie zachmurzenia nieba podczas obserwacji. Opracowano metodę oceny stopnia zachmurzenia na podstawie liczby obserwowanych gwiazd. Metoda ta może się okazać przydatna zarówno w innych eksperymentach astronomicznych do planowania i kontrolowania obserwacji, jak i w meteorologii. Rys. 103 przedstawia przykładową zależność ilości widocznych gwiazd w funkcji czasu [32]

Podczas analizy zarejestrowanych przypadków można spotkać interesujące obiekty, których detekcja była nieplanowana, np. komety lub rozpadające się meteory. Rys. 96 przedstawia taki przypadek. Meteor rozpada się na część gorącą i zimną (niewidzialną).



Rys. 104 Rozpad meteoru

O niezawodności sprzętu może świadczyć fakt, iż od maja 2004 roku pracuje on bezawaryjnie 24 godziny na dobę. Ilość zebranych danych przekroczyła 350000 kompletów zdjęć. Jedyne przerwy w pracy były spowodowane awariami komputerów sterujących oraz przetwarzających dane.

6. Podsumowanie

Założenia oraz koncepcja przyjęte przed realizacją zadania okazały się prawidłowe. Zarówno część elektroniczna jak i mechaniczna zostały przetestowane zarówno w warunkach laboratoryjnych jak i docelowych. Planowane jest seryjna produkcja kamer tego typu dla potrzeb tego, jak i innych eksperymentów. Urządzenia posiadają duże możliwości pomiarowe oraz umożliwiają modyfikację funkcjonalności na drodze programowej. Parametry metrologiczne pozwalają im konkurować z podobnym sprzętem produkowanym komercyjnie. Dotychczasowy stopień bezawaryjności daje nadzieję na długie funkcjonowanie aparatury, nawet po zakończeniu fazy eksperymentu.

Zrealizowany system składający się z 2 kamer, jest dopiero prototypem docelowego urządzenia pokrywającego całe niebo. Planuje się poprawienie parametrów metrologicznych oraz zasięgu urządzenia poprzez zastosowanie optyki o lepszych parametrach oraz ulepszanego toru analogowego. W związku z rozwojem techniki przetwarzania A/C planowane jest poprawienie parametrów szumowych urządzenia poprzez zastosowanie m.in. nadpróbkowania oraz technik DSP

Oprócz dwóch prototypów przeznaczonych dla eksperymentu, zbudowano także mniej zaawansowane urządzenia do zastosowania w teleskopach (Rys. 105). Rozważana jest możliwość znacznego polepszenia zasięgu eksperymentu „ π of the Sky” poprzez zastosowanie zespołu prostych teleskopów oraz kamer umieszczonych wewnątrz nich. Wymaga to zoptymalizowania ich konstrukcji pod kątem możliwie małej średnicy zewnętrznej. Optymalizacja kosztów może być osiągnięta dzięki zastosowaniu łączonych niektórych bloków funkcjonalnych pomiędzy poszczególnymi modułami kamer. Np. wspólne mogą być układy zasilania czy interfejsu. Do rozwiązania pozostaje jeszcze problem zapewnienia bezawaryjnej pracy oraz nadzoru złożonych systemów akwizycji danych i sterowania.

Projekt „ π of the Sky” jest jednym z pierwszych kroków ku powszechnej realizacji systemów automatycznego monitorowania zmienności nieba.



Rys. 105 Kamery do zastosowań amatorskich oraz montażu wewnątrz teleskopów

7. Bibliografia

- [1] Grzegorz Wrochna, Lech Mankiewicz, Rafał Salański, *π of the sky- Apparatus to search for optical flashes of astronomical origin*, materiały konferencji SIPE i PERG ,Wilga 2002
- [2] Grzegorz Wrochna , Lech Mankiewicz, Ryszard Romaniuk, Rafał Salanski, *Apparatus to search for optical flashes of astronomical origin*, Proc. SPIE Vol. 5125, p. 359-363, Oct 2003
- [3] Mankiewicz L.,Romaniuk R.,Wrochna G.,Salański R. *Badanie zjawisk kosmicznych o kilkusekundowym okresie zmienności*,i Elektronika, str. 12– 14, No 10, 2002,
- [4] Strony internetowe NASA - GRB
http://imagine.gsfc.nasa.gov/docs/science/know_11/grbs.orig.html
<http://gamma-ray.nsstc.nasa.gov>
<http://science.nasa.gov/default.htm>
<http://www.batse.msfc.nasa.gov/>
- [5] Agnieszka Wolińska, *Burstery Gamma (Gamma Ray Bursts - GRB)*, Astronomia.PL – polski portal astronomiczny, 05.04.2003
- [6] Grzegorz Wrochna, *Między fizyką cząstek a astronomią*, Instytut Problemów Jądrowych,4.10.2002
- [7] strony internetowe GCN, The GRB Coordinates Network,
<http://gcn.gsfc.nasa.gov/>
- [8] Grzegorz Wrochna *Kosmiczna przyszłość fizyki cząstek czyli gdyby Kopernik żył w XXI w.* wykład "Elementy fizyki cząstek elementarnych" dla II roku Wydziału Fizyki Uniwersytetu Warszawskiego, 29.05.2002
- [9] Lech Mankiewicz, *Search for optical flashes of cosmological origin*, Center for theoretical Physics PAN, Warszawa 15.01.2003
- [10] prof. Bohdan Paczyński , *Budowa i Ewolucja Gwiazd rozdz. XXXVII. Błyski gamma (GRB)*,
Urania - postępy astronomii, czerwiec 1998.
strona internetowa:
<http://postepy.camk.edu.pl/9803-5.html>
- [11] Grzegorz Wrochna, ; Ryszard S. Romaniuk, Krzysztof T. Pozniak, *Cosmic perspectives of particle physics*, Proc. SPIE Vol. 5125, p. 353-358, Oct 2003
- [12] Strona internetowa, Max-Planck-Institute for Extraterrestrial Physics *GRBs with optical afterglows*
<http://www.mpe.mpg.de/~jcg/grbolc.html>

- [13] Strona internetowa, Czujniki CCD vs. CMOS
http://www.dalsa.com/markets/ccd_vs_cmos.asp
- [13] Strony internetowe NASA - technologia CCD
<http://wfc3.gsfc.nasa.gov/MARCONI/sensitive.html>
- [14] Strony internetowe producentów kamer CCD
<http://www.genesis16.net/>
<http://www.ccd.com>
<http://www.SBIG.com>
- [15] Strony internetowe - Podstawy technologii kamer CCD
<http://www.ccd.com/ccdu.html>
<http://www.foto-net.pl/poradnik/poradnik23.html>
<http://www.astro.amu.edu.pl/Education/ccd2/node8.html>
- [16] Strona internetowa firmy Fairchild -producenta czujników CCD
http://www.fairchildimaging.com/main/area_442a.htm
- [17] Nota katalogowa układu AD829 firmy Analog Devices – niskoszumny wzmacniacz operacyjny
<http://www.ociw.edu/instrumentation/ccd/parts/AD829.pdf>
- [18] Nota katalogowa układu AD9826 firmy Analog Devices – procesor sygnału video
http://www.analog.com/UploadedFiles/Data_Sheets/14702699AD9826_a.pdf
- [19] Nota katalogowa układu MAX627 firmy MAXIM – driver MOS
<http://pdfserv.maxim-ic.com/en/ds/MAX626-TSC428.pdf>
- [20] Nota katalogowa układu AL42L0616 firmy AMIC – pamięć DRAM 1Mx16
<http://www.amictechnology.com/pdf/A42L0616.pdf>
- [21] Nota katalogowa układu TCA3727 firmy Infineon – driver silnika krokowego
<http://www.jjmb.nl/datasheets/stepperdriver/TCA3727.pdf>
- [22] Nota katalogowa układu CCD442A firmy Fairchild – matryca CCD 2k*2k
<http://www.fairchildimaging.com/main/library/pdf/ccds/ccd442a.pdf>
- [23] Nota katalogowa układu MAX6575L firmy MAXIM – czujnik temperatury
<http://pdfserv.maxim-ic.com/en/ds/MAX6575H-MAX6575L.pdf>
- [24] Nota katalogowa układu SHT11 firmy SENSIRION – czujnik temperatury/wilgotności
http://www.sensirion.com/en/pdf/Datasheet_SHT1x_SHT7x.pdf

[25] Nota katalogowa układu CY7C68013-128AC firmy Cypress Semiconductors - mikrokontroler z interfejsem USB 2.0

<http://www.stanford.edu/class/ee109/reference/fx2/FX2shortCY7C68013.pdf>

[26] Nota katalogowa układów serii Cyclone firmy Altera – układy FPGA

http://www.altera.com/literature/hb/cyc/cyclone_device_handbook.pdf

[27] Nota katalogowa układu EPCS1 firmy Altera - pamięć FLASH Active Serial

http://www.altera.com/literature/hb/cfg/cyc_c51014.pdf

[27] Nota katalogowa układu AT24C64 firmy Atmel – pamięć Serial EEPROM

http://www.atmel.com/dyn/resources/prod_documents/doc0336.pdf

[28] Specyfikacja magistrali USB2.0

http://www.usb.org/developers/docs/usb_20.zip

[29] Informacje na temat modułów Peltier'a

<http://www.peltier-info.com/>

[30] Specyfikacja magistrali I²C

<http://www.semiconductors.philips.com/markets/mms/protocols/i2c/>

[31] Strona internetowa firmy Melles Griot - producenta mechanizmów migawek

<http://www.mellesgriot.com/>

[32] dr hab. Grzegorz Wrochna, *Sprawozdanie merytoryczne z realizacji projektu badawczego. Badanie błysków optycznych towarzyszących rozbłyskom gamma*. Instytut Problemów Jądrowych im. A. Sołtana

8. Dodatki

8.1 Spis ilustracji

Rys. 1 Energia w funkcji czasu dla przykładowych błysków (Źródło: [4])	7
Rys. 2 Rozmieszczenie pierwszych 921 zarejestrowanych błysków na niebie (Źródło: [4])	7
Rys. 3 Wizje wybuchu supernowej.(Źródło: [4])	8
Rys. 4 Tłumienie poszczególnych długości fal przez atmosferę ziemską. (Źródło: [4])	10
Rys. 5 Widok kamer oraz montażu eksperymentu ROTSE (Źródło: [6])	11
Rys. 6 Rysunek poglądowy sieci GCN (Źródło: [7])	11
Rys. 7 Błysk gamma zarejestrowany przez satelitę BeppoSAX 28.03.1997 - po lewej stronie, po prawej - ten sam obszar nieba tydzień później. (Źródło: [4]).....	12
Rys. 8 Optyczny odpowiednik błysku gamma zarejestrowany przez teleskop Hubble'a (Źródło: [4])	12
Rys. 9 Wygląd typowego czujnika CCD (CCD442A firmy Fairchild) (Źródło:[16])	15
Rys. 10 Rysunek poglądowy ilustrujący zasadę działania czujnika CCD (Źródło:[15])	15
Rys. 11 Kamera G16[14]	18
Rys. 12 Kamera firmy Apogee [14]	18
Rys. 13 Kamera firmy SBIG[14]	18
Rys. 14 Schemat blokowy typowego systemu pomiarowego	25
Rys. 15 Schemat blokowy części elektronicznej kamery	28
Rys. 16 Migawka – symulacja komputerowa.....	32
Rys. 17 Migawka – zbliżenie.....	32
Rys. 18 Koncepcja konstrukcji mechanicznej kamery	33
Rys. 19 Operacje analogowe dokonywane na sygnale mierzonym.....	34
Rys. 20 Schemat blokowy toru analogowego.....	35
Rys. 21 Zmontowana płytką toru analogowego (widok z tyłu).....	35
Rys. 22 Struktura sygnału wizyjnego	36
Rys. 23 Schemat funkcjonalny czujnika CCD. Źródło:[23].....	37
Rys. 24 Schemat połączeń czujnika CCD i driverów prądowych	37
Rys. 25 Budowa toru sterowania przesuwem ładunku CCD.....	38
Rys. 26 Schemat konwerterów poziomów logicznych.....	38
Rys. 27 Przebiegi napięciowe wymagane do pracy przetwornika CCD. Źródło:[23].....	40
Rys. 28 Przebiegi napięciowe sterujące przesuwem ładunków w rejestrze wyjściowym. Źródło:[23]	40
Rys. 29 Układ logiczny odpowiedzialny za generację sygnałów sterujących CCD i ADC.....	41
Rys. 30 Algorytm pracy układu sterującego CCD i ADC	42
Rys. 31 Przedwzmacniacz sygnału wizyjnego	43
Rys. 32 Schemat blokowy procesora sygnału wizyjnego. Źródło:[18]	44
Rys. 33 Schemat połączeń procesora sygnału wizyjnego	45
Rys. 34 Zależność między sygnałami próbkującymi a sygnałem wizyjnym. Źródło:[18].....	46
Rys. 35 Format danych interfejsu szeregowego procesora wizyjnego. Źródło:[18]	46
Rys. 36 Operacje dokonywane na sygnale cyfrowym.....	48
Rys. 37 Schemat funkcjonalny toru obróbki sygnału cyfrowego.....	48
Rys. 38 Wygląd zmontowanej płytki drukowanej z torem cyfrowej	49
Rys. 39 Schemat połączeń układu FPGA	50
Rys. 40 Schemat blokowy pamięci DRAM. Źródło:[20]	51
Rys. 41 Schemat połączeń pamięci DRAM – 3 układy z 5.....	51
Rys. 42 Układ logiczny sterujący zapisem / odczytem pamięci DRAM oraz transferem USB	52
Rys. 43 Operacja zapisu 1 słowa danych do pamięci DRAM. Źródło:[20]	53
Rys. 44 Operacja odświeżania zawartości pamięci w trybie CBR. Źródło:[20]	54
Rys. 45 Operacja odczytu swobodnego w trybie EDO. Źródło:[20].....	54
Rys. 46 Algorytm pracy układu Dram_to_USB_transfer.....	55

Rys. 47 Schemat blokowy mikrokontrolera z interfejsem USB2.0. Źródło:[25].....	56
Rys. 48 Sygnały interfejsu <i>Slave FIFO</i> . Źródło:[25].....	57
Rys. 49 Przebiegi czasowe sygnałów podczas zapisu do interfejsu slave FIFO . Źródło:[25].....	57
Rys. 50 Schemat połączeń układu mikrokontrolera USB.....	58
Rys. 51 Schemat ideowy zasilacza części analogowej.....	59
Rys. 52 Schemat ideowy zasilacza części cyfrowej.....	60
Rys. 53 Schemat ideowy zasilacza driverów CCD.....	61
Rys. 54 Schemat ideowy zasilacza CCD i przedwzmacniacza.....	62
Rys. 55 Schemat połączeń czujników temperatury i wilgotności.....	63
Rys. 56 Sposób sterowania wieloma czujnikami temperatury. Źródło:[23].....	64
Rys. 57 Przebiegi czasowe podczas pomiaru temperatury. Źródło:[23].....	64
Rys. 58 Struktura timera T2 pracującego w trybie przechwytywania. Źródło:[25].....	65
Rys. 59 Schemat blokowy czujnika SHT11.....	65
Rys. 60 Przebiegi sterujące pracą czujników SHT11.....	66
Rys. 61 Układ logiczny odpowiedzialny za sterowanie czujnikami temperatury i wilgotności komunikacją z mikroprocesorem.....	66
Rys. 62 Przebiegi podczas zapisu do pamięci.....	67
Rys. 63 Przebiegi podczas odczytu z pamięci.....	67
Rys. 64 Sterownik mechanizmu migawki.....	68
Rys. 65 Sterownik silnika ostrości.....	69
Rys. 66 Przebiegi sterujące pracą drivera silnika. Źródło:[21].....	69
Rys. 67 Schemat układu wykonawczego sterującego modułami Peltier'a oraz ogrzewaniem optyki.....	70
Rys. 68 Schemat układu nadzorującego watchdog – reset.....	71
Rys. 69 Schemat połączeń pamięci konfiguracji (U23) i programu (U8).....	72
Rys. 70 Przebiegi podczas zapisu pamięci FLASH Active Serial.....	72
Rys. 71 Fabryczne mechanizmy migawek. Źródło: [31]......	74
Rys. 72 Konstrukcja mechaniczna migawki.....	75
Rys. 73 Widok układu chłodzenia od strony komory CCD.....	76
Rys. 74 Odprowadzanie ciepła.....	76
Rys. 75 Mechanizm regulacji ostrości.....	77
Rys. 76 Obudowa komory CCD – element nośny konstrukcji.....	77
Rys. 77 Umieszczenie płytki cyfrowej i zasilaczy.....	78
Rys. 78 Widok obudowy z boku.....	78
Rys. 79 Montaż migawki oraz płytki analogowej.....	79
Rys. 80 Widok mechanizmu pozycjonowania obiektywu.....	79
Rys. 81 Algorytm procedury obsługi przerwania systemowego.....	81
Rys. 82 Algorytm pracy interpretera poleceń oraz programatora EPCS1.....	84
Rys. 83 Algorytm procedury obsługi przerwania od timera T2.....	86
Rys. 84 Przebieg procesu pomiarowego.....	87
Rys. 85 Sygnał wizyjny przy $f=2\text{MHz}$ i $K_u=20$	89
Rys. 86 Sygnał wizyjny przy $f=1\text{MHz}$ i $K_u=8$	89
Rys. 87 Sygnał wizyjny oraz sygnały zegarowe.....	90
Rys. 88 Przebiegi sterujące przesuwem ładunków w rejestrze wyjściowym CCD.....	90
Rys. 89 Przebiegi sterujące przesuwem ładunków w kierunku pionowym.....	91
Rys. 90 Przebiegi podczas odczytu z pamięci DRAM.....	91
Rys. 91 Przebiegi sterujące pamięcią DRAM – faza przeładowania oraz odświeżania.....	91
Rys. 92 Widok montażu z 2 kamerami.....	92
Rys. 93 Testowe obserwatorium w Brwinowie pod Warszawą.....	92
Rys. 94 Fragment zdjęcia nieba ukazujący satelitę.....	93
Rys. 95 Konstelacja Lacert.....	93
Rys. 96 Kontener z kamerami systemu Pi of the Sky (po lewej) oraz ASAS.....	93
Rys. 97 Wynik pracy kamer – widok na Drogę Mleczną.....	94
Rys. 98 Przykład błysku spowodowanego przez satelitę oraz jego trajektoria.....	94
Rys. 99 Kandydat na błysk gamma.....	95

Rys. 100 Wykres zmienności gwiazdy BF Cap.....	95
Rys. 101 Gwiazda karłowata ASAS 002511+1217.2.....	96
Rys. 102 Nowa V1187 Sco (w centrum).....	96
Rys. 103 Liczba rozpoznanych gwiazd jako miara zachmurzenia nieba	96
Rys. 104 Rozpad meteoru.....	97
Rys. 105 Kamery do zastosowań amatorskich oraz montażu wewnątrz teleskopów	98

8.2 Spis tabel

Tabela 1 Zestawienie komend sterujących kamerą	83
Tabela 2 Struktura wyniku pomiaru temperatury, wilgotności i statusu urządzenia.....	83
Tabela 3 Wyniki pomiaru szumów odczytu.	88