



Politechnika Warszawska
Wydział Elektroniki i Technik Informacyjnych
Instytut Systemów Elektronicznych

Łukasz Kociszewski

NUMER INDEKSU: 206 133

Praca Magisterska

Uniwersalny tester czujników optycznych

Praca wykonana pod kierunkiem
prof. dr hab. inż. Ryszarda Romaniuka

Warszawa, 2014

Uniwersalny tester czujników optycznych

Praca zawiera koncepcję, opis projektu oraz realizację i testy uniwersalnego testera czujników optycznych. Powstał on w wyniku zapotrzebowania na technologię umożliwiającą szybkie przetestowanie urządzeń z dwuwymiarową matrycą światłoczułą, używanych do różnorakich eksperymentów naukowych. Urządzenie opracowano wykorzystując najnowsze dostępne technologie produkcyjne, układy analogowe i cyfrowe oraz szybkie interfejsy. Cechą wyróżniającą opisane rozwiązanie jest możliwość zarządzania dowolnym, nowoczesnym czujnikiem optycznym i szybkiej rekonfiguracji jego punktu pracy. Dodatkowo urządzenie to posiada wiele wolnych zasobów w układzie FPGA stając się tym samym platformą badawczą do testowania algorytmów przetwarzania i akwizycji obrazu.

Struktura pracy odzwierciedla kolejność działań podjętych przez autora. W pierwszych rozdziałach przedstawione są rozważania teoretyczne oraz geneza i cel pracy, kolejne zawierają koncepcję, realizację i testy gotowego urządzenia.

Słowa kluczowe: CMOS, CCD, FPA, FPGA, czujniki optyczne, przetwarzanie obrazu

Universal image sensor tester

In the thesis a concept, design, implementation and testing of an universal image sensor tester is described. The idea of the device was made by unsufficient laboratory equipment able to drive and collect data from 2-D light sensitive matrix. The device was developed using mixed analog-digital components, high performace FPGA, high-speed digital interfaces and modern assembly technology. Controlling and fast change of the operating point of the high-tech image sensors is the most distinguishing feature. The FPGA has plenty of unused resources that makes the designed device an ideal tool for software and HDL code development.

The thesis structure is based on the author's order of work. At the beginning theory, genesis and aim are presented. Hereinafter conception, accomplishment and tests are depicted

Keywords: CMOS, CCD, FPA, FPGA, image sensors, image processing

Specjalność: Elektronika i Informatyka w Medycynie

Data urodzenia: 18 lipca 1987 r.

Data rozpoczęcia studiów: 1 października 2006 r.

Życiorys

Urodziłem się 18 lipca 1987 roku w Otwocku. Od urodzenia mieszkałem w Józefowie, gdzie rozpoczęłem edukację w Szkole Podstawowej nr 2 im. Romualda Traugutta. W wieku 7 lat przeprowadziłem się do Otwocka i tam w latach 1995 – 1997 kontynuowałem naukę w Szkole Podstawowej nr 6 im. Michała Elwiro Andriollego. W 1997 roku przeniosłem się do Szkoły Podstawowej nr 4 im. Józefa Piłsudskiego w Otwocku. W 2000 roku szkoła ta zmieniła status na Gimnazjum nr 4 im. Józefa Piłsudskiego, do której uczęszczałem do 2003 roku. Lata 2003 – 2006 to okres mojej nauki w Liceum Ogólnokształcącym nr 3 im. Juliusza Słowackiego w Otwocku. Studia rozpoczęłem 1 października 2006 roku na Wydziale Elektroniki i Technik Informacyjnych Politechniki Warszawskiej na Makrokierunku. Po drugim semestrze wybrałem kierunek Elektronika a na czwartym zdecydowałem się na specjalność Elektronika i Informatyka w Medycynie. W lutym 2011 roku uzyskałem tytuł inżyniera za realizację tematu: „Monitorowanie rytmu pracy serca podczas joggingu”.

.....
Łukasz Kociszewski

Podziękowania

Pragnę podziękować moim opiekunom:

dr hab. inż. Krzysztofowi Poźniakowi za rady edytorskie oraz

dr inż. Grzegorzowi Kasprowiczowi za rady techniczne.

*Pracę dedykuję
mojej żonie, Iwonie
oraz synkowi Antkowi*

Spis treści

1	Wstęp.....	- 9 -
1.1	Zastosowania czujników optycznych	- 11 -
1.2	Fizyczne podstawy pracy czujników optycznych	- 16 -
1.2.1	Detektory fotonowe	- 16 -
1.2.2	Detektory termalne	- 17 -
1.3	Czujniki optyczne typu CCD	- 18 -
1.3.1	Matryca linijkowa.....	- 21 -
1.3.2	Matryca z transferem pełnej klatki	- 22 -
1.3.3	Matryca z transferem klatki do obszaru przechowywania	- 23 -
1.3.4	Matryca z odstępem pomiędzy kolumnami światłoczułymi	- 24 -
1.3.5	Sterowanie matrycą CCD	- 27 -
1.3.5.1	Sterowanie czterofazowe	- 27 -
1.3.5.2	Sterowanie trójfazowe	- 28 -
1.3.5.3	Sterowanie dwufazowe	- 30 -
1.3.6	Przetworniki <i>front i back illuminated</i>	- 31 -
1.4	Czujniki optyczne typu CMOS	- 32 -
1.4.1	Budowa matryc CMOS	- 32 -
1.4.2	Sekwencja działania czujnika z matrycą CMOS.....	- 35 -
1.4.3	Układ elektroniczny zawarty w pojedynczym pikselu	- 36 -
1.4.3.1	Rodzina czujników CMOS 3T	- 37 -
1.4.3.2	Migawka typu „ <i>rolling</i> ” w pikselach typu 3T	- 40 -
1.4.3.3	Rodziny czujników CMOS 4T, 5T i 6T.....	- 40 -
1.5	Ilościowe parametry matryc światłoczułych	- 42 -
1.6	Mierzalne parametry matryc światłoczułych.....	- 45 -
1.7	Warianty matryc CCD	- 52 -
1.7.1	Matryce typu <i>Intensified CCD (ICCD)</i>	- 52 -

1.7.2	Matryce typu <i>Electron bombarded CCD</i> (EBCCD)	- 52 -
1.7.3	Matryce typu <i>Electron multiplying CCD</i> (EMCCD)	- 53 -
1.8	Układy odczytu danych z czujników obrazu	- 53 -
1.9	Rynkowe rozwiązania testerów czujników optycznych	- 55 -
2	Geneza, cel i założenia pracy	- 58 -
3	Koncepcja pracy	- 60 -
3.1	Moduł zarządzania	- 62 -
3.1.1	Pamięć nieulotna FPGA	- 63 -
3.1.2	Pamięć FPGA	- 65 -
3.1.3	Układ dystrybucji sygnału zegarowego i linie transmisyjne LVDS	- 65 -
3.1.4	Interfejs do testowanego czujnika optycznego	- 67 -
3.1.5	Przetworniki A/C do sygnału wideo	- 71 -
3.1.6	Komunikacja z komputerem	- 74 -
3.1.7	Mikrokontroler	- 74 -
3.1.8	Pomiar temperatury	- 75 -
3.1.9	Lokalny zasilacz modułu zarządzania	- 75 -
3.1.10	Przesyłanie obrazu do urządzeń przechwytyjących	- 77 -
3.2	Moduł stabilizatorów napięć	- 78 -
3.2.1	Stabilizatory liniowe	- 79 -
3.2.2	Przetworniki C/A do sterowania stabilizatorami liniowymi	- 80 -
3.2.3	Blok kalibracji napięć wyjściowych stabilizatorów liniowych	- 81 -
3.2.4	Sekwencjoner napięć	- 81 -
3.2.5	Kontroler temperatury i ogniw Peltiera	- 82 -
3.3	Moduł interfejsu	- 82 -
3.4	Zasilacz	- 83 -
3.5	Konstrukcja mechaniczna	- 85 -
3.6	Koncepcja oprogramowania mikrokontrolera	- 86 -

4	Realizacja projektu.....	- 87 -
4.1	Realizacja testera czujników optycznych	- 87 -
4.1.1	Moduł zarządzania.....	- 87 -
4.1.1.1	Interfejs USB	- 87 -
4.1.1.2	Przetwornik analogowy-cyfrowy dla sygnału wideo	- 88 -
4.1.1.3	Blok interfejsów cyfrowych do obsługi czujników	- 91 -
4.1.1.4	Mikrokontroler.....	- 93 -
4.1.1.5	FPGA.....	- 94 -
4.1.1.6	Camera Link	- 96 -
4.1.1.7	Układ dystrybucji sygnału zegarowego	- 97 -
4.1.1.8	Zasilacz lokalny	- 99 -
4.1.1.9	Pomiar temperatury	- 101 -
4.1.1.10	Połączenie modułu zarządzania z pozostałymi modułami	- 102 -
4.1.2	Moduł stabilizatorów	- 103 -
4.1.2.1	Układy regulacji napięć pierwszego stopnia	- 104 -
4.1.2.2	Układy regulacji napięć drugiego stopnia.....	- 107 -
4.1.2.3	Układ wymuszania i kontroli napięć oraz prądów.....	- 108 -
4.1.2.4	Sekwencjoner włączania napięć i sterowników CCD	- 109 -
4.1.2.5	Układ kontroli parametrów elektrycznych ogniw Peltiera	- 110 -
4.1.2.6	Pomiar temperatury wewnętrznej testera i kontroler wentylatorów	- 111 -
4.1.2.7	Połączenie modułu stabilizatorów z modułem interfejsu	- 112 -
4.1.3	Moduł interfejsu	- 112 -
4.2	Zasilacz.....	- 114 -
4.3	Projekt płyt PCBA.....	- 115 -
4.4	Oprogramowanie mikrokontrolera	- 121 -
4.4.1	Aplikacja	- 121 -
4.4.1.1	Protokół komunikacji z PC	- 122 -

4.4.2	Bootloader	- 123 -
4.4.2.1	Protokół komunikacji bootloadera z PC	- 124 -
5	Uruchamianie urządzenia.....	- 125 -
5.1	Zasilacz główny	- 125 -
5.2	Moduł stabilizatorów.....	- 126 -
5.3	Moduł zarządzania	- 126 -
5.4	Finalne testy złożonego urządzenia	- 127 -
6	Wzorcowa aplikacja czujnika na przykładzie badania przetwornika Texas Instruments TC253 [37]	- 137 -
6.1	Sterowanie czujnikiem TC253	- 137 -
6.2	Przygotowanie testera czujników optycznych do pracy z czujnikiem TC253. -	139 -
6.3	Odczyt obrazu z czujnika TC253 za pomocą uniwersalnego testera czujników optycznych	- 141 -
7	Podsumowanie	- 145 -
8	Literatura	- 146 -

1 Wstęp

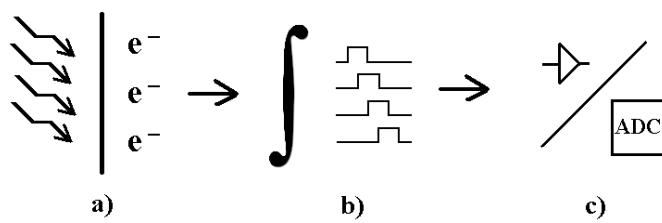
Historia obrazowania rozumianego jako uchwycenie i zapisanie pewnej scenerii sięga już XVII wieku [1]. Eksperymenty, jakie prowadzili ówczesni alchemicy jednoznacznie wskazywały na istnienie światłoczułych substancji, których właściwości fizyczne zmieniały się pod wpływem promieniowania słonecznego. Pierwsze obrazy odznaczały się bardzo niską jakością niemniej wynaleziony wówczas chlorek srebra stanowił kamień milowy w zastosowaniach zwanych dzisiaj fotografią. Doskonalenie techniki uchwycenia statycznej rzeczywistości umożliwiło ludzkości stworzenie kamer, które potrafiły zapisać na kliszy nie tylko scenerię, ale również jej zmiany w czasie. Naturalną koleją rzeczy było zatem stworzenie systemu, który oprócz zapisu obrazu potrafiłby przesyłać go na odległość a następnie wiernie odtworzyć. Pionierskie osiągnięcia (np. tarcza Nipkowa) oraz gwałtowny rozwój techniki półprzewodnikowej w XX wieku doprowadziły do wynalezienia czujnika optycznego pod postacią, jaką znamy do dzisiaj. W 1970 roku dwójka pracowników Bell Telephone Laboratories, Willard Boyle oraz George Smith, stworzyła pierwszą na świecie matrycę światłoczułą CCD w postaci ciała stałego o rozdzielcości 8 x 1 pikseli [2].

Czujnik optyczny to optoelektroniczny układ półprzewodnikowy zamieniający światło na mierzalną wartość elektryczną – napięcie. Składa się z wielu elementów, które można pogrupować w trzy kategorie:

- układ konwersji światła i gromadzenia zebranego podczas tej operacji ładunku elektrycznego;
- układ przesuwu (transferu) ładunku;
- układ konwersji ładunków elektrycznych na postać mierzalną elektryczną.

Padające promieniowanie (a konkretniej fotony promieniowania elektromagnetycznego) za sprawą efektu fotoelektrycznego wewnętrznego jest konwertowane na postać elektryczną. Odpowiedź układu jest proporcjonalna do wielkości strumienia światlnego – im więcej fotonów tym większa ilość wygenerowanych elektronów. Wygenerowane ładunki są następnie gromadzone w kondensatorach MOS (*metal-oxide-semiconductor*) a stamtąd przesuwane do układu odczytu. Ten ostatni jest odpowiedzialny za przetworzenie ładunków na wielkość elektryczną (napięcie), wzmacnienie lub konwersję na postać cyfrową i przekazanie tak uformowanego sygnału na zewnątrz, poza czujnik. Czujniki optyczne przekazują informację o obrazie w postaci analogowej (napięcie) lub cyfrowej po wcześniejszym spróbkowaniu we wbudowanym przetworniku analogowo – cyfrowym. W latach 90.

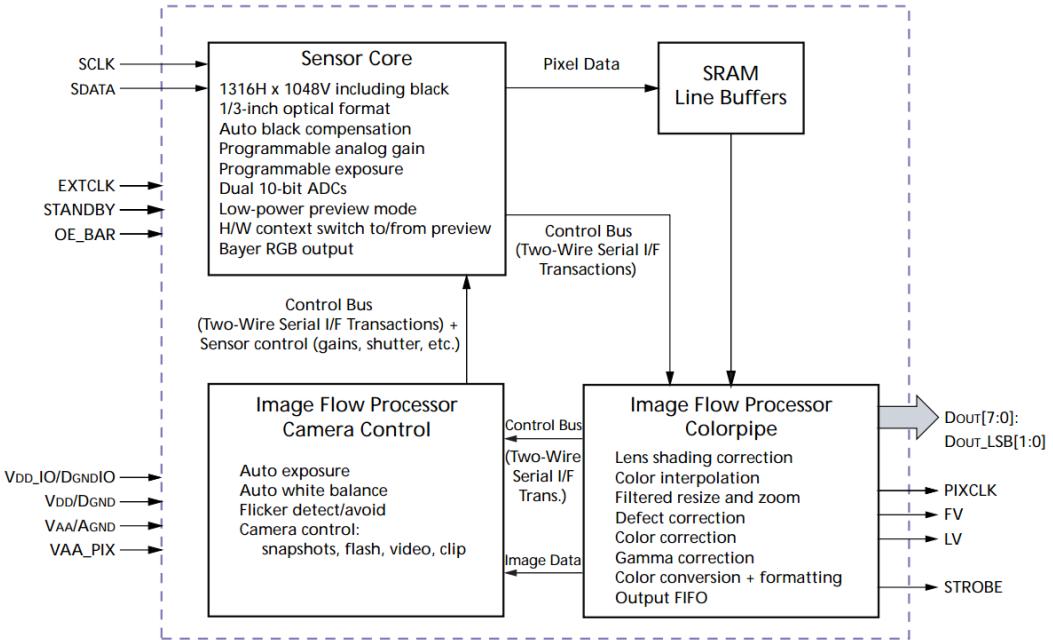
ubiegłego wieku udało się skonstruować nowy typ czujnika oparty na technologii CMOS. Zastosowaną nowością był tzw. aktywny piksel, czyli komórka światłoczuła z wbudowanym tranzystorem. Dzięki temu istnieje możliwość bezpośredniego odczytania zawartości pojedynczego piksela lub pewnego zdefiniowanego obszaru. Zintegrowanie czujnika z technologią używaną do produkcji układów scalonych zaowocowało dodatkowymi udogodnieniami takimi jak prostota sterowania, możliwość przetwarzania obrazu i zapisywania go wprost na nośniki pamięci, zminimalizowanie poboru energii a także obniżenie ceny.



Rysunek 1 – schemat blokowy czujnika obrazu: a) konwersja foton – elektron, b) integracja, transfer ładunku c) wzmacnianie / próbkowanie

Rozwój technologii półprzewodnikowej umożliwił coraz większą skalę integracji prymitywów elektronicznych na jednej płytce krzemowej. Nikogo nie dziwi już dzisiaj układ scalony typu ULSI [4] (*Ultra-Large-Scale Integration*) składający się z ponad miliona tranzystorów, diod czy kondensatorów. Zapotrzebowanie rynkowe na miniaturyzację oraz ciągłe zmniejszanie zużycia energii wymogło na producentach stosowanie coraz bardziej wyrafinowanych metod produkcji. Lata testów w laboratoriach doprowadziły do powstania układów elektrooptomechanicznych typu MOEMS (*Micro-Opto-Electro-Mechanical Systems*) czy SoC (*System on a Chip*). Ten ostatni jest bardzo interesujący z punktu widzenia niniejszej pracy dyplomowej, ponieważ umożliwia wytworzenia kompletnego systemu przetwarzania obrazu na strukturze krzemowej zamkniętej w pojedynczą obudowę. Można w nim umieścić matrycę światłoczułą wraz ze sterownikiem, pamięć RAM, przetwornik analogowo – cyfrowy oraz procesor odpowiadający za obróbkę obrazu „w locie” (korekcja ekspozycji i balansu bieli, równanie histogramu, okienkowanie, kompresja obrazu itp.) i formowanie sygnałów wyjściowych. Dzięki zaimplementowaniu tych wszystkich podzespołów do poprawnej pracy wymagany jest jedynie sygnał zegarowy i magistrala konfigurująca. Oferta rynkowa tego typu urządzeń jest dość szeroka, produkują je między innymi Sony, OmniVision, Himax czy Aptina. Przykładową strukturę

przetwornika i procesora obrazu CMOS zbudowanego w systemie SoC przedstawiono poniżej.



Rysunek 2 – schemat blokowy układu SoC Aptina MT9M131 [5]

Zapotrzebowanie na półprzewodnikowe konwertery obrazu ciągle rośnie. Tezę tę potwierdza raport grupy IC Insight [3] zajmującej się badaniami rynku układów scalonych i innych półprzewodników. Sprzedaż przetworników optoelektronicznych CMOS na świecie regularnie wzrasta. W 2011 ich sprzedaż wyniosła 5.8 miliarda dolarów a rok później już 7.1 miliarda.

1.1 Zastosowania czujników optycznych

[2] Obszary zastosowań urządzeń wyposażonych w czujniki optyczne (aparaty, kamery) można podzielić na cztery części:

- obrazowanie ogólnego przeznaczenia (np. aparaty fotograficzne, amatorskie kamery do użytku domowego, telewizja);
- systemy wizyjne;
- badania naukowe;
- zastosowania militarne.

Pojedyncze urządzenie obrazujące może mieć bardzo szerokie zastosowanie. Przykładowo zwykła kamera konsumencka w pewien sposób może brać udział w badaniach naukowych (proste wykrywanie zdarzeń lub obecności pewnych elementów). Granice używalności w wyżej wymienionych obszarach są tak naprawdę umowne i zacierają się wraz z rozwojem i udoskonalaniem techniki produkcji urządzeń

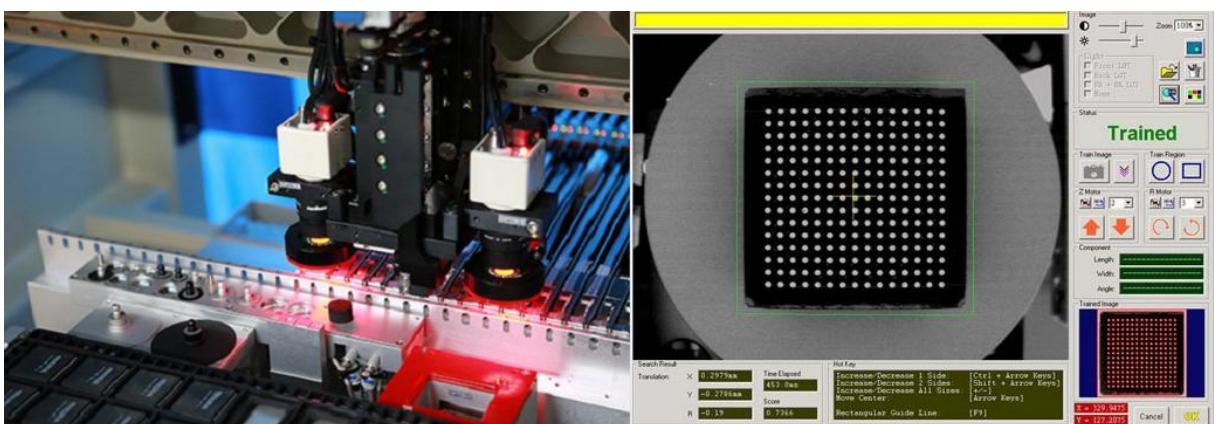
półprzewodnikowych. W poniższej tabeli przedstawiono przykładowe aspekty brane pod uwagę przy projektowaniu urządzeń wizyjnych.

Typ projektu	Obrazowanie ogólnego przeznaczenia	Systemy wizyjne	Badania naukowe	Zastosowania militarne
Algorytmy przetwarzania obrazu	Korekcja gamma, rozszerzenie zakresu dynamiki	W zależności od specyfikacji aplikacji	Wiele opcji dostępnych z poziomu menu	W zależności od specyfikacji aplikacji
Czas przetwarzania obrazu	W czasie rzeczywistym	W zależności od specyfikacji aplikacji z naciśnięciem na dużą szybkość działania	Zwykle nie jest wymagane przetwarzanie w czasie rzeczywistym	W czasie rzeczywistym
Rozdzielcość	Pasująca do przyjętych, światowych standardów	Jak najwyższa dla określonego pola widzenia	Wysoka	Wysoka
Zakres dynamiki	8 bitów/kolor	Do 10 bitów/kolor lub czerń i biel	Do 16 bitów	10 lub 12 bitów
Czułość, wrażliwość na szum	Obrazowanie celów o wysokim kontraście, szum nie jest najważniejszym czynnikiem	W zależności od specyfikacji aplikacji, nie ma problemu z szumem (sztuczne doświetlenie)	Praca w trybie niskoszumnym	Praca w trybie niskoszumnym

Tabela 1 – przekrojowe założenia podczas projektowania urządzenia obrazującego

Czujniki optyczne w układach obrazowania ogólnego przeznaczenia pracują w trybie czasu rzeczywistego. Wykorzystywane są przede wszystkim w profesjonalnych kamerach telewizyjnych oraz sprzętzie powszechnego użytku jak telefony komórkowe, aparaty fotograficzne, kamery internetowe czy konsole do gier wideo. Warunki pracy tych urządzeń wymagają, aby pracowały one bardzo szybko, oferowały dużą moc obliczeniową a sygnał wyjściowy był ustandardyzowany. Nie tak dawno do zastosowań domowych wystarczały układy generujące sygnał w standardzie PAL, w tej chwili minimum, które zadowala konsumenta to obraz telewizyjny o rozdzielcości Full HD, czyli 1920x1080 pikseli. Przykładowy czujnik optyczny projektowany do zastosowań konsumenckich to wspomniany wcześniej SoC Aptina MT9M131 (CMOS) [5].

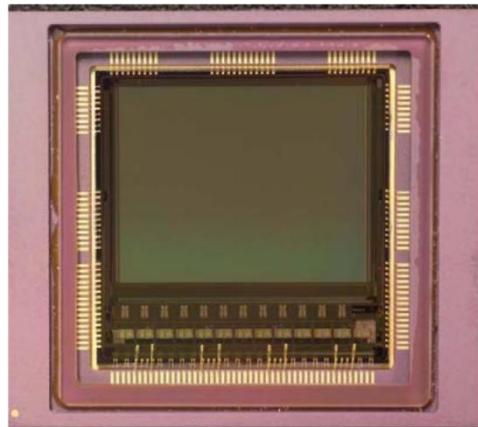
System wizyjny w najprostszej wersji składa się z badanego obiektu, źródła światła, kamery i komputera z zainstalowanym oprogramowaniem, które w czasie rzeczywistym bada zalecone parametry (mogą być nimi np. rozmiar, przesunięcie, defekty). W zastosowaniach przemysłowych mechanizm analizy pozwala w szybki sposób reagować na brak zgodności obrazu z zapisanym wcześniej wzorcem – można usunąć z taśmy produkcyjnej wadliwe elementy. „Widzenie maszynowe”, bo tak można nazwać systemy wizyjne, umożliwia zdalną lub autonomiczną pracę elementów nieożywionych w terenie (lokalizowanie obiektów, przeszkodek, zagrożeń), inspekcję i nadzorowanie maszyn bądź ludzi, wymiarowanie, liczenie a nawet identyfikację, rozpoznawanie i śledzenie ruchu obiektu. Powszechnym zabiegiem jest wykorzystywanie obrazu czarno-białego, który oferuje znacznie lepszy kontrast w stosunku do obrazowania kolorowego. W przeciwieństwie do układów obrazowania ogólnego przeznaczenia, te systemy nie wymagają ustandaryzowania rozdzielczości czy liczby klatek na sekundę. Dowolność jest tak duża, że w pewnych zastosowaniach obrazy dwuwymiarowe są tworzone poprzez łączenie ze sobą wielu obrazów z matryc jednowymiarowych (metoda TDI – *Time Delay and Integration*). Szczególnie interesującym dla elektronika zastosowaniem jest pozycjonowanie elementów SMD podczas montażu w maszynach typu pick & place.



Rysunek 3 – głowica podciśnieniowa (z lewej), obraz z kamery podczas centrowania elementu (z prawej) [6]

Główica podciśnieniowa pobiera elementy z podajników i tacek a następnie przesuwa się do punktu kontroli. Tam dokonuje się ich inspekcji za pomocą kamery wraz z oprogramowaniem do rozpoznawania kształtów. Jest to zabieg konieczny, ponieważ każdy z elementów jest dość swobodnie zapakowany, może też obrócić się podczas pobierania. Testowanie optyczne umożliwia również odrzucenie uszkodzonych

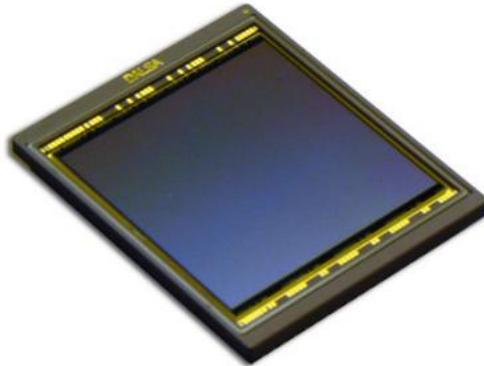
(ukruszona obudowa, brak kulek lutowniczych) bądź nieprawidłowych elementów. Kilkukrotny brak elementu pod głowicą może również wskazywać na zapchaną dyszę. Przykładowy czujnik wykorzystywany do systemów wizyjnych przedstawiono poniżej (LUPA1300-2 (CMOS) produkcji ON Semiconductor, rozdzielcość 1.3 Mpix, 500 klatek/s, wielkość piksela 14x14 um) [7]:



Rysunek 4 – czujnik optyczny dedykowany do obrazowania maszynowego: LUPA1300-2 [7]

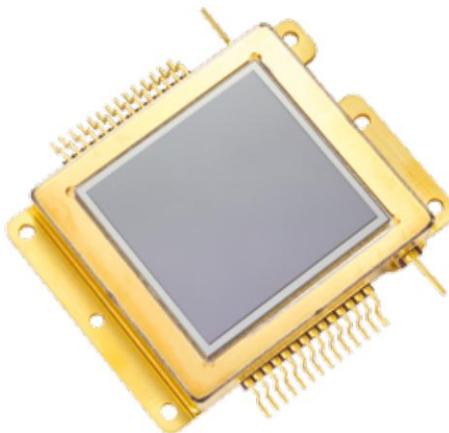
Badania naukowe mają jedne z najwyższych wymagań w stosunku do sprzętu, na którym są prowadzone. Niskoszumność, wysoka rozdzielcość w połączeniu z dużym zakresem dynamiki oraz wysoka sprawność konwersji są głównymi cechami profesjonalnego sprzętu badawczego. Aby wykorzystać pełne możliwości matryc światłoczułych, kamery naukowe wyposaża się w 12-to, 14-to a nawet 16-to bitowe przetworniki analogowo-cyfrowe. Niezmiernie ważne jest, aby zarówno przetwornik jak i współpracująca z nim matryca miały wysoką liniowość. Rozdzielcość jest zależna od ilości elementów światłoczułych a tych może być więcej niż 5000x5000. Niskoszumność odnosi się tutaj do małej wartości prądu ciemnego i małego szumu odczytu. Prąd ciemny minimalizuje się poprzez schładzanie czujnika. Długi czas integracji zwiększa wartość sygnału wyjściowego, co powoduje, że szum odczytu staje się mały w porównaniu do szumu śrutowego. Mimo, że kamery mogące pracować przy słabym oświetleniu matrycy mogą mieć wiele zastosowań, zwykle stosuje się je do celów naukowych. W tym miejscu należy wspomnieć, że nie istnieje precyzyjna definicja określająca, jakie cechy powinna spełniać „kamera do zastosowań przy słabym oświetleniu”. Jedni definiują to jako zdolność do otrzymywania czytelnych obrazów przy oświetleniu poniżej jednego luksa, inni jako kamery ze wzmacniaczami obrazu. Poniżej przedstawiono czujnik [8], który producent, firma Dalsa, przeznaczył do celów naukowych i pracy przy słabym oświetleniu. Poza zastosowaną technologią produkcji

matryca została wyposażona w bardzo duże piksele (24 x 24 um) oraz możliwość tzw. binning-u (sumowanie ładunków z sąsiednich pikseli).



**Rysunek 5 – pełnoklatkowy czujnik optyczny wykorzystywany do prac badawczych:
DALSA IA-DJ High Quanta [8]**

Nie sposób krótko określić, jakie wymagania powinien spełniać czujnik, który będzie używany przez wojsko. Lakonicznie można jedynie stwierdzić, że powinien zawierać wszystkie najlepsze cechy czujników używanych przez cywilów. Wysoka rozdzielcość, niskoszumność, odporność na ciężkie warunki atmosferyczne czy szerokie spektrum widzialności to tylko wierzchołek wymagań stawianym systemom obrazującym w zastosowaniach militarnych. Bardzo ważną rolę odgrywają czujniki reagujące na tzw. „podczerwień termalną”, czyli detekujące promieniowanie wysyłane przez wszystkie organizmy oraz ciała nieożywione, których temperatura przekracza zero bezwzględne. Ze względu na strategiczne znaczenie tych układów nie sposób znaleźć na rynku lub w internecie pełnych not katalogowych opisujących sposób ich użycia. Nieradko sprzedaż czujników jest kontrolowana przez rząd kraju w którym są one produkowane. Przykładem takiego elementu jest Ulis Pico1024E-UL05251 do kupna którego wymagana jest zgoda rządu Francji.



Rysunek 6 – czujnik mikrobolometryczny Ulis Pico1024E-UL05251 [9]

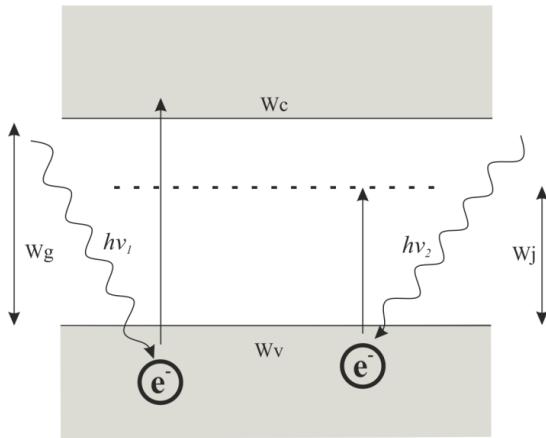
Przedstawiony powyżej mikrobolometr z powodu wysokiej niezawodności oraz energooszczędności jest stosowany w osadzanych na hełm noktowizorach oraz w systemach wspomagających decyzje (automatyczne śledzenie, pozycjonowanie itp.).

1.2 Fizyczne podstawy pracy czujników optycznych

[10], [11] Proces transferu energii promieniowania elektromagnetycznego w detektorach światłoczułych prowadzi do wygenerowania ładunków elektrycznych, których ilość jest proporcjonalna do liczby padających na nie fotonów (tzw. detektory fotonowe) lub do zmian ich właściwości fizycznych pod wpływem absorpcji energii (tzw. detektory termalne). Różnorodność zastosowań detektorów światła jest związana z szerokim zakresem spektralnym (od dalekiej podczerwieni do ultrafioletu), w którym detektory te wykazują znaczące wartości czułości spektralnej przy odpowiednio niskim poziomie szumów.

1.2.1 Detektory fotonowe

Fotonowe detektory promieniowania elektromagnetycznego posiadają wspólną cechę, którą jest proporcjonalna zależność odpowiedzi w obwodzie wyjściowym od natężenia fotonów pobudzających elektrony. Sygnał elektryczny pojawia się dzięki zjawisku fotoelektrycznemu. Jego skutkiem są przejścia elektronów z początkowego stanu energetycznego w ciele stałym do innego, w którym elektrony są zdolne do przemieszczania się i tworzenia prądu elektrycznego. Efektywność tego zjawiska określa się mianem wydajności kwantowej w_k , określonej jako stosunek średniej liczby generowanych nośników ładunku (elektronów) do liczby fotonów docierających do fotodetektora. W detektorach półprzewodnikowych energia zaabsorbowanych fotonów (kwantów promieniowania) powoduje generację par elektron-dziura i zarazem zwiększenie liczby swobodnych nośników ładunku wewnętrz detektora. Efekt ten nazywa się zjawiskiem fotoelektrycznym wewnętrznym. Występuje on, gdy energia zaabsorbowanych fotonów umożliwi elektronom przejście pomiędzy pasmami walencyjnym i przewodnictwa lub między pasmem walencyjnym i poziomem domieszkowym: $h\nu \geq eW_g$ lub $h\nu \geq eW_j$ gdzie h - stała Planck'a, ν – częstotliwość promieniowania elektromagnetycznego, e - ładunek elektronu, W_g - szerokość przerwy zabronionej, W_j – energia jonizacji domieszki.

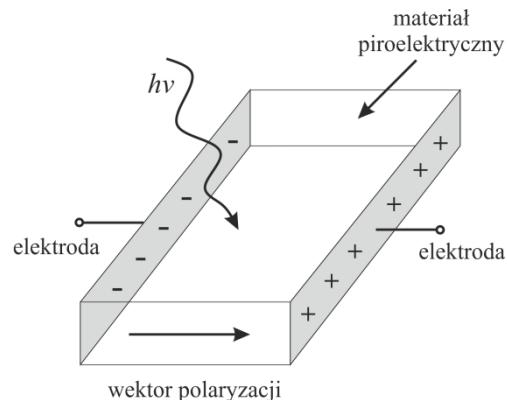


Rysunek 7 – mechanizm zjawiska fotoelektrycznego wewnętrznego

1.2.2 Detektory termalne

W detektorach termalnych zaabsorbowana energia fotonów powoduje wzrost ich temperatury. Zmianom temperatury zwykle towarzyszą zmiany właściwości elektrycznych czujnika, rejestrowane w postaci sygnału elektrycznego. W praktyce wykorzystywane są: zmiany oporności detektora (np. w bolometrach), powstanie napięcia termoelektrycznego (np. w termoparach), zmiany napięcia detektora (np. w detektorach piroelektrycznych) lub nagrzanie ośrodka, w którym zanurzone są termozłącza (w kalorymetrach laserowych). Ze względu na to, że mechanizm detekcji zależy od całkowitej zaabsorbowanej mocy, detektory termalne są spektralnie neutralne.

W nowoczesnych zastosowaniach termowizyjnych, pozwalających określić rozkłady temperatury na powierzchniach badanych obiektów, stosowane są najczęściej detektory piroelektryczne. Wykorzystuje się w nich tzw. efekt piroelektryczny. Polega on na spontanicznej zmianie polaryzacji elektrycznej materiału piroelektrycznego pod wpływem docierającego promieniowania i związanej z nią zmianie rozkładu ładunków elektrycznych na powierzchni detektora.

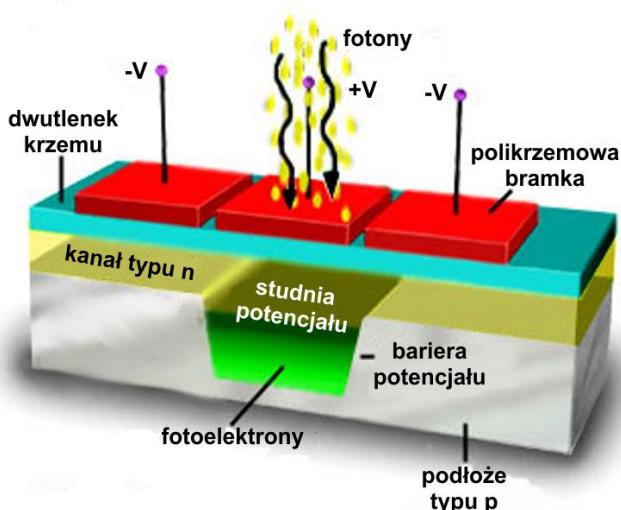


Rysunek 8 – schemat ideowy działania detektora piroelektrycznego

Materiał piroelektryczny jest umieszczony między dwoma elektrodami. W wyniku napromieniowania i zmian temperatury, w powstającym w ten sposób kondensatorze indukują się na elektrodach ładunki elektryczne. Zmianom ładunków towarzyszy przepływ prądu elektrycznego w obwodzie zewnętrznym i zmiana spadku napięcia na oporze obciążenia detektora. Wartość prądu sygnału wyjściowego jest proporcjonalna do szybkości zmian temperatury, a nie zależy od jej wartości bezwzględnej.

1.3 Czujniki optyczne typu CCD

[2], [12] Pojęcie CCD odnosi się do półprzewodnikowej struktury, w której ładunek elektryczny jest transferowany przez obszar zapisu (składowania). Architektura ta składa się z trzech podstawowych bloków: gromadzenia ładunków, transferu ładunków i konwersji ładunków na mierzoną wielkość elektryczną. Głównym składnikiem przetwornika z przenoszeniem ładunku jest światłoczuły kondensator typu MIS (*metal-insulator-semiconductor*). Podstawowym a zarazem najpowszechniejszym pierwiastkiem, z którego buduje się współczesne układy scalone jest krzem. Po jego utlenieniu powstaje izolator (dwutlenek krzemu) stąd kondensatory MIS wykonane w strukturze krzemowej nazywają się kondensatorami MOS (*metal-oxide-semiconductor*).



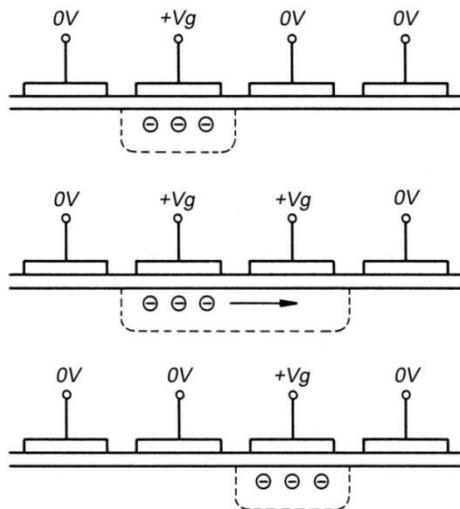
Rysunek 9 – kondensator MOS [12]

Światłoczuły kondensator MOS składa się z trzech elementów:

- polikrzemowej elektrody zwanej bramką (początkowo bramka wykonywana była z glinu stąd w nazwie MOS wyraz *metal*);
- cienkiej warstwy izolatora (najczęściej w postaci dwutlenku krzemu);
- podłoża krzemowego.

Podłoże typu p tworzy się poprzez bombardowanie wafla krzemowego jonami boru. Podczas tego procesu, tworzą się obszary energetyczne tzw. *channel stopper*, odpowiedzialne za ograniczanie miejsca, w którym znajdują się ładunki elektryczne. Kanały zagrzebane typu n, uformowane przez implantację jonów fosforu, tworzą wraz z podłożem strukturę diody ze złączem pn. Dzięki temu, głęboko pod obszarem bramki i izolatora kondensatora tworzy się tzw. studnia potencjału. Podstawową funkcją kanałów zagrzebanych jest utrzymywanie pozyskanych fotoelektronów z daleka od obszaru dwutlenku krzemu. Jest to korzystne, ponieważ podczas procesu transferu ładunku elektrony mogłyby zostać uwięzione w warstwie izolatora. Transfer ładunku znajdującego się głęboko w krzemowym podłożu typu p jest bardziej skuteczny (wynosi ponad 99,999% [13]) od transportu w kanale powierzchniowym, występuje mniejsze prawdopodobieństwo pozostawienia ładunku w obszarze pod bramką.

Fotoelektrony gromadzą się w studni potencjału pod elektrodą spolaryzowaną napięciem dodatnim (na rysunku 9. oznaczona jako $+V_g$). Bramki sąsiadujących kondensatorów są spolaryzowane ujemnie ($-V$) tworząc jednocześnie bariery potencjału zawężające obszar istniejącej studni. Kondensatory MOS umieszczone jeden obok drugiego pozwalają transferować ładunki pomiędzy sobą dzięki sekwencyjnej zmianie napięcia na trzech sąsiednich bramkach. Zmiany napięcia powodują „przelewanie” się elektronów z jednej studni do drugiej.



Rysunek 10 – zasada transferu ładunku w matrycach CCD [13]

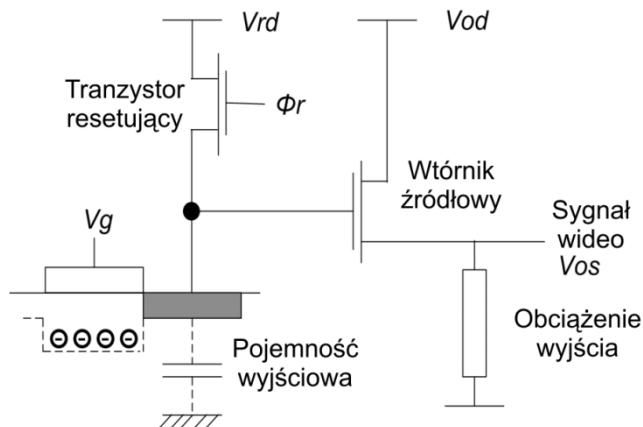
Każda ze studni potencjału jest zdolna do przetrzymywania określonej ilości fotoelektronów, jej pojemność determinuje zakres dynamiczny przetwornika CCD. W trakcie naświetlenia przetwornika fotonami promieniowania światłnego następuje proces zwany integracją – fotoelektrony wygenerowane w warstwie zubożonej

(w złączu pn) wypełniają studnię potencjału. Pomiar zgromadzonego ładunku odbywa się w stopniu wyjściowym zrealizowanym najczęściej jako wzmacniacz tranzystorowy. Fotoelektron, aby do niego dotrzeć, muszą być przetransferowane za pomocą odpowiedniej kombinacji szeregowych i równoległych analogowych rejestrów przesuwnych („przelewanie” ładunku).

Po integracji, następuje transfer obrazu do układu odczytu. Wszystkie ładunki są przesuwane równolegle, linia po linii w kierunku pionowym do szeregowego rejestru odczytu. Szybkość procesu składającego się z kilku kroków (od dwóch do czterech) jest zależna od częstotliwości zegara transferu pionowego. Przesuw dokonuje się podczas zmniejszania potencjału elektrody nad studnią przechowującą fotoelektrony przy jednoczesnym zwiększeniu potencjału następnej elektrody. Po dotarciu linii obrazu do szeregowego rejestru odczytu, pakiet elektronów jest przesuwany piksel po pikselu do wzmacniacza wyjściowego. Odczyt odbywa się synchronicznie z zegarem transferu poziomego. Wraz z zakończeniem odczytu linii do szeregowego rejestru odczytu transferowana jest kolejna linia obrazu.

Konwersją ładunków na mierzalną wartość elektryczną zajmuje się obwód wyjściowy składający się z:

- rozproszonej pojemności wyjściowej;
- tranzystora ładowującego w/w pojemność (tranzystor resetujący);
- wtórnika źródłowego zmniejszającego rezystancję wyjściową.



Rysunek 11 – stopień wyjściowy czujnika CCD [13]

Specyfika działania sensora CCD wymaga, aby odczyt każdego pojedynczego piksela był poprzedzony przeładowaniem pojemności wyjściowej do poziomu napięcia resetującego V_{rd} . Umożliwia to klucz tranzystorowy, który jest włączany i wyłączany potencjałem φ_r . Ładunek zgromadzony w ostatniej bramce szeregowego rejestru

przesuwnego jest transferowany do pojemności wyjściowej obniżając tym samym napięcie na niej. Ostateczny, wyjściowy sygnał V_{os} video jest dostępny na źródle wtórnika.

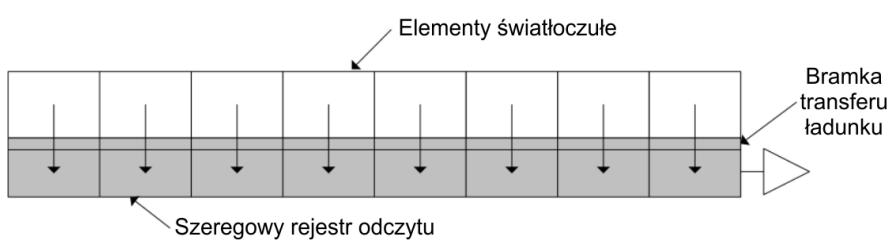
Obecnie wykorzystuje się cztery typy architektur matryc CCD:

- matryce linijkowe (*Linear Arrays*);
- matryce z pełną klatką (*Full Frame Transfer Arrays*);
- matryce z transferem klatki (*Frame Transfer*);
- matryce z odstępem pomiędzy kolumnami światłoczułymi (*Interline Transfer*).

Wybór odpowiedniej matrycy CCD zależy od miejsca jej zastosowania. Najczęściej stosowanym typem w wysoko wymagających aplikacjach są czujniki z pełną klatką i transferem klatki. Używa się ich do precyzyjnego obrazowania np. w czułych kamerach do obserwacji zjawisk astronomicznych. Matryce z odstępem pomiędzy światłoczułymi kolumnami są najbardziej rozpowszechnione w sprzedaży konsumenckim i profesjonalnym (kamery telewizyjne), natomiast czujniki z matrycą linijkową w urządzeniach przemysłowych.

1.3.1 Matryca linijkowa

Najprostszą aranżacją matrycy elementów światłoczułych jest matryca linijkowa, zwana czasami matrycją z pojedynczą linią obrazu. Najczęstszymi ich zastosowaniami są układy gdzie albo kamera albo obiekt poruszają się w kierunku prostopadłym do światłoczułego wiersza czujnika. Można ich jednak użyć tylko wtedy, gdy potrafimy precyzyjnie kontrolować przesuw obiektu np. w stacjonarnych skanerach dokumentów.

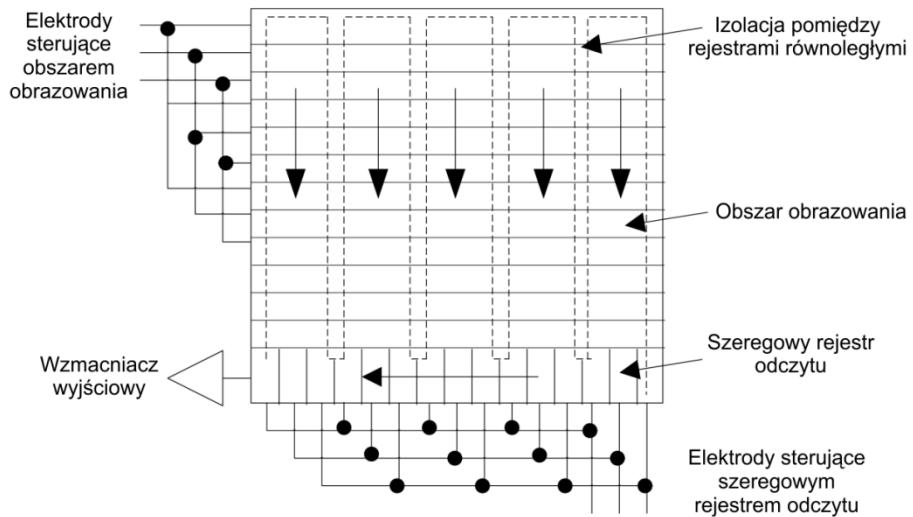


Rysunek 12 – schemat matrycy linijkowej [13]

Bramki służące do transferu linii obrazu wraz z szeregowym rejestrzem odczytu są tu umieszczone zaraz przy elementach światłoczułych. Rejestr jest podatny na generowanie elektronów pod wpływem promieniowania światelnego dlatego umieszcza się go pod metalową osłoną zabezpieczającą przed przedostawaniem się fotonów.

1.3.2 Matryca z transferem pełnej klatki

Rysunek poniżej pokazuje koncepcję działania matrycy z pełną klatką.



Rysunek 13 – schemat matrycy z pełną klatką [13]

Po zakończeniu konwersji fotonów na potencjał elektryczny, przetwornik CCD rozpoczyna odczyt zawartości przesuwając pojedyncze linie obrazu przez rejesty równoległe. Każda linia trafia do rejestrów odczytu skąd szeregowo, synchronicznie z zegarem transferu poziomego, ładunki są transferowane do wzmacniacza wyjściowego. Przed przesunięciem nowej linii obrazu do rejestrów odczytu, wszystkie ładunki z poprzedniej muszą zostać usunięte (przetworzone do wyjścia). Proces powtarza się do momentu odczytania wszystkich linii obrazu i przetworzenia ich do wartości dyskretnych za pomocą przetwornika ADC. Ten typ architektury cechuje się stuprocentowym współczynnikiem wypełnienia, co oznacza, że cała matryca pikseli jest używana do detekowania docierających fotonów podczas ekspozycji. Matryce z pełną klatką występują najczęściej w rozdzielcości będącej potęgą liczby 2 (tzn. np. 512x512, 1024x1024 pikseli) w celu ułatwienia mapowania pamięci. Przetworniki używane w celach naukowych mają kwadratowe piksele, które zmniejszają zniekształcenia obrazu oraz upraszczają algorytmy jego przetwarzania a rozmiar pojedynczego piksela ma najczęściej pomiędzy 7 a 24 μm . Matryca pikseli służy do przechwytywania światła i jednocześnie do transferu wygenerowanego ładunku. Aby nie dopuścić do powstawania smug, przy dłuższym czasie odczytu konieczne jest użycie zewnętrznej migawki lub oświetlenia stroboskopowego. Smugi powstają w momencie transferu linii obrazu przez rejesty równoległe przy jednoczesnym oświetlaniu matrycy. Ich kierunek jest zgodny z kierunkiem transferu linii obrazu. Smugi są zaniedbywalne, jeśli czas

integracji jest dużo dłuższy od czasu odczytu klatki. Taka sytuacja jest często spotykana podczas obserwacji astronomicznych.

Szybkość transferu klatki obrazu jest ograniczona szerokością pasma przenoszenia wzmacniacza wyjściowego oraz (jeśli obecny) możliwościami konwersji współpracującego z nim przetwornika analogowo – cyfrowego. Odczyt można znacznie przyspieszyć dzieląc matrycję na kilka mniejszych, ale identycznych części, które odczytuje się równocześnie.

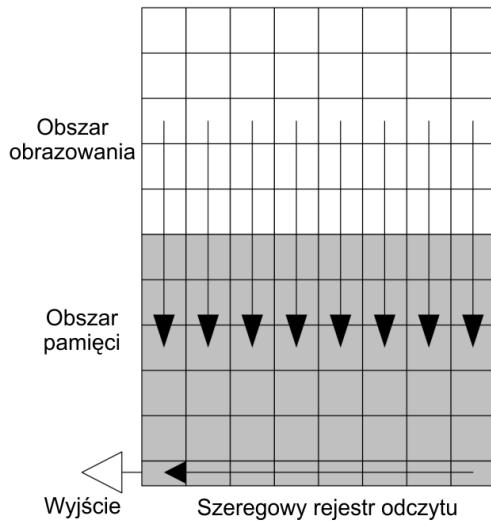


Rysunek 14 – schemat podzielonej matrycy z pełną klatką

Każdy fragment posiada wówczas własny i niezależny szeregowy rejestr odczytu oraz wzmacniacz wyjściowy. Rozwiążanie to implikuje konieczność użycia większej liczby przetworników analogowo – cyfrowych oraz specjalnego oprogramowania, które łączy odebrane fragmenty w całość. Dzieląc matrycję na n części uzyskuje się n-krotne zwiększenie transferu danych a przez to większą ilość klatek na sekundę.

1.3.3 Matryca z transferem klatki do obszaru przechowywania

Matryca z transferem klatki obrazu przetwarza fotony na ładunki w taki sam sposób jak detektory typu pełna klatka. Zakończenie integracji promieniowania światlnego jest początkiem transferu zebranych ładunków przez rejesty równoległe do obszaru przechowywania (pamięci). Stamtąd, podobnie jak w matrycach typu pełna klatka, elektryny linia po linii są przesuwane do szeregowego rejestru odczytu a następnie do wzmacniacza wyjściowego. Czas przesłania pojedynczej klatki obrazu z obszaru światłoczułego do obszaru pamięci zależy od rozmiaru matrycy, zwykle jednak od momentu rozpoczęcia transferu do jego zakończenia mija nie więcej niż 500 µs. Obszar przechowywania to najczęściej część matrycy światłoczułej zabezpieczona przed naświetlaniem.



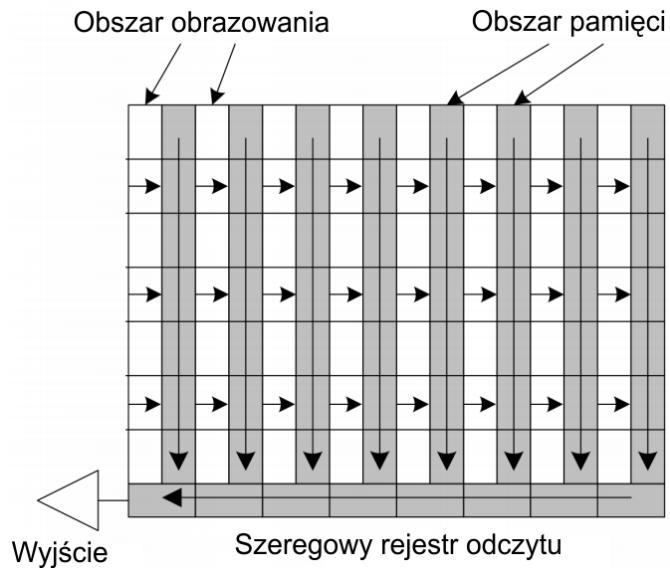
Rysunek 15 – schemat matrycy z transferem klatki [13]

Niektóre czujniki nie posiadają nad nim osłon mechanicznych dzięki temu mogą pracować w trybie pełnej klatki lub transferu klatki. Po dołączeniu mechanicznej migawki taki czujnik może być zastosowany do sekwencyjnego przechwytywania dwóch różnych obrazów - funkcja używana w mikroskopach fluorescencyjnych. Podział matrycy na dwie części, osłoniętą i nieosłoniętą od światła, umożliwia odczyt obrazu z obszaru pamięci przy jednoczesnej integracji ładunków dla następnej klatki. Czujnik na granicy obszaru obrazowania i przechowywania może zawierać kilka pustych linii obrazu. Zaimplementowane w nich studnie potencjału gromadzą niechciane fotony i „uszczelniają” mechaniczną osłonę obszaru przechowywania.

Ogromną zaletą matryc z transferem klatki jest brak konieczności stosowania ruchomych przesłon mechanicznych lub oświetlenia stroboskopowego. Użycie „elektronicznej migawki” (bo tak nazywany jest czujnik z obszarem przechowywania) traci efektywność dla szybkozmiennych obrazów. Podobnie jak w przypadku matryc z transferem pełnej klatki, pojawiają się smugi. Ich powstawanie jest wynikiem integracji ładunków z jednoczesnym przesłaniem obrazu do obszaru pamięci. Im szybszy transfer tym mniejsze smugi. Wadą tego typu konstrukcji jest wysoki koszt produkcji. Wynika z konieczności wytworzenia dwóch obszarów aktywnych, pomimo, że do naświetlania wykorzystuje się tylko połowę.

1.3.4 Matryca z odstępem pomiędzy kolumnami światłoczułymi

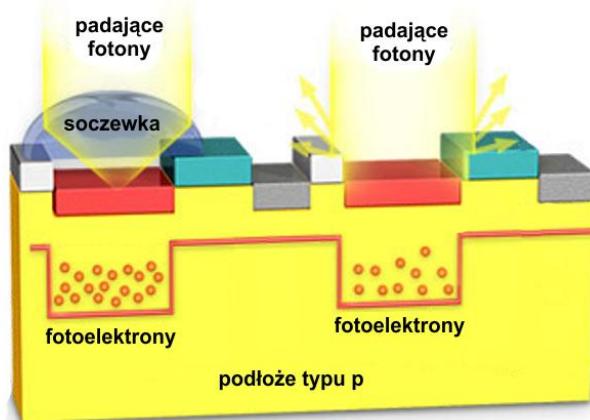
Rysunek poniżej pokazuje koncepcję działania matryc z odstępem pomiędzy światłoczułymi kolumnami.



Rysunek 16 – schemat matrycy z odstępem pomiędzy kolumnami światłoczułymi [13]

Czujniki tego typu powstały w celu wyeliminowania wielu ograniczeń matryc z transferem klatki i są obecnie najpopularniejszymi architekturami stosowanymi na rynku masowym. Po zakończeniu integracji ładunek z elementów światłoczułych jest bardzo szybko transferowany do komórki pamięci. Dzieje się tak dlatego, że każdy element konwertujący światło na ładunki elektryczne ma bezpośrednie połączenie ze swoją komórką pamięci w obszarze przechowywania. Obszar pamięci to, podobnie jak w przypadku czujników z transferem klatki, fragment matrycy. Nad nim znajduje się osłona chroniąca przed przedostawaniem się przypadkowego światła. Różnica polega na tym, że rejesty pamięci są umieszczone równolegle do elementów przetwarzających fotonów na ładunki elektryczne a nie w zupełnie innym obszarze matrycy. Odczyt klatki przebiega identycznie jak w pozostałych architekturach: dane z pionowych rejestrów są linia po linii przesyłane do szeregowego rejestrów odczytu a stamtąd do wzmacniacza wyjściowego. Cały proces powtarza się do momentu wysłania na zewnątrz czujnika pełnej ramki obrazu. Podczas gdy z rejestrów odczytywane są dane obrazowe, część światłoczuła może być wykorzystana do integracji ładunków dla następnej klatki (podobnie jak w matrycach z transferem klatki). Detektory z odstępem pomiędzy elementami światłoczułymi zostały zaprojektowane do pracy bez konieczności użycia zewnętrznych elementów mechanicznych. Nie są potrzebne ani regulatory padającego strumienia światlnego ani lampy stroboskopowe, co umożliwia szybszą akwizycję i większą liczbę dostępnych klatek na sekundę (parametr fps: *frames per second*). Mimo to, w zastosowaniach profesjonalnych nadal stosuje się przesłonę mechaniczną ze względu na niecałkowite osłonięcie obszaru przechowywania. Konstruktorzy

znaczco zmniejszyli też problem smug powstających podczas przesyłania obrazu do pamięci, ponieważ transfer elektronów wprost do pamięci zajmuje jedynie kilka μ s. Minusami tego typu czujników jest dość wysoki koszt produkcji oraz mała czułość. Koszty wzrastają, ponieważ proces produkcji jest dość skomplikowany a zmniejszona czułość wynika z małej powierzchni światłoczułych pikseli. Ten mankament można usunąć stosując mikrosoczewki zwiększące ilość światła padającego na matrycę. Poprawia to wydajność kwantową w zakresie światła widzialnego oraz zwiększa współczynnik wypełnienia z ok. 20-25 procent do ponad 75 procent.



Rysunek 17 – zasada działania mikrosoczewki [12]

Rysunek powyżej pokazuje działanie piksela z (z lewej) i bez (z prawej) soczewki skupiającej. Zastosowanie soczewki powoduje przekierowanie fotonów padających na obszary nieuczestniczące w konwersji foton-ładunek do obszarów światłoczułych. Obszar światłoczuły niewyposażony w mikrosoczewkę jest zdecydowanie słabiej naświetlony. Promieniowanie odbija się od nieprzeźroczystych struktur i nie bierze udziału w integracji ładunku.

Matryce z przeplotem są podatne na zniekształcenia spowodowane dostawaniem się przypadkowego światła do obszaru zapisywania. Efekt ten jest szczególnie widoczny np. w mikroskopach, w miejscach, w których silna wiązka światła nie jest osłabiona przez próbkę. W profesjonalnym sprzęcie problem ten rozwiązuje się poprzez użycie czujników będących hybrydą matryc z transferem klatki i odstępami pomiędzy światłoczułymi kolumnami. W literaturze anglosaskiej nazywają się FIT – *Frame Interline Transfer*.

W elementach światłoczułych oraz bramkach transferu ładunku występują pewne pojemności pasożytnicze. Sterowanie nimi odbywa się przez połączenia wewnętrzne o pewnej rezystancji (wynikającej z technologii produkcji). Połączenie tych dwóch

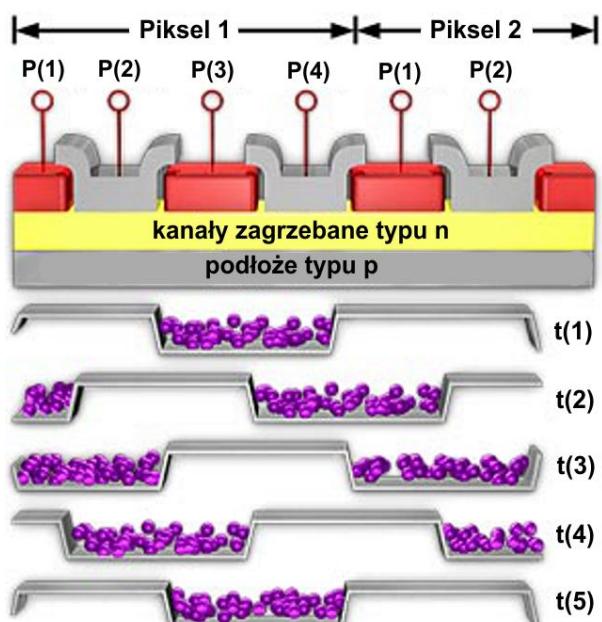
elementów skutkuje powstaniem stałej czasowej, która ogranicza szybkość transferu ładunków do pionowych rejestrów. Skutkiem tych opóźnień może być niepełne usunięcie nośników z obszaru światłoczułego, które dodadzą się do następnej klatki obrazu powodując powstawanie artefaktów w postaci cieni – historii obrazu. Efekt ten niweluje się dodając dodatkową elektrodę kasującą.

1.3.5 Sterowanie matrycą CCD

Koniec integracji następuje po upłynięciu tzw. czasu ekspozycji, czyli okresu przewidzianego dla procesu konwersji fotonów na nośniki prądu elektrycznego. Zgromadzone ładunki, żeby były w jakikolwiek sposób przydatne dla użytkownika, należy zamienić na łatwo mierzoną wartość elektryczną. Zajmuje się tym stopień wyjściowy, który jest fizycznie oddzielony od obszaru matrycy. Aby podać mu na wejście odpowiedni sygnał konieczny jest mechanizm transportowy dostarczający elektrony z elementów światłoczułych. W tym celu stosuje się odpowiednią kombinację połączeń bramek transportowych (w rejestrach równoległych i szeregowych) oraz sygnały zegarowe. W zależności od architektury wnętrza CCD wyróżnia się sterowanie dwu-, trzy i czterofazowe.

1.3.5.1 Sterowanie czterofazowe

Piksel matrycy CCD, która do pracy potrzebuje sterowania czterofazowego, składa się z czterech niezależnych, polikrzemowych bramek. Każda z nich do prawidłowego transportu ładunków wymaga oddzielnego sygnału zegarowego.



Rysunek 18 – schemat sterowania czterofazowego [12]

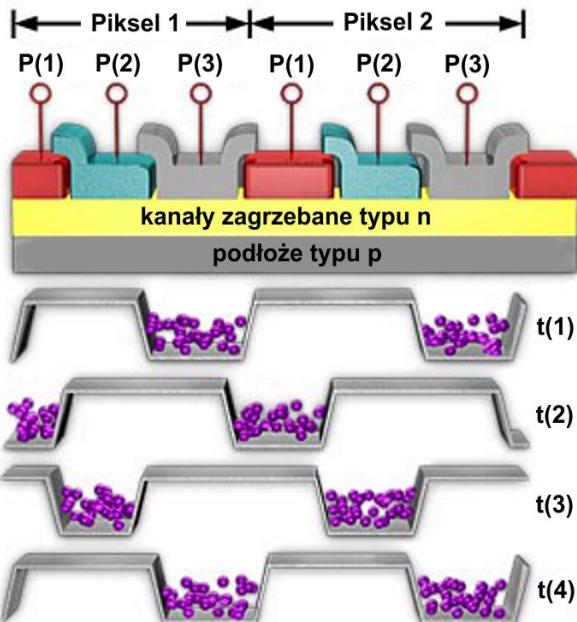
Na rysunku powyżej przedstawiono fragment rejestru przesuwnego obrazujący budowę jednego pełnego piksela i połowę kolejnego. Rozkład sił elektrostatycznych występujących w krzemie pod bramkami jest determinowany przez napięcie przyłożone do każdej z nich. Wysokie (logiczna „1” występująca w sygnale zegarowym) indukuje formowanie pod bramkami studni potencjału, zaś niskie(logiczne „0”) powstawanie barier potencjału uniemożliwiających ładunkom poruszanie się. Wartości napięć nie są stałe, każdy producent określa ich poziom w dokumentacji technicznej dostarczonej do matrycy.

Na rysunku 18 stan początkowy jest oznaczony jako t(1). Elektrycznie jest to podanie niskiego napięcia na bramki P(1) oraz P(2) i jednoczesne zasilenie bramek P(3) i P(4) napięciem wysokim. W wyniku takiej kombinacji pod bramkami P(3) i P(4) tworzy się studnia potencjału przetrzymująca ładunki zgromadzone w pikselu numer 1. Proces przesuwania elektronów t(2) rozpoczyna się w momencie zmiany polaryzacji bramek P(1) i P(3), P(1) ze stanu niskiego na wysoki, P(3) ze stanu wysokiego na niski. Oddziaływanie elektrostatyczne przesuwają paczkę ładunków (fioletowe kule na rysunku powyżej) do nowej studni potencjału uformowanej pod bramką P(4) z pierwszego piksela i P(1) drugiego. W chwili t(3) potencjał bramek P(2) z obu pikseli zmienia się z niskiego na wysoki a na bramce P(4), należącej do pierwszego piksela, z wysokiego na niski. Ten etap wymusza przesunięcie ładunków do nowej studni uformowanej tym razem pod bramkami P(1) i P(2) drugiego piksela. Równocześnie pod bramkami P(1) i P(2) pierwszego piksela tworzy się studnia, do której trafiają elektrony z zerowego piksela (niewzględniony na ilustracji). Pojedynczy cykl kończy się w momencie t(4) kiedy to ładunki gromadzą się pod bramkami P(2) i P(3) obu pikseli. Moment t(5) jest tożsamy z momentem t(1). Ilość cykli takich jak ten wyjaśniony przed chwilą jest ściśle związana z rozdzielczością matrycy. Opisana sytuacja dotyczy pojedynczego wiersza lub kolumny. W czujniku CCD mogą znajdować się ich dziesiątki a nawet tysiące a każdy jest sterowany równolegle według tego samego schematu.

1.3.5.2 Sterowanie trójfazowe

Sterowanie przebiegiem trójfazowym, dzięki zastosowaniu tylko trzech bramek na piksel, powoduje zwiększenie rozdzielczości przestrzennej w stosunku do urządzeń sterowanych za pomocą czterech faz. Analogowy rejestr przesuwny składa się z jednej bramki, pod którą gromadzą się ładunki oraz dwóch sąsiednich tworzących bariery potencjału. Taka konstrukcja pozwala na szybszy transfer elektronów, większą ilość

klatek obrazu na sekundę oraz prostszą i tańszą produkcję detektorów. Inną zaletą tej technologii, tym razem w stosunku do sterowania dwufazowego, jest konieczność wytworzenia tylko trzech bramek na piksel. Sterownik sygnału zegarowego zarządzający przesuwem jest wówczas obciążony tylko jedną bramką (na piksel) i co za tym idzie może mieć mniejszą wydajność prądową. Sterowanie trójfazowe odbywa się przy pomocy trzech bramek na piksel. Do poprawnego przesuwu ładunku każda z nich potrzebuje niezależnego sygnału zegarowego.

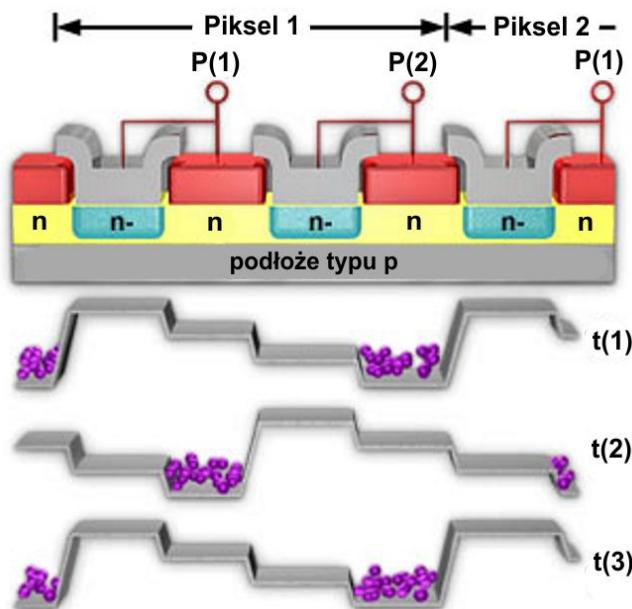


Rysunek 19 – schemat sterowania trójfazowego [12]

Stan inicjalizujący transfer ładunku oznaczono na rysunku 19 jako t(1). Do bramek P(1) i P(2) obu pikseli dołączone jest niskie napięcie, które formuje pod nimi bariery potencjału. Bramki P(3) są zasilane wysokim napięciem – tam powstają studnie energetyczne. W momencie t(2) zmienia się polaryzacja bramek P(1) i P(3). Zwiększenie napięcia na P(1) rozszerza studnię o obszar pod tą bramką. Krótko po tym (ale nie równocześnie) potencjał P(3) obniża się „wypychając” fotoelektrony do studni pod P(1). Wypychanie ładunków świadczy o powstającej tam barierze. W tym sam sposób, zmieniając potencjał na P(1) i P(2), ładunki są przesuwane pod elektrody P(2) co jest zobrazowane w stanie t(3). Na tym etapie kończy się pojedynczy cykl. Etap t(4) jest równoważny t(1), powstaje przez zwiększenie napięcia na P(3) a następnie zmniejszenie potencjału P(2). Elektrony, które podczas t(1) znajdowały się pod bramką P(3) pierwszego piksela znajdują się teraz pod bramką P(3) piksela nr 2.

1.3.5.3 Sterowanie dwufazowe

Dwufazowy transfer ładunku wykorzystuje cztery bramki (w obrębie jednego piksela), z których każdej dwie sąsiadnie są ze sobą połączone. Takie sterowanie wymaga bardziej skomplikowanej budowy matrycy niż sterowanie trzy i czterofazowe. Bramki są podłączone do zmiennego sygnału zegarowego (Transfer Clock). Co druga z nich (po jednej w każdej parze) posiada pod sobą obszar silniej domieszkowany domieszką donorową (n -). Przyłożenie do tak skonstruowanej pary bramek dodatniego napięcia powoduje, że pod tą z silniejszą domieszką (n -) utworzy się wyższy potencjał zwiększając tym samym głębokość studni potencjału dla elektronów. Pomiędzy bramkami w parze tworzy się zatem dodatkowa bariera potencjału. Siła oddziaływań elektrostatycznych, określona przez prawo Coulomba, zależy od napięcia dołączonego do bramki dostarczonego przez sygnał zegarowy. Wysokie napięcie na bramce powoduje formowanie się studni potencjału pod nią, podczas gdy niskie napięcie na bramce formuje barierę potencjału uniemożliwiającą ruch elektronom. Linie zegarowe są sterowane naprzemiennie – tym samym sygnałem, ale przesuniętym w fazie o 180 stopni.



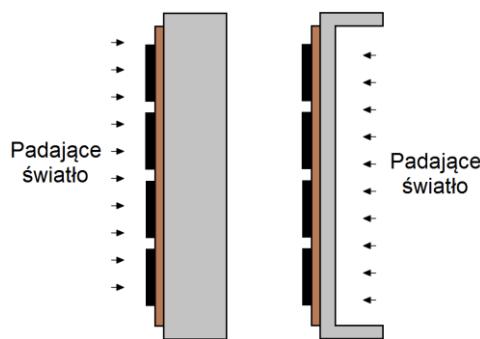
Rysunek 20 – schemat sterowania dwufazowego [12]

Stan początkowy (oznaczony na rysunku powyżej jako t(1)) występuje, gdy do bramek P(1) podłączy się niskie napięcie. Pod nimi formuje się dwustopniowa bariera potencjału z wyższym potencjałem w obszarze silniejszego poziomu domieszkowania (n -). Podłączenie w tym samym czasie wysokiego napięcia do bramek P(2) powoduje

powstanie dwustopniowej studni potencjału, w której najwyższy poziom energetyczny znajduje się w obszarze normalnie domieszkowanym (n). W drugiej, końcowej fazie cyklu (czasie $t(2)$) następuje zamiana polaryzacji elektrod. Bramki P(1) posiadają wyższy potencjał i to pod nimi znajdują się studnie potencjału. Po tej fazie cykl rozpoczyna się od początku, rozkład potencjałów w czasie $t(3)$ i $t(1)$ jest identyczny.

1.3.6 Przetworniki *front* i *back illuminated*

Historycznie pierwsze matryce CCD były zaprojektowane do akumulacji fotonów docierających do nich „od przodu” (*front illuminated*), czyli padających od strony bramek i warstwy polikrzemowej. Technologicznie proste wykonanie układu niesie za sobą szereg wad, z których najpoważniejszymi są spore odbicia i niechciana absorpcja. Foton zanim dotrze do właściwego elementu światłoczułego może zostać odbity albo zaabsorbowany w obszarze bramki lub polikrzemu zmniejszając tym samym wydajność kwantową całego układu. Maksymalna wydajność zwykle nie przekracza 45% dla światła widzialnego, dla ultrafioletu jest zbliżona do 0.



Rysunek 21 – przekrój przez czujnik *front* (z lewej) i *back illuminated* (z prawej)

Wady te wyeliminowano poprzez przekonstruowanie struktury półprzewodnikowej w taki sposób, aby światło docierało do czujnika „od tyłu” (*back illuminated*). Na tylnej warstwie nie trzeba tworzyć żadnych dodatkowych struktur ani powłok (takich jak bramki i warstwy polikrzemowe), więc światło nie napotyka żadnych barier mechanicznych. W rezultacie uzyskuje się matrycę o wysokiej czułości wykrywającą słabe oświetlenie w szerokim zakresie spektralnym. Elementy te muszą być skonstruowane w taki sposób, aby fotoelektrony wygenerowane od strony oświetlanej (tył przetwornika) mogły być zebrane w studni potencjału uformowanej blisko przodu przetwornika. Osiąga się to poprzez zmniejszenie grubości podłoża krzemowego do ok. $10 - 20 \mu\text{m}$ (stąd inna nazwa tego typu matrycy: *back thinned*). Mała grubość podłoża ma również inną zaletę – pole elektryczne wytworzone w tak cienkiej strukturze ma duże

natężenie. Pomiędzy bramką i podłożem powstają siły, które kierują wygenerowane elektrony wprost do studni potencjału. Ładunki z bardzo małym prawdopodobieństwem mogą zostać przechwycone przez sąsiednie studnie lub zrekombinować w miejscu nieobjętym studnią.

1.4 Czujniki optyczne typu CMOS

Na początku lat 90. ubiegłego wieku pojawiła się alternatywa dla czujników optycznych ze sprzężeniem ładunkowym w postaci monolitycznych matryc z komplementarnymi tranzystorami MOS. Ich obecność to naturalna konsekwencja udoskonalania technologii CMOS optymalizowanej do aplikacji z cyfrowym przetwarzaniem danych. Projektowanie układów optycznych zgodnych z aktualnymi trendami technologicznymi znaczaco zmniejszyło koszty, zwiększyło możliwości produkcyjne a w konsekwencji doprowadziło do popularyzacji czujników w tanim sprzeście konsumenckim.

Kluczowymi różnicami pomiędzy technologią wykonania matryc CMOS i CCD są:

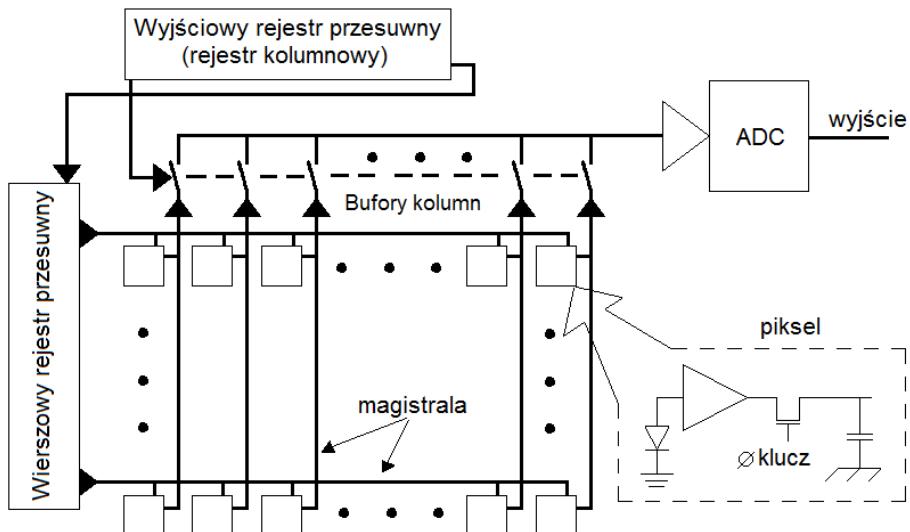
- koncepcja budowy pojedynczego piksela;
- sposób formowania klatki obrazu (szeregowania danych z pikseli);
- wymagania produkcyjne i technologiczne;
- inny sposób sterowania integracją i odczytem z piksela;
- łatwość integracji matrycy światłoczułej z cyfrowymi układami zwiększającymi elastyczność oraz możliwości detektora (wspomniane we wstępie układy SoC);
- zwiększenie wydajności przy jednoczesnym zmniejszeniu poboru energii.

Obwód elektroniczny piksela matrycy CMOS opisuje się najczęściej w postaci skrótu np. 3T, 4T, 5T itd. i jest to liczba określająca ilość tranzystorów znajdujących się w pojedynczym pikselu. Wraz ze zwiększeniem liczby tranzystorów wzrasta funkcjonalność, choć zmniejsza się jednocześnie obszar światłoczuły. Zastosowanie czterech lub więcej tranzystorów zwiększa wydajność poprzez znaczące zredukowanie szumów.

1.4.1 Budowa matryc CMOS

[2, 12] Konwersja ładunków na napięcie odbywa się wewnątrz piksela. Każdy z nich składa się z fotodiody, elektrometru (konwertera ładunek-napięcie) oraz obwodów adresowania i wyjściowego. Sygnał elektryczny odzwierciedlający natężenie padających fotonów jest buforowany przez tranzystorowy wtórnik źródłowy, następnie przesyłany

przez klucz tranzystorowy (ulokowany wewnętrz piksela) i metalową magistralę łączącą komponenty wewnętrz matrycy.



Rysunek 22 – schemat blokowy matrycy CMOS z opcjonalnym przetwornikiem ADC

Równoległa magistrala złożona z kolumn jest połączona poprzez bufory kolumn z zestawem kluczy, które konwertują magistralę równoległą do szeregowej multipleksując przy tym strumień wyjściowy video. Bufory kolumn zmniejszają wpływ pojemności magistrali na obwody elektrometrów znajdujących się w pikselach. Jest kilka ważnych cech charakterystycznych dla architektury i działania matryc CMOS. Po pierwsze napięcia wymagane do pracy tranzystorów resetujących oraz kluczy tranzystorowych są zwykle znacznie niższe od tych stosowanych w CCD (w niektórych przypadkach jest to rząd wielkości). Co więcej tylko jeden wiersz (lub kolumna) jest zaadresowana w momencie odczytu. Te zabiegi sprawiają, że matryce CMOS w porównaniu do CCD mają mniejsze zapotrzebowanie na energię liczoną jako stosunek mocy pobieranej do liczby klatek obrazu na sekundę.

Umiejscowienie całego systemu wewnętrz pojedynczej struktury półprzewodnikowej pozwala na łatwą implementację dodatkowych sygnałów kontrolnych i sterujących. Odpowiednie zarządzanie kluczami pikseli umożliwia swobodny i bezpośredni dostęp do zawartości każdego z nich, funkcję okienkowania (wybór prostokątnego fragmentu matrycy, z której chcemy odczytać dane), dowolny czas migawki i ekspozycji (bezpośrednio wpływające na ilość klatek na sekundę) oraz asynchroniczną, sterowaną przerwaniami pracę. Zwiększenie funkcjonalności odbyło się kosztem skomplikowania wbudowanej logiki. Analogowe sygnały mogą być wewnętrz układa multipleksowane i wzmacniane a następnie podawane na wejście jednego lub

kilku przetworników analogowo-cyfrowych. Te z kolei dzięki postępowi technologii produkcji układów scalonych są coraz częściej wbudowane wewnątrz struktur przetwornika obrazu. To czyni kamery CMOS znacznie mniejszymi w porównaniu do kamer CCD. Organizacja wyjściowego strumienia danych jest ogólnie rzecz biorąc zależna od aplikacji, do której przewidziany jest czujnik oraz od całkowitej liczby pikseli i klatek na sekundę.

Czujniki z matrycami CMOS mogą być używane do selektywnego odczytu i przetwarzania tylko wybranej porcji danych z przechwyconego obrazu. Dzieje się tak dlatego, że potrafią one mieć dostęp do zawartości pojedynczego piksela w dowolnym miejscu matrycy. Technika ta zwana okienkowaniem (*windowing*) wprowadza nowe możliwości obróbki obrazu. Proces okienkowania jest bezpośrednio zarządzany przez układ sterujący matrycą. Umożliwia to wybranie okna o dowolnym rozmiarze oraz położeniu na światłoczułym obszarze. Ta cecha przynosi wymierne korzyści (zmniejszenie przepływu danych) w kamerach gdzie konieczne jest tymczasowe śledzenie ruchu obiektu pojawiającego się tylko na części matrycy. Można to również stosować do cyfrowego powiększania, tworzenia obrazów panoramicznych, przekątnych oraz przyspieszonego odczytu wybranej porcji całego obrazu (wzrasta przy tym liczba klatek na sekundę).

Zdecydowana większość czujników, które można zaliczyć do grona zaawansowanych, charakteryzuje się kilkoma trybami odczytu. Zwiększa to ich uniwersalność i łatwość pisania oprogramowania przechwytyującego klatki. Jednym z nich jest tryb progresywnego skanowania. Polega on na sekwencyjnym odczytywaniu wszystkich pojedynczych pikseli z aktywnego obszaru matrycy. Najczęściej odczyt zaczyna się z lewego górnego rogu i kończy w prawym dolnym. Innym popularnym sposobem jest odczyt z przeplotem czyli odczytywanie danych z pikseli w dwóch kolejnych półobrazach. Półobrazy nieparzyste składają się wyłącznie z linii obrazu indeksowanych liczbami nieparzystymi, półobrazy parzyste z linii o indeksie parzystym. Są one odczytywane naprzemiennie tzn. nieparzysty – parzysty – nieparzysty – parzysty itd. Przykładowo dla czujnika zawierającego 640 linii półobrazy nieparzyste składają się z wierszy o numerach 1, 3, 5, ..., 639, półobrazy parzyste z wierszy o numerach 2, 4, 6, ..., 640.

Czujniki CMOS posiadają funkcję dynamicznej zmiany rozdzielczości z której chętnie korzystają projektanci cyfrowych kamer wideo. Klatka obrazu o rozdzielczości mniejszej od natywnej rozdzielczości matrycy zajmuje dużo mniej miejsca w pamięci

a jej transfer do układu akwizycji jest szybszy. Wartość z przedziału 30 – 60 fps jest już powszechnie przyjętą normą a niektóre dedykowane układy potrafią przechwytywać obraz nawet 1000 razy na sekundę. Przykładem zastosowania jest monitoring podczas którego na niskiej rozdzielczości obrazu wykrywa się ruch. Po wystąpieniu czynnika wyzwalającego (np. ruch człowieka) kamera przełącza się w tryb wysokorozdzielczy i dokładnie, choć wolniej, obserwuje obiekty w jej polu widzenia.

1.4.2 Sekwencja działania czujnika z matrycą CMOS

[12] W większości projektów matryc fotodiod CMOS, aktywny obszar obrazujący jest otoczony pikselami, które nie biorą udziału w przetwarzania światła. Są uszeregowane w 8-12 kolumn i wierszy i służą do kompensacji poziomu czerni. Na początku każdego okresu integracji wszystkie piksele w wierszu zostaną zresetowane, innymi słowy zostaną usunięte z nich nośniki ładunku. Operacja ta odbywa się wiersz po wierszu zgodnie z adresami ustawionymi w pionowym (wierszowym) rejestrze przesuwnym. Następnie za pomocą rejestrów szeregowego (sterującego kluczami) informacja o obrazie, piksel po pikselu zostanie szeregowo wysłana do analogowego obwodu kształtującego (np. wzmacniacza) a stamtąd na zewnątrz czujnika. Parametry wzmacniacza jak chociażby wzmacnienie mogą być konfigurowane sprzętowo (podanie określonego stanu logicznego na złącze czujnika), programowo (wartość w rejestrze) lub wymiennie poprzez obie metody. Po wzmacnieniu i korekcji offsetu (stałej, określonej wartości dodawanej lub odejmowanej od każdego piksela) sygnał analogowy jest podawany na wejście przetwornika analogowo-cyfrowego. Cyfrowe już dane wideo są dalej przetwarzane, usuwa się defekty w postaci zawartości z uszkodzonych pikseli (*Bad pixels*) i kompensuje poziom czerni. Algorytm kompensacji poziomu czerni (często nazywany jako *frame rate clamp*) odejmuje średni poziom sygnału z „czarnych” pikseli otaczających matrycję (wspomniane na początku niniejszego podrozdziału) od wyjściowego strumienia obrazu. Dzięki temu usuwa się czasowy (starzenie się elementów) i temperaturowy wpływ prądu ciemnego w aktywnym czyli nieosłoniętym obszarze matrycy. Końcowym krokiem jest regeneracja obrazu i zastosowanie podstawowych algorytmów niezbędnych dla przygotowania końcowego obrazu. Interpolacja pikseli z najbliższymi sąsiadami, filtracja antialiasingowa czy skalowanie to tylko podstawowe z nich. Dodatkowe kroki przygotowania obrazu często oparte są na algorytmie antywinietyowania (usuwanie niedoświetlenia brzegów kadru), korekcji zniekształceń przestrzeni, balansie bieli

i czerni, wygładzaniu, wyostrzaniu, dobieraniu palety barw, korekcji apertury i ustawianiu współczynnik gamma.

1.4.3 Układ elektroniczny zawarty w pojedynczym pikselu

[2] Każdy aktywny piksel zawarty w matrycy CMOS posiada identyczną strukturę elektroniczną która determinuje jego szum odczytu, liniowość, współczynnik wypełnienia, opóźnienie w odczycie obrazu czy też pojemność studni potencjału. W tabeli poniżej zestawiono kilka typów matryc podzielonych względem ilości tranzystorów przypadających na piksel obrazu.

Konstrukcja piksela	Typ detektora światłoczułego	Tranzystory
3T	Fotodioda Głęboko implantowana fotodioda Fotodioda typu „pinned”	Wtórnik źródłowy Tranzystor resetujący Tranzystor wyboru wiersza
4T	Fotodioda typu „pinned”	Wtórnik źródłowy Tranzystor resetujący Tranzystor wyboru wiersza Bramka transferu
5T	Fotodioda typu „pinned”	Wtórnik źródłowy Tranzystor resetujący Tranzystor wyboru wiersza Bramka transferu Globalny reset
6T	Fotobramka	Wtórnik źródłowy Tranzystor resetujący Tranzystor wyboru wiersza Bramka transferu Globalny reset Fotobramka

Tabela 2 – opis piksela matrycy CMOS w zależności od ilości przypadających na niego tranzystorów

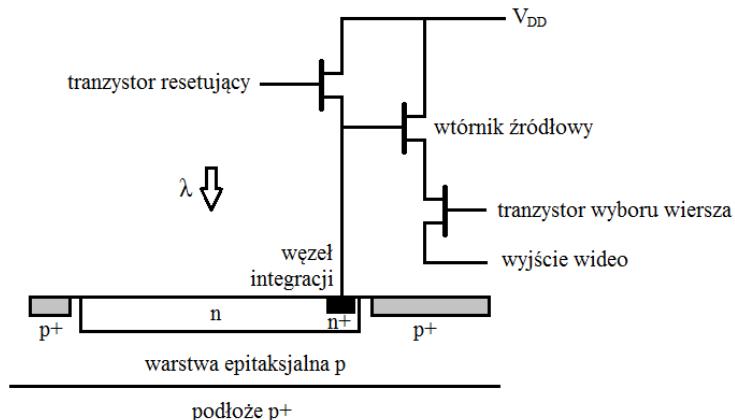
Podany powyżej podział jest zgrubny i może być nieco mylący, ponieważ nie wszystkie komponenty są prawdziwymi tranzystorami (w klasycznym znaczeniu słowa tranzystor – trójkönówkowa struktura zawierająca bramkę, dren i źródło). Dotyczy to bramki transferu, globalnego resetu i fotobramki. Niemniej takie oznaczenia są dopuszczalne i przyjęte w literaturze. W rzeczywistych projektach zdarzają się schematy pikseli będące zmieszaniem struktur kilku typów np. piksel powstał z części elementów charakterystycznych dla konstrukcji 3T oraz części elementów pochodzących z konstrukcji 4T. Jednoznaczne przypisanie pikseli matrycy do odpowiedniej grupy jest dość trudne i wymaga dogłębnej analizy schematu działania.

1.4.3.1 Rodzina czujników CMOS 3T

Piksela matrycy CMOS typu 3T posiada najprostszy schemat. Trzy tranzystory polowe są użyte jako wtórnik źródłowy, tranzystor kasujący (resetujący) i tranzystor wyboru wiersza. Bramka tranzystora resetującego jest sterowana krótkim impulsem prostokątnym. Włączana zawsze na koniec okresu integracji t_{INT} usuwa niepotrzebne już ładunki z obszaru piksela. Właściwy sygnał video jest sumą prądu fotoelektronów (powstałych poprzez naświetlanie obszaru światłoczułego) oraz prądu ciemnego generowanego głównie w obszarze kontaktu fotodiody typu n+. Natychmiast po wyłączeniu napięcia na bramce tranzystora resetu (zachowującego się w trakcie integracji jak otwarty klucz) prąd roboczy i_s gromadzi się w wewnętrznej pojemności fotodiody, pojemności bramki wtórnika źródłowego i pojemności dyfuzyjnej. Na równoległym połączeniu wspomnianych wyżej pojemności C_{NODE} (zwanych czasem węzłem integracji) narasta napięcie o wartości chwilowej $V = \frac{i_s t_{INT} q}{C_{NODE}}$ gdzie q to ładunek elektronu. Pod koniec okresu integracji napięcie z węzła integracji jest „zatrzaskiwane” w pionowej magistrali przy użyciu klucza – tranzystora wyboru wiersza (pionowe magistrale wraz z buforami są opisane na rysunku 22). Opisany przed chwilą proces opisuje zachowanie pojedynczej komórki niemniej ta operacja odbywa się równolegle na wszystkich pikselach ułożonych w wiersz. Odpowiednia komenda wpisana do wierszowego rejestru przesuwnego aktywuje wszystkie klucze w danym wierszu powodując przepisanie zawartości pikseli do pionowych kolumn. Po zakończeniu tego transferu z piksela usuwa się za pomocą tranzystora resetującego wszystkie zgromadzone tam nośniki – jest to koniec czasu integracji t_{INT} . Cały cykl jest następnie powtarzany.

Na rysunkach poniżej przedstawiono trzytranzystorowe struktury podzielone w zależności od typów użytych w nich fotodiod. Pierwsza z nich zawiera standardową fotodiodę utworzoną przez złącze pn gdzie obszar akceptorowy (p) jest zlokalizowany w cienkiej warstwie epitaksjalnej. Jest ona jednak wystarczająco gruba, pozwala na adekwatną absorpcję fotonów i co za tym idzie odpowiednią wydajność kwantową. Ta konstrukcja piksela jest popularna z powodu swej prostoty, małej ilości tranzystorów i ogólnej kompatybilności ze standardem produkcji układów typu CMOS. Matryce z pikselami tego typu używa się w wysokonakładowych aplikacjach np. w telefonach komórkowych gdzie wymagane jest użycie tanich podzespołów. Piksele tego typu posiadają jedną znaczącą wadę: wysoki poziom prądu ciemnego z powodu

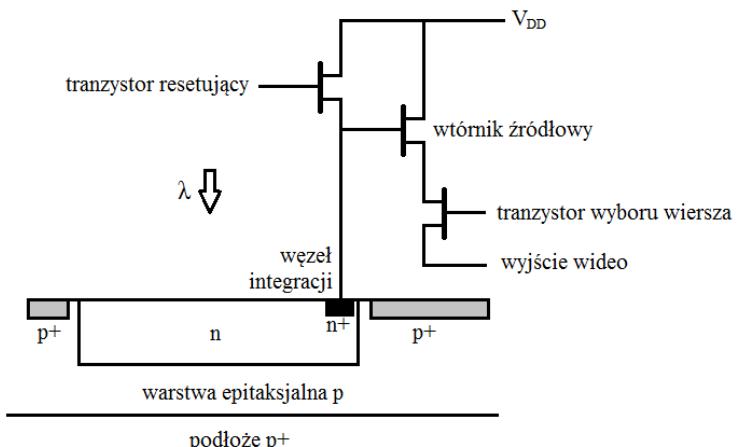
kontaktu typu n+. Szum typu kTC (inaczej szum termiczny) może być znaczny a jego wielkość zależy od wartości pojemności węzła integracji C_{NODE} .



Rysunek 23 – struktura CMOS 3T z fotodioda [2]

Dla porównania w profesjonalnych zastosowaniach matryc CCD szum typu kTC jest usuwany przez obwody skorelowanego podwójnego próbkowania (CDS) pozwalając przy tym na pracę przy ekstremalnie niskim poziomie szumów (ekwiwalent szumu kilku elektronów RMS). Do usuwania szumu kTC w matrycach 3T CMOS również stosuje się technikę CDS, obecnie praktycznie zawsze wbudowaną wewnątrz czujnika optycznego.

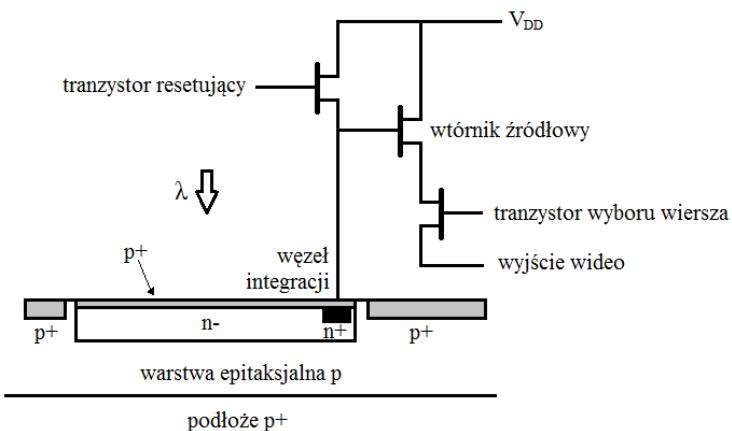
Na kolejnym rysunku przedstawiono drugą, trzytransistorową strukturę z głęboko implantowaną fotodiodą.



Rysunek 24 – struktura CMOS 3T z głęboko implantowaną fotodiodą [2]

Ta architektura różni się od poprzedniej głębką implantacją obszaru typu n. Poprawia się tym samym parametr MTF (*Modular Transfer Function*) dla światła o większej długości fali. Dzieje się tak z powodu zwiększenia obszaru zubożonego a przez to zmniejszenia efektów dyfuzji nośników.

Kolejną, ostatnią strukturą typu 3T jest konstrukcja z fotodioda typu „pinned”.



Rysunek 25 - struktura CMOS 3T z fotodiodą typu „pinned” [2]

Na powierzchnię półprzewodnika stanowiącego fotodiodę umieszcza się domieszkę typu p+, która znacznie zmniejsza wartość prądu ciemnego (generowanego w obszarze n+). Kontakt n+ jest dominującym źródłem prądu ciemnego dla każdej wersji piksela typu 3T. Aby w pełni wykorzystać niskoszumność tej fotodiody należy użyć pikseli w wersji z czterema tranzystorami (4T) w których kontakt n+ jest wyeliminowany. Podczas projektowania układu należy tak dobrać domieszkowanie p+ oraz szerokość obszaru zubożonego aby uzyskać optymalny stosunek szumu i minimalnej dyfuzji nośników. Piksel z fotodiodą typu „pinned” umożliwia zredukowanie pojemności węzła integracji uzyskując przy tym większy wskaźnik konwersji ładunków na napięcie ($\mu\text{V/e}^-$). Szerokość obszaru zubożonego jest funkcją ładunku (sygnału) przechowywanego w tym obszarze (obszar zubożony zmniejsza się wraz ze wzrostem przechowywanego ładunku). Wynikiem tego jest znaczna nieliniowość w odpowiedzi piksela na pobudzanie fotonami. Głęboko implantowana fotodioda wykazuje wyższy szum odczytu (brak obszaru p+) ale może mieć głębszą studnię potencjału a jej charakterystyka jest bardziej liniowa (w porównaniu do fotodiody typu „pinned”). Parametry najprostszej, standardowej fotodiody takie jak szum odczytu, głębokość studni potencjału i nieliniowość zawierają się pomiędzy głęboko implantowaną fotodiodą i fotodiodą typu „pinned”.

[15] Wspólnym problemem architektury 3T jest nakładanie na siebie klatek obrazu. Objawia się to tym, że jasny obszar z n-tej klatki obrazu wytwarza artefakty na n+1 klatce obrazu z powodu niedokończenia czyszczenia węzła integracji ze zgromadzonych tam ładunków. Opóźnienia można eliminować za pomocą „twardego resetu”. W tym przypadku napięcie na bramce tranzystora resetującego jest większe niż $\mathbf{V}_{DD} + \mathbf{V}_{TH}$.

gdzie V_{TH} to napięcie progowe tranzystora polowego (typowo kilka dziesiątych volta) a V_{DD} to napięcie drenu wtórnika źródłowego (typowo jeden do dwóch woltów).

Rodzina pikseli typu 3T ma istotne słabości ukazujące się podczas odczytu zawartości z piksela. Nie ma tam izolacji pomiędzy fotodiodą, węzłem integracji i bramką wtórnika źródłowego. Sygnał proporcjonalny do oświetlenia piksela, wygenerowany podczas integracji musi być „zatrzaśnięty” w pionowej magistrali (przez krótki impuls podany na tranzystorowy klucz wyboru wiersza obrazu). Aby to jednak nastąpiło, wcześniej należy zamknąć analogowy klucz resetujący aby przygotować układ do generacji fotoelektronów. Ten problem jest rozwiązywany w architekturach typu 4T i wyższych.

1.4.3.2 Migawka typu „rolling” w pikselach typu 3T

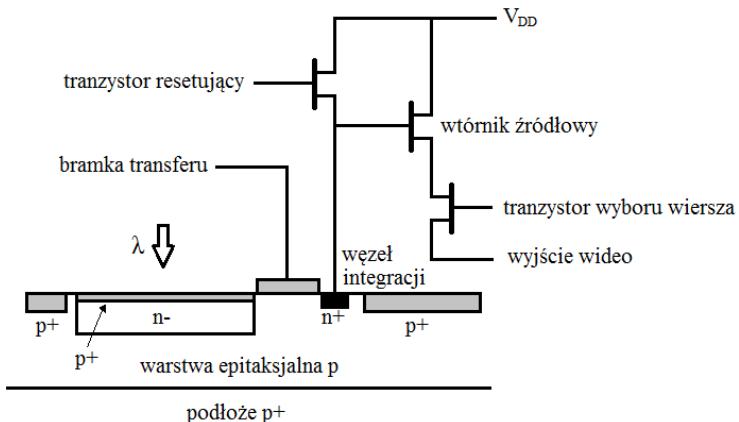
Czas integracji w matrycach 3T jest definiowany jako czas pomiędzy następującymi po sobie impulsami kasującymi zawartości pikseli. Jeśli wszystkie piksele zresetujemy w tym samym czasie, wówczas dane obrazowe będą dostępne do zatrzaśnięcia w kolumnach (buforach pikseli) w tym samym czasie. Powoduje to konflikt, ponieważ magistrala może przechowywać tylko jeden wiersz w danym czasie. Wadę tę omija się wyzwalając integrację $n+1$ – go wiersza po zakończeniu odczytu wiersza numer n (przy stałym czasie integracji każdego wiersza). Użycie sekwencjonowania czasu resetu (i co z tego wynika sekwencjonowania czasu integracji) pozwala wiersz po wierszu odczytywać dane używając tej samej magistrali. Ten typ odczytu nie posiada ujednoliconego nazewnictwa, oprócz „*rolling shutter*” można spotkać również „*ripple*” i „*staggered readout*”. Użycie tej migawki może wprowadzić zniekształcenia i smugi podczas integracji obrazu z kadru z szybko poruszającymi się elementami.

1.4.3.3 Rodziny czujników CMOS 4T, 5T i 6T

Dodanie jednego tranzystora do podstawowej wersji piksela (3T) znacząco zwiększa funkcjonalność i w niektórych przypadkach wydajność. Każda modyfikacja poza zaletami niesie za sobą również wady. Do tych drugich można wówczas zaliczyć większy koszt matrycy (mniejszy współczynnik wypełnienia dla danej rozdzielczości) oraz większe skomplikowanie produkcyjne pikseli.

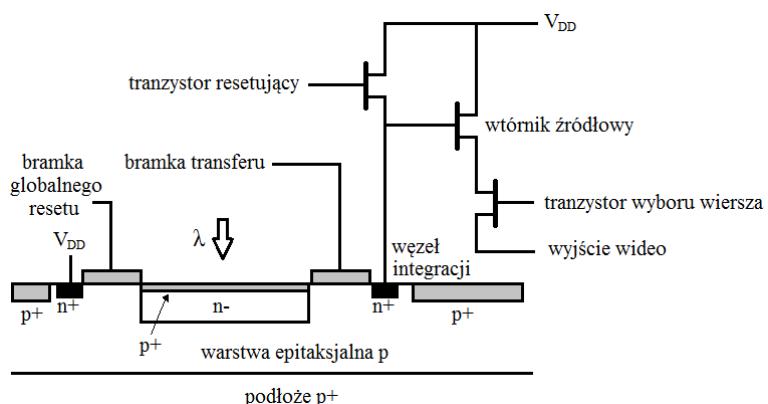
Piksel 4T z fotodiodą typu „*pinned*” jest praktycznie identyczny z pikselem 3T również z fotodiodą typu „*pinned*”. Różnica polega na dodaniu bramki transferu pomiędzy fotodiodą i węzłem integracji. W czasie integracji na bramkę transferu podaje

się niskie napięcie (klucz jest rozwarty), a wygenerowane ładunki gromadzą się w obszarze fotodiody.



Rysunek 26 - struktura CMOS 4T z fotodiodą typu „pinned” [2]

Implantowany fragment p+ na powierzchni fotodiody zapewnia, że jej obszar jest całkowicie zubożony. Po skończeniu integracji na bramkę transferu podaje się stan wysoki i sygnał w postaci ładunków jest transferowany do węzła integracji. Sprzężone obszary zubożone (pod fotodiodą i bramką transferu) zapewniają praktycznie stuoprocentowy transfer ładunku i co za tym idzie brak nakładania na siebie klatek obrazu (ten niepożądany efekt może jednak wystąpić jeśli niedostatecznie wyczyścimy węzeł integracji). Obszar p+ na fotodiodzie redukuje powstawanie prądu ciemnego. Ponieważ fotodioda jest oddzielona od węzła integracji, piksele 4T posiadają bardzo dobrą liniowość. Minusem struktur 4T jest mniejsza pojemność studni potencjału.

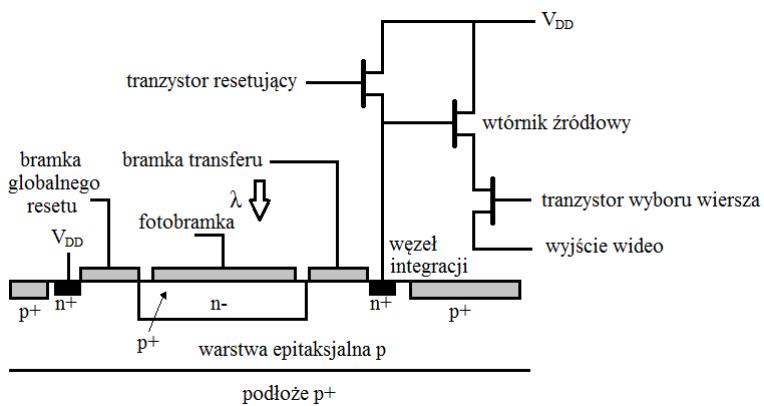


Rysunek 27 - struktura CMOS 5T z fotodiodą typu „pinned” [2]

Na powyższym rysunku przedstawiono kolejne udoskonalenie – piksel typu 5T. Jest to po prostu piksel 4T z dodatkiem bramki globalnego resetu łączącej obszar fotodiody z obszarem n+ a następnie p+ (z lewej strony rysunku). W momencie wystąpienia dodatniego impulsu ładunki znajdujące się pod fotodiodą typu „pinned”

są przemieszczane do regionu n+ a potem usunięte do regionu p+. Piksele 5T posiadają wszystkie zalety i słabości swoich poprzedników – 4T. Ten dodatkowy quasi-tranzystor pozwala na dodatkowe operacje oraz zwiększa elastyczność pracy. Niestety ta sama bramka, która wprowadza udogodnienia, zmniejsza dodatkowo pojemność studni potencjału. W konstrukcjach o małych pikselach, bramka globalnego resetu jest zwykle zaimplementowana do kontroli tzw. *anti-bloomingu* (układ zabezpieczający przed przepełnianiem studni potencjału). Dodatkową, piątą bramkę trudno jest zmieścić w przypadku pikseli o bardzo małej powierzchni.

Zamieniając fotodiodę typu „*pinned*” na fotobramkę otrzymuje się piksel typu 6T.



Rysunek 28 - struktura CMOS 6T z fotobramką

Fotobramka wytwarza obszar zubożony bezpośrednio pod sobą – jej zasada działania jest analogiczna do fotobramek w matrycach CCD. Dodatkowa warstwa (materiał fotobramki) zmniejsza jednak przeźroczość i redukuje wydajność kwantową. W przeszłości w fotobramce oświetlanej z przodu (*front illuminated* – rysunek 21) pokładano olbrzymie nadzieje ponieważ nie wymagała specjalnej implantacji tak jak ma to miejsce w fotodiode „*pinned*” w pikselach 5T. Z biegiem czasu udoskonalenie technologii zniosło ograniczenia związane z implantacją i nie stanowiła już ona wyzwania produkcyjnego. Z biegiem czasu, podobnie jak w CCD zaczęto stosować fotobramki typu „*back illuminated*” gdzie światło nie musi propagować się przez materiał bramki.

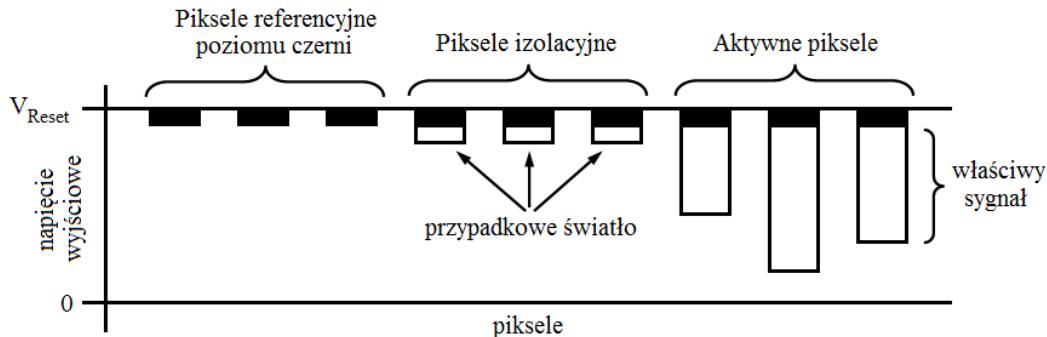
1.5 Ilościowe parametry matryc światłoczułych

Parametry opisane w tym rozdziale charakteryzują się niezmiennością w czasie a ich wartość jest określana już na etapie projektowania struktur półprzewodnikowych. Pierwszym z nich jest **rozdzielcość** – liczba pikseli, często i niepoprawnie podawana jako najważniejsza cecha produktu. W przypadku urządzeń obrazujących parametr

określa liczbę detektorów światłoczułych przechwytyujących pojedynczy kadr obrazu. Innymi słowy rozdzielcość można opisać jako ilość fragmentów na które zostanie podzielony kadr. Rozdzielcość całkowita wyraża się w postaci liczby pikseli w pionie i poziomie, rozdzielcość pozioma w liczbie kolumn a rozdzielcość pionowa w liczbie linii. Zapis np. 1024x768 oznacza, że rozdzielcość pozioma wynosi 1024 piksele a pionowa 768.

We wczesnej erze cyfryzacji w sprzęcie komercyjnym dominowała rozdzielcość 640x480 o stosunku rozdzielcości poziomej do pionowej równym 4:3. Rozwój przemysłu filmowego i fotograficznego przyczynił się do powiększenia rozdzielcości matryc oraz zmiany jej proporcji. W chwili obecnej dominującym standardem w telewizji jest rozdzielcość 1920x1080 pikseli o proporcji 16:9. W profesjonalnych aparatach fotograficznych można zaś spotkać matryce o niebotycznej rozdzielcości wynoszącej 6000x4000 pikseli. Innymi prawami rządzi się matryce projektowane do zastosowań naukowych. Ich rozdzielcość pozioma i pionowa jest zwykle taka sama i jest potęgą liczby 2 np. 1024x1024, 2048x2048 pikseli. Wynika to bezpośrednio ze stosowania algorytmów korekcji, które okazują się wydajniejsze dla kwadratowego obrazu. Obrazy wysokiej rozdzielcości oferują większą szczegółowość więc może się wydawać, że powinno się ją stale zwiększać. Czynnikiem hamującym jest jednak wzrost ilości danych z czujnika, które trzeba przetworzyć. Układ elektroniczny kamery o rozdzielcości HDTV 1080p (1920x1080) przy 25 klatkach na sekundę i 10 bitach danych na piksel (bez kompresji) potrzebuje przetworzenia prawie 520 megabitów na sekundę.

Wielu producentów decyduje się na umieszczenie w detektorach dodatkowych pikseli niewchodzących w skład właściwego obrazu. Umieszcza się je na krawędziach matryc i służą do ustalania poziomu referencyjnego – poziomu czerni który wynika bezpośrednio z wartości prądu ciemnego detektorów. Piksele używane jako poziom odniesienia mają strukturę identyczną jak pozostałe, aktywne ale są osłonięte od światła a ich liczba waha się zwykle w granicach od 5 do 25 na linię. Jest to kolejny parametr – **ilość ciemnych pikseli**. Średnia wartość napięcia wynikającego z prądu ciemnego jest odejmowana od napięcia z aktywnego piksela a ich różnica jest właściwym sygnałem wynikającym z fotogeneracji ładunków. Przykładowo, jeśli napięcie z pikseli referencyjnych wynosi 5 mV, to aby uzyskać właściwy sygnał wizualny te 5 mV będzie odejmowane od napięcia z każdego aktywnego piksela.



Rysunek 29 – napięcie wyjściowe w odniesieniu do początku wiersza matrycy

Na powyższym rysunku przedstawiono początek jednego wiersza matrycy. Składa się z trzech pikseli referencyjnych, trzech izolacyjnych oraz trzech aktywnych służących do generacji fotoelektronów. Położone po środku piksele izolacyjne zwane też czasem pustymi nie są elektrycznie do niczego używane. Stanowią jedynie barierę geometryczną dla światła mogącego wniknąć do ciemnych pikseli przez nieidealność osłony.

Odejmowanie średniej wartości prądu ciemnego od każdego piksela jest akceptowalne jedynie w przypadku sprzętu konsumenckiego oraz w niektórych zastosowaniach obrazowania maszynowego. Prąd ciemny jest różny dla każdego piksela. Z tego wynika, że usuwając wartość średnią nie usuwa się jego odchylenia standardowego. W aplikacjach naukowych lub militarnych gdzie ważne jest uzyskanie maksimum wydajności, prąd ciemny usuwany jest osobno z każdego piksela. Wymaga to serii pomiarów klatek obrazu przy zamkniętej migawce.

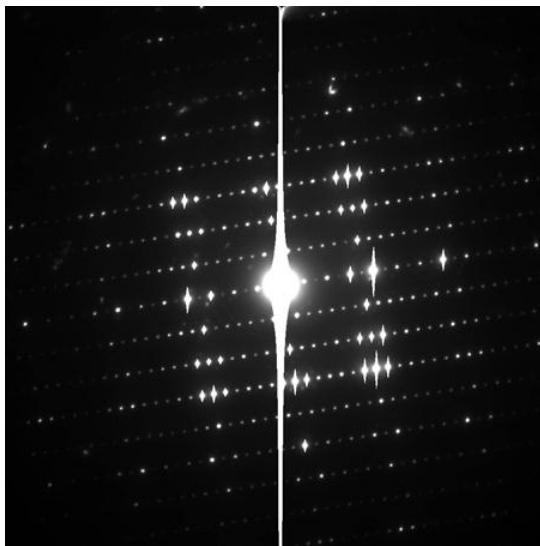
Trzecim parametrem jest rozmiar czujnika generującego fotonelektrony zwany **formatem optycznym**. Termin ten ma swoją genezę w początkach profesjonalnej telewizji w której używano lamp próżniowych zwanych widikonem. W celu minimalizacji zniekształceń użytkowych format optyczny był znaczco mniejszy niż całkowita średnica lampy. Przybliżona wartość formatu optycznego to średnica matrycy podzielona przez 0,63. Po wprowadzeniu matryc CCD rozmiar matrycy zaczęto określać jako jej szerokość i wysokość choć stara nomenklatura (odnoszona do rozmiarów widiku) pozostała nadal w użyciu.

Ostatnim parametrem z tej grupy jest **współczynnik wypełnienia**. Jego definicja to stosunek całkowitego obszaru światłoczułego (sumaryczna powierzchnia fotodetektorów) do całkowitego obszaru aktywnego, służącego do generacji i akumulacji fotoładunków. Największym współczynnikiem wypełnienia, dochodzącym do 100% [8], [16] charakteryzują się matryce z pełną klatką oraz z transferem klatki. Dla urządzeń z odstępem pomiędzy kolumnami światłoczułymi ta wartość spada do nawet 20%.

Tę niedogodność marginalizuje się za pomocą wspomnianych wcześniej mikrosoczewek a współczynnik wypełnienia wzrasta nawet do 70% [16].

1.6 Mierzalne parametry matryc światłoczułych

Pojemność studni potencjału definiuje się jako maksymalną ilość fotoelektronów w pojedynczym pikselu które nie powodują jego nasycenia. Zależy od rozmiaru piksela oraz od poziomów napięć sterujących. Im większa powierzchnia oraz napięcie sterujące piksela tym pojemniejsza jego studnia. Wielkość ta jest mierzona przez producenta matrycy za pomocą stałego, określonego natężenia promieniowania świetlnego jako funkcja czasu ekspozycji. Dla orientacyjnych rachunków można przyjąć, że każdy μm^2 piksela pomieści 1500 elektronów[2]. W matrycach CCD, kiedy studnia się zapełni a konwersja fotonów na elektryny trwa dalej, dochodzi do jej nasycenia i przepelnienia. Niemieszczące się ładunki „rozlewają się” po sąsiednich pikselach tworząc niepożądane artefakty w postaci poświaty zwanej „*blooming*” –iem. Opisane właśnie zjawisko jest szczególnie niepożądane w obserwacjach obiektów astronomicznych gdzie bada się jasne obiekty na ciemnym tle. Nie uszkadza ono co prawda matrycy ale sprawia, że niektóre niepowtarzalne sytuacje mogą zostać nieprawidłowo zarejestrowane.



Rysunek 30 – efekt przesycenia – *blooming* [17]

[11], [12], [18] **Widmowa wydajność kwantowa** to pojęcie wyrażające zależność czułości detektora od długości fali promieniowania oświetlającego matrycę. Wydajność kwantowa matrycy zależy od wielu czynników np. od materiału użytego do powłoki ochronnej, grubości matrycy i/lub fotobramki, napięcia tworzącego studnię potencjału oraz sposobu oświetlania matrycy (czujniki *front* i *back illuminated*). Parametr ten jest szczególnie istotny w matrycach pracujących przy niskim poziomie oświetlenia.

W przypadku w którym energia fotonu jest większa niż przerwa zabroniona półprzewodnika, elektron z dużym prawdopodobieństwem przedostanie się do pasma przewodnictwa. Ta interakcja, znana jako efekt fotoelektryczny wewnętrzny, posiada próg działania czyli krytyczną długość fali powyżej której fotony mają niewystarczającą energię aby wygenerować parę elektron – dziura. Kiedy fotony osiągną krytyczną długość fali (zwykle poniżej $1,1\mu\text{m}$), energia pasma zabronionego jest większa niż energia wewnętrzna fotonu i fotony nie zostaną zaabsorbowane – materiał półprzewodnikowy będzie przeźroczysty dla tej długości fali. W tabeli poniżej przedstawiono kilka przykładowych głębokości wnikania fotonów w krzemie dla których 90% fotonów zostanie zaabsorbowanych.

Długość fali (nm)	Głębokość wnikania (μm)
450	1,0
550	3,3
750	16
950	150
1100	7600

Tabela 3 – głębokość wnikania fotonów w krzemie

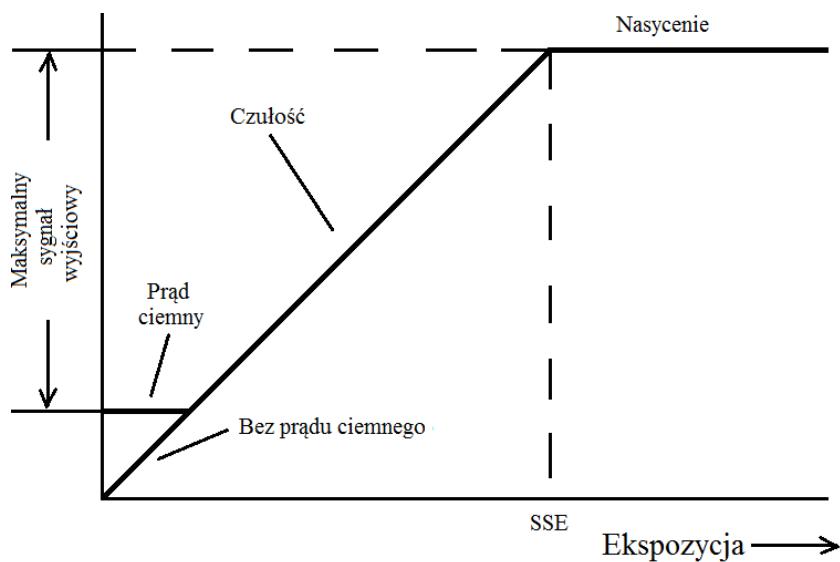
Zdejmowanie charakterystyki spektralnej najczęściej wykonuje się mierząc wielkość odpowiedzi elektrycznej na pobudzenie w postaci monochromatycznego strumienia świetlnego. Określenie całkowitej czułości detektora wymaga obliczenia stosunku wartości całkowitego sygnału wyjściowego do całkowitego strumienia promieniowania docierającego do niego. Niemożliwe jest uzyskanie idealnego światła monochromatycznego (tzn. takiego, które zawiera w sobie tylko jedną długość fali) więc zakres spektralny źródła światła dzieli się na małe fragmenty i w każdym z nich dokonuje oddzielnego pomiaru. Szerokość badanego widma oraz dokładność pomiaru zależy od użytego oprzyrządowania, w szczególności monochromatora pracującego ze skalibrowanym źródłem światła. Im węższy zakres długości fal światła pochodzącego z monochromatora tym mniejsze jego natężenie. Wynika z tego, że źródło oświetlające monochromator musi dawać odpowiednio duże natężenie światła aby pomiar parametru matrycy nie był obarczony błędami szumu odczytu czy też wpływu oświetlenia otoczenia.

Wydajność konwersji to całkowita, napięciowa odpowiedź czujnika na wygenerowane fotoelektrony. Matryca generuje fotoelektrony w ilości zależnej od jej

wydajności kwantowej. Napięcie wyjściowe jest generowane kiedy elektrony zostaną przetransferowane do pojemności węzła integracji. Sygnał za wtórnikiem napięciowym ma wartość $\mathbf{U}_{wy} = \mathbf{n}_e(\mathbf{Gq}/C)$, gdzie \mathbf{n}_e to całkowita ilość wygenerowanych elektronów, \mathbf{G} to wzmacnienie wtórnika napięciowego (jego wzmacnienie jest bliskie jedności dlatego w wielu obliczeniach pomija się tę wartość), \mathbf{q} to wartość ładunku elektronu a \mathbf{C} to pojemność węzła integracji. Wydajność konwersji to zwykle $0,1 - 10 \mu\text{V/e}^-$ [2], [19].

Odpowiedź matrycy światłoczułej jest wprost proporcjonalna do czasu jej ekspozycji. Sygnał wyjściowy może być zwiększyony poprzez zwiększenie czasu integracji (praca z długim czasem integracji jest charakterystyczna dla obrazowania w słabych warunkach oświetlenia). Czynnikiem ograniczającym maksymalny czas integracji jest **prąd ciemny** całkowany razem z fotoelektronami. Matryca o powierzchni piksela równej $24\mu\text{m}^2$ i gęstości prądu ciemnego 1nA/cm^2 generuje 36 tysięcy elektronów na piksel na sekundę. Jeśli założymy, że głębokość studni wynosi 860 tysięcy elektronów to z samego prądu ciemnego matryca nasyci się po 24 sekundach. Z tego wynika, że prąd ciemny ma ogromne znaczenie w aplikacjach które wymagają długiego naświetlania matrycy. Im bardziej prąd ciemny wypełni studnie, tym mniej miejsca na właściwe fotoelektryny. Prąd ciemny pochodzi z trzech źródeł: generacji termicznej w obszarze zubożonym, generacji termicznej i dyfuzji w neutralnym obszarze poniżej studni potencjału oraz generacji termicznej wynikającej ze stanów powierzchniowych na granicy krzemu z dwutlenkiem krzemu (Si-SiO_2). Ostatnie z tych źródeł generuje najwięcej szumu. Gęstość prądu ciemnego \mathbf{J}_D zależy od technologii użytej przez producenta i mieści się w zakresie 2 pA/cm^2 do 10 nA/cm^2 . Ilość wygenerowanych termicznie elektronów można oszacować na podstawie wzoru $\mathbf{n} = \mathbf{J}_D \mathbf{A}_{PIKSEL} \mathbf{t}_{INT}/\mathbf{q}$, gdzie \mathbf{A}_{PIKSEL} to powierzchnia piksela, \mathbf{t}_{INT} czas integracji a \mathbf{q} to ładunek elektronu. Gęstość prądu ciemnego można znaczco zmniejszyć chłodząc matrycję. Zmniejszenie/zwiększenie temperatury o każde 8-9 stopni Celsjusza to dwukrotne zmniejszenie/zwiększenie tej gęstości. Z tego powodu wzmacniacz wyjściowy, który generuje dużo ciepła, umieszcza się możliwie daleko od aktywnych pikseli. Wartość prądu ciemnego można zmierzyć znając głębokość studni potencjału. W tym celu matrycję umieszcza się w hermetycznym środowisku, bez dostępu światła zewnętrznego. Zmieniając czasy integracji odczytuje się zawartość np. pojedynczego piksela. Podstawiając do odpowiedniego wzoru czas integracji, w którym piksel nasycił się otrzymuje się wartość prądu ciemnego dla danego piksela.

Maksymalny sygnał wejściowy to taki sygnał przy którym studnia potencjału pojedynczego piksela całkowicie zapełnia się. Ekspozycja przy której następuje nasycenie określa się jako SEE (*Saturation Equivalent Exposure*) i wynosi $SEE = (V_{MAX}/R_{AVE}) [J/cm^2]$, gdzie V_{MAX} to maksymalna wartość sygnału (energia) a R_{AVE} to uśredniona czułość spektralna. Rozmiar studni zależy od architektury, liczby faz odczytu z piksela oraz jego rozmiaru. Jeśli matryca jest wyposażona w dren antyrozblaskowy (*antiblooming drain*) maksymalny poziom bieli jest równy poziomowi obcinania czyli przelewania się ładunków ze studni do drenu.



Rysunek 31 – charakterystyka czułości matrycy i wpływ prądu ciemnego

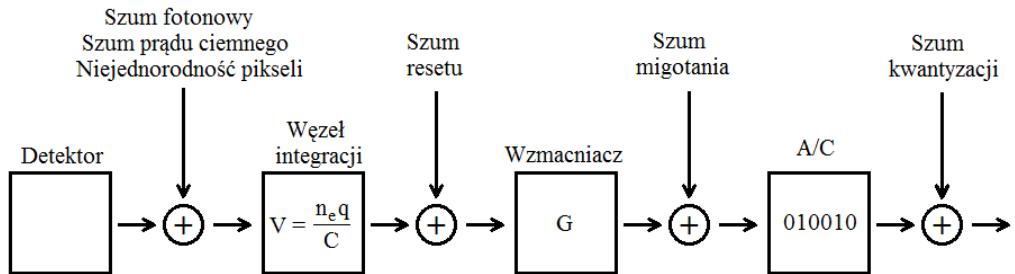
Na powyższym rysunku przedstawiono krzywą czułości matrycy w funkcji ekspozycji. Widać na niej wyraźnie, że prąd ciemny zmniejsza użyteczną amplitudę sygnału a więc znacznie pogarsza właściwości przetwornika. Maksymalna wartość sygnału wejściowego wyniesie zatem $V_{MAX} = G_1 \frac{Gq}{C} (N_{WELL} - n_{DARK})$ gdzie G_1 to wzmacnienie zewnętrznego wzmacniacza sygnału (jeśli nie istnieje to $G_1=1$), G – wzmacnienie wewnętrznego wzmacniacza, q – ładunek elektronu, C – pojemność węzła integracji, N_{WELL} – pojemność studni potencjału a n_{DARK} to liczba ciemnych elektronów.

Zakres dynamiczny, inaczej dynamika przetwornika, to stosunek maksymalnej liczby elektronów zgromadzonych przez elementy światłoczułe np. fotodiody do sumy wszystkich składowych zaliczanych do szumów własnych włączając w to tymczasowe źródła pochodzące z integracji ładunku. Szumy własne ograniczają jakość obrazu w jego ciemniejszych fragmentach oraz rosną wraz ze zwiększeniem czasu ekspozycji (wpływ prądu ciemnego). Innymi słowy dynamika przetwornika to iloraz najmocniejszego

i występującego równocześnie najsłabszego detekowalnego sygnału (na poziomie szumów własnych). Zakres ten często wyraża się w skali szarości, decybelach lub bitach, gdzie większa wartość parametru oznacza wyższy stosunek fotoelektronów do sygnałów zakłócających (szumu). Należy zauważyć, że zakres dynamiczny matrycy jest wyrażany jako stosunek sygnał/szum natomiast zakres dynamiczny przetwornika wynika z rozdzielczości bitowej przetwornika analogowo cyfrowego. Wynika z tego, że dwunastobitowy przetwornik osiąga 4096 poziomów szarości (72 dB) podczas gdy przy dziesięciobitowej konwersji można rozróżnić już tylko 1024 poziomy (60dB). Poziom szumów układu detekującego wyznacza najmniejszą moc promieniowania na jaką zareaguje detektor. Zależy on od warunków pracy detektora (napięcie polaryzujące, temperatura pracy, promieniowanie kosmiczne itd.) oraz od przebiegu zjawisk wykorzystywanych podczas detekcji. Poziom szumów określa się za pomocą wartości skutecznej napięcia bądź prądu na wyjściu detektora całkowicie osłoniętego przed badanym promieniowaniem. Detektor będzie użyteczny wtedy, gdy stosunek sygnału wyjściowego do jego szumów własnych będzie większy od jedności. Graniczna wartość mocy promieniowania, przy której ten stosunek wynosi jeden, jest nazywana **mocą równoważną szumom** (*Noise Equivalent Power*), $NEP = V_{noise}/R_{ave}$, gdzie V_{noise} to wartość skuteczna napięcia (lub prądu) szumów a R_{ave} uśredniona czułość spektralna.

[20] Pośród **szumów** rozumianych jako niepożądane sygnały zakłócające możemy wyróżnić: szum śrutowy, szum termiczny rezystancji kanału tranzystora resetującego, szum typu 1/f oraz dla czujników z cyfrowym wyjściem danych – szum kwantyzacji. Pierwszy z nich jest związany z ziarnistą naturą ładunku elektrycznego (nieciągłość ładunku) oraz z przepływem prądu elektrycznego. Występuje podczas generacji fotoelektronów. Drugi, termiczny jest skojarzony z każdym elementem o niezerowej rezystancji i temperaturze powyżej zera bezwzględnego (-273,15 °C). Pochodzenie trzeciego, typu 1/f, zwanego również szumem migotania jest nadal jedną z największych zagadek współczesnej fizyki. Można utożsamiać go z niedoskonałościami sieci krystalicznej półprzewodników. Nazwa 1/f wzięła się z charakterystyki widmowej, szum maleje ze wzrostem częstotliwości. Częstotliwość przy której ten szum staje się równy szumowi białemu nazywana jest częstotliwością narożną f_c . Im jest ona niższa tym lepsza technologia została użyta do produkcji danego półprzewodnika. Ostatni dotyczy przetworników analogowo cyfrowych i odnosi się do błędów konwersji podczas próbkowania i dyskretyzacji sygnału wideo. Na rysunku poniżej przedstawiono uproszczony model szumowy czujnika optycznego który składa

się z idealnych, bezszumnych elementów oraz źródeł szumowych dodających szum w odpowiednich miejscach.



Rysunek 32 – Powstawanie ścieżki szumowej czujnika optycznego

Pomimo, że źródła szumów są różne, wszystkie są zauważalne jako fluktuacje jasności piksela. W idealnych warunkach, każdy z nich miałby ten sam poziom prądu ciemnego. Po jego odjęciu teoretycznie otrzymuje się pożądaną wartość jasności piksela. Teoretycznie, ponieważ wartość prądu ciemnego fluktuuje. Odjęcie jego średniej wartości powoduje powstanie stałego obrazu (*Fixed pattern noise*) na tle którego widnieje obraz pożądany. Mechanizm tego zjawiska jest oparty na niedokładnym opróżnieniu ładunków z węzła integracji pochodzących od poprzedniego piksela które dodają się do kolejnego piksela. Wzmacniacz wzmacnia ten szum dodając do niego szum biały (pochodzący z szumu termicznego) oraz szum migotania. Ostatni stopień czyli przetwornik analogowo – cyfrowy dodaje jeszcze szum kwantyzacji, który ujawnia się dopiero przy rekonstrukcji obrazu. Wartość szumów podaje się jako widmowa gęstość szumów (w jednostkach V/\sqrt{Hz}) lub jako wartość skuteczna szumów w danym paśmie (V_{RMS}).

Szybkość naświetlania matrycy (ISO) to parametr wywodzący się jeszcze z fotografii analogowej i jest mocno spokrewniony z czułością. Im wyższa wartość tym czulsza klisza, dla ustalonego czasu ekspozycji pozwala na uzyskanie dobrego obrazu przy słabszym oświetleniu. Patrząc w drugą stronę, dla ustalonego natężenia oświetlenia można uzyskać wyraźny obraz dla krótszego czasu ekspozycji (zmniejszając przy tym smugi powstające podczas ruchu obrazu). W obecnych czasach obrazowanie cyfrowe praktycznie całkowicie wyeliminowało tradycyjną kliszę jednak społeczność osób zajmujących się tym fachem wymogła na producentach aby czułość gotowych urządzeń podawać w wartościach równoważnych parametrom ISO (opisanym w normie ISO-12232).

Podczas produkcji matrycy zawsze pod uwagę brane są rozrzut parametrów użytkowych, każdy egzemplarz różni się w czymś od pozostałych. Nie istnieje jedna

norma ujednolicająca pomiary defektów. Poniżej przedstawiono definicje uszkodzeń matryc podawane przez większość producentów:

- **uszkodzenie punktowe** dotyczy piksela którego sygnał wyjściowy różni się więcej niż 6% od sąsiednich przy oświetleniu wynoszącym 70% wartości oświetlenia nasycenia;
- **gorący punkt (*hot point*)** dotyczy piksela z ekstremalnie wysoką wartością sygnału wyjściowego. Przyjmuje się, że są to punkty, których prąd ciemny jest co najmniej dziesięć razy większy niż średni prąd ciemny całej matrycy;
- **martwy punkt** to punkt z bardzo niską wartością odpowiedzi i/lub słabą czułością. Zwykle jest to piksel, którego odpowiedź jest mniejsza bądź równa połowie średniej liczonej dla reszty pikseli oświetlanych w taki sposób, że ich studnie są bliskie przepełnienia;
- **pułapki pikselowe** to defekty transferu ładunku, widoczne jako częściowo lub całkowicie uszkodzone kolumny. Uszkodzone linie są najczęściej białe lub czarne;
- **defekt kolumny** występuje gdy dziesięć lub więcej pikseli w kolumnie ma defekty działania. Może być spowodowane pułapką pikselową;
- **defekt klastra** odnosi się do grupy wadliwie działających pikseli. Nie wyszczególnia się zwykle typu defektu, podaje się jedynie ich lokalizację.

Niedoskonałości technologii produkcji powodują, że każdy egzemplarz danego produktu różni się czymś od pozostałych. Czujniki optyczne bardzo często wymagają kalibracji lub strojenia – ustalenia właściwego **punkt pracy**. Dla niektórych czujników jest to proste zasłonięcie czujnika i sczytanie jego prądu ciemnego przy różnych czasach integracji, dla innych jest to regulacja potencjałów polaryzujących. Aby móc w pełni wykorzystać możliwości urządzenia należy skorzystać z dołączonego do konkretnego egzemplarza raportu z testów (zawierają informację o defektach, zmianie parametrów matrycy w zależności od ustalonego punktu pracy itd.) lub samemu i eksperymentalnie oszacować wpływ czynników zewnętrznych. Najczęstszymi napięciami wymagającymi strojenia dla matryc CCD są: poziomy sygnałów zegarowych odpowiedzialnych za transfer ładunku, napięcie bramek tranzystorów czyszczących (resetujących), napięcie drenu wtórnika źródłowego oraz napięcia struktur zabezpieczających studnie potencjału przed przepełnieniem.

1.7 Warianty matryc CCD

Stosunek sygnału do szumu ogranicza od dołu wartość najsłabszego detekowalnego sygnału świetlnego. Praca przy słabym natężeniu promieniowania jest możliwa w matrycach typu *Intensified CCD*, *Electron bombarded CCD* oraz *Electron multiplying CCD*. Każda z nich posiada pewne wady i zalety. Pomimo, że obrazowanie przy słabym natężeniu może mieć wiele aplikacji, najczęstszymi są zastosowania naukowo – badawcze oraz militarne.

1.7.1 Matryce typu *Intensified CCD* (ICCD)

W tym przetworniku zastosowano wzmacniacz obrazu składający się ze specjalnej lampy zwiększającej liczbę generowanych fotoelektronów wewnątrz niej. Wzmocnienie sięga kilku rzędów wielkości. Kiedy foton uderzy w powierzchnię fotokatody, uwalnia z niej elektryny. Te następnie dostają się do płytki mikrokanałowej. Płytnka składa się z tysięcy równoległych kanalików o średnicy rzędu 10 μm . Elektryny znajdujące się w takim kanale uderzają w jego ścianki boczne – produkują elektryny wtórne, które są następnie przyspieszane za pomocą gradientu potencjału elektrycznego. Wielokrotne uderzenia elektronów powielają liczbę elektronów tysiące razy. Wygenerowana chmura elektronowa dociera na końcu do luminoforu, który wzbudza – powstaje promieniowanie świetlne o zwiększym natężeniu. Wyjście takiego wzmacniacza obrazu może być optycznie sprzęgnięte z tradycyjną matrycą CCD. Całość nazywa się ICCD lub przetwornikiem CCD ze wzmacniaczem obrazu. Parametry luminoforu dobiera się w ten sposób, aby widmo jego sygnału wyjściowego trafiało w maksimum wydajności kwantowej detektora. Ze względu na sprawność nie używa się w tym celu matryc kolorowych. Ich filtry barwne pochłaniałyby znaczną część jakże pożądanych fotонów. Przetworniki ICCD pozwalają pracować przy natężeniach oświetlenia większych niż 10^{-3} luxa. Dla porównania zwykle matryce CCD są czułe do około pojedynczego luxa.

1.7.2 Matryce typu *Electron bombarded CCD* (EBCCD)

Ten typ matryc umieszcza się w specjalnych lampach próżniowych. Fotoelektryny podobnie jak w czujnikach ICCD są wybijane z fotokatody pod wpływem padającego na nią oświetlenia. Dzięki bardzo wysokiemu napięciu, elektryny są przyspieszane a następnie uderzają w powierzchnię detekcyjną matrycy. Wzmocnienie sygnału dochodzi do 1200, średnio 100 do 200 razy. Stałe i bezpośrednie naświetlanie matrycy elektronami stopniowo degraduje jej strukturę. Z biegiem czasu pogarszają się

jej właściwości, jest coraz mniej czuła. Podobnie jak w ICCD także tutaj czułość zależy od użytego materiału fotokatody. Ponieważ przed matrycą nie ma elementów pośredniczących w propagacji światła/elektronów takich jak luminofor czy przegacz optyczny, EBCCD oferuje lepszą jakość obrazu. Sposobem na zmniejszenie wpływu bombardowania i co za tym idzie przedłużenie żywotności tego typu detektorów jest dodanie płytki mikrokanalikowej bezpośrednio przed matrycą. Dzięki temu matryca jest bombardowana większą ilością elektronów ale o mniejszej energii.

1.7.3 Matryce typu *Electron multiplying CCD (EMCCD)*

Matryce z powielaniem elektronowym posiadają duże wzmacnienie poprzez zjawisko jonizacji zderzeniowej. Za normalnym rejestrem wyjściowym dodaje się specjalny rejestr powielający (inne nazwy to rejestr wzmacniający lub multiplikujący). Tę technologię łączy się najczęściej z matrycami typu pełna klatka. Sumując wzmacnienie wynikające z powielania oraz duży współczynnik wypełnienia matrycy uzyskuje się urządzenie o bardzo dobrych parametrach pracujące przy niskich poziomach oświetlenia. Rejestr wzmacniający jest w swojej budowie łudząco podobny do zwykłego rejestrów odczytu. Różnicę można zaobserwować w wyższych poziomach napięć dołączanych do bramek. Wzmocnienie silnie zależy od napięcia, zwiększając potencjał bramek zwiększa się wzmacnienie. Uzysk sygnału w pojedynczej komórce jest wprawdzie niewielki i wynosi ok 1.015 ale wykorzystując np. 500 komórek otrzymuje się wzmacnienie $(1.015)^{500} \approx 1710$ razy. Dzięki powielaniu jeszcze przed zamianą ładunków na napięcie minimalizuje się szkodliwy wpływ szumu odczytu widoczny szczególnie przy słabym oświetleniu detektora.

1.8 Układy odczytu danych z czujników obrazu

Odebranie obrazu z czujników optycznych nie jest sprawą trywialną. Brak ogólnie przyjętego standardu transmisji, dowolna ilość linii z danymi czy konieczność synchronizacji sygnałów sterujących z odbiorem obrazu sprawia, że konstruktor sprzętu sporo czasu poświęca na przegląd i analizę dostępnych rozwiązań rynkowych. Jednym z nich jest wykorzystanie czujnika oraz układu odbioru w których zaimplementowano te same interfejsy. Stowarzyszenie MIPI [21] zaproponowało normalizację znaną jako CSI – *Camera Serial Interface* definiującą sposób podłączenia oraz protokoły wymiany informacji pomiędzy czujnikiem optycznym a układem przechwytyującym obraz. Dzięki określeniu jak wygląda połączenie elektryczne oraz komunikacja między urządzeniami, użytkownik musi jedynie ustawić odpowiednie parametry współpracy. Ze wspomnianej

wyżej specyfikacji korzysta wielu producentów procesorów np. Renesas, Intel, Nokia, Toshiba, Texas Instruments czy Freescale. Na rynku są dostępne zestawy ewaluacyjne na których można bez projektowania nowej elektroniki przetestować działanie i skuteczność CSI. Jednym z nich jest platforma Sabre Lite zawierająca procesor Freescale i.MX6 współpracującą z kamerą (a właściwie urządzeniem typu SoC) OmniVision OV5640.

Oprócz urządzeń pracujących w określonych standardach spotkać można układy pośredniczące pomiędzy czujnikiem a procesorem. Od dłuższego czasu wśród układów elektronicznych widać tendencję do serializacji interfejsów. Dane niegdyś przesyłane równolegle za pomocą szerokich i nieporęcznych kabli zostają „upakowane” w bardzo szybkie interfejsy szeregowe a następnie deserializowane w odbiorniku. Przykładem jest zastąpienie komputerowej magistrali ATA magistralą SATA. Trend komputerowy objął również czujniki optyczne o bardzo wysokiej rozdzielczości bądź o wysokiej ilości klatek na sekundę. Nie wszystkie procesory są jednak przygotowane na odbiór tak gigantycznej ilości danych na pojedynczych pinach. Do podłączenia nowoczesnych czujników do tańszych procesorów służą wspomniane przed chwilą układy pośredniczące służące do zrównoleglenia przesyłanych danych np. SN65LVDS324 firmy Texas Instruments. Często ich elektrycznymi standardami wejściowymi są szybkie magistrale LVDS a wyjściowymi zwykłe, równolegle magistrale CMOS z dodatkowymi wyjściami sterującymi w postaci sygnału zegarowego pikseli oraz sygnałów synchronizacji pionowej i poziomej.

Rozwiązania szybkie w przygotowaniu i implementacji często okazują się niewystarczające ze względu na niewygórowane parametry optyczne takich czujników. Opracowane standardy są używane przede wszystkim w elektronice konsumenckiej gdzie podstawową wytyczną jest cena i szybkość dostarczenia produktu na rynek. Wspomniane kamery mają dobry stosunek cena/jakość jednak w zupełności nie nadają się do zastosowań profesjonalnych. Nierzadko czujniki optyczne posiadające wysoką czułość mają zwielokrotnione (przykład – czujnik Teledyne Dalsa IA-DJ-02084 [8]) i wysublimowane interfejsy wyjściowe, gdzie pełna klatka obrazu jest podzielona na kilka części, które należy odebrać a następnie odbudować – złożyć w całość, w pełną klatkę. O ile problem składania danych nie występuje przy małych czujnikach o tyle przy dużych rozdzielczościach i wysokiej ilości klatek na sekundę jest już zauważalny i wymaga nie lada zdolności obliczeniowych. Tutaj z pomocą przychodzą najnowsze technologie stosowane w układach FPGA. Zastosowane tam bardzo szybkie i w pełni

konfigurowalne podzespoły (prymitywy) pozwalają odczytać dane z praktycznie wszystkich produkowanych dzisiaj matryc światłoczułych niezależnie od standardu w jakim dane są udostępniane na zewnątrz tych czujników. Podłączenie dodatkowej pamięci operacyjnej, szybkich interfejsów przemysłowych oraz napisanie odpowiedniego wsadu konfigurującego pozwala na stworzenie wysokiej jakości kamery niespotykanej i niemożliwej do stworzenia za pomocą uniwersalnych magistral czy popularnych procesorów aplikacyjnych. Ostatnimi czasy coraz silniejszą konkurencją dla układów FPGA są procesory sygnałowe DSP. Ich producenci wyposażają je w coraz szybsze interfejsy oraz silne rdzenie których moc obliczeniowa jest na tyle duża, że z powodzeniem radzą sobie z obróbką obrazu w locie (np. poprawa kontrastu, skalowanie, usuwanie szumu, detekcja ruchomych obiektów, rozpoznawanie twarzy itd.).

1.9 Rynkowe rozwiązania testerów czujników optycznych

Liczba firm specjalizujących się w produkcji urządzeń laboratoryjnych do testowania czujników obrazu jest bardzo mała. Wynika to z tego, że produkcja nowych, innowacyjnych czujników optycznych o coraz to bardziej wygórowanych parametrach nie jest łatwa i zajmuje się tym stosunkowo niewielka liczba firm i ośrodków badawczych. Aby stworzyć tester należy zbudować stanowiska pomiarowe, napisać skomplikowane oprogramowania oraz zapewnić silne wsparcia dla klienta. Te trzy czynniki w powiązaniu z niskim zapotrzebowaniem na tak specjalistyczny sprzęt powodują, że cena gotowego zestawu do badań nierazko przekracza milion złotych. Na poniższym rysunku przedstawiono przykładowe testery czujników optycznych.



Rysunek 33 – Testery czujników optycznych: RTB3000 [23] (z lewej) oraz System 7700 [22] (z prawej)

Fabryczne testery to często stanowiska składające się z wielu kaset połączonych ze sobą magistralami oraz zarządzanymi z komputera. Każde rozwiązanie jest inne jednak można zauważyć, że wszystkie składają się z podobnych bloków funkcyjnych:

- generator przebiegów wzorcowych: cyfrowe urządzenie wytwarzające wiele sygnałów sterujących czujnikiem optycznym. Potrafi generować sygnały o zróżnicowanej obwiedni, szerokim zakresie częstotliwości oraz impulsy o regulowanej szerokości i opóźnieniu względem innych sygnałów. Za jego pomocą można bezpośrednio sterować czujnikami z interfejsem cyfrowym czyli CMOS;
- sterownik linii zegarowych to urządzenia służące do sterowania matrycami CCD i FPA. Jest interfejsem łączącym wspomniany wyżej generator z czujnikami wymagającymi bezpośredniego sterowania kontaktami przy odpowiednich napięciach stanu niskiego i wysokiego (różnych od standardu cyfrowego). Sterownik składa się z przesuwników napięć oraz układów zmniejszających jego impedancję wyjściową. Dzięki temu można z dużą częstotliwością przełączać napięcie na posiadających sporą pojemność kontaktach matryc;
- niskoszumny zasilacz którego rolą jest dostarczenie stabilizowanych napięć zasilających i polaryzujących;
- system akwizycji danych z czujników. Jego rolą jest odbieranie i ewentualna korekcja danych przychodzących. W zależności od typu użytego czujnika stosuje się odbiór bezpośredni danych cyfrowych (czujniki CMOS) lub digitalizuje za pomocą karty z przetwornikami analogowo-cyfrowymi (matryce CCD/FPA);
- moduł zarządzania będący interfejsem pomiędzy rozkazami wysyłanymi przez komputer i sprzętem. Reguluje on napięcia, konfiguruje podzespoły oraz zapewnia ich synchronizację czasową.

Nie sposób krótko przedstawić właściwości każdego z dostępnych urządzeń testujących. Generalnie można przyjąć, że każdy producent stara się tworzyć zróżnicowane moduły, które konfiguruje i dostarcza klientowi pod kątem jego konkretnych wymagań. Proces dopasowania testera do danej rodziny czujników polega na doborze kaset o odpowiednich parametrach, pokrywających się z wymaganiami czujnika. Następnie należy zestawić to wszystko w np. kracie pomiarowej, podłączyć kable sterujące, napisać odpowiednie oprogramowanie sterujące i jednocześnie odbierające dane z urządzenia testowanego. Według zapewnień producentów urządzenia konstruowane są zgodnie z najwyższymi standardami sztuki inżynierskiej, stosuje się

wyrafinowane zasilacze separujące część cyfrową od analogowej, moduły kształtuowania sygnałów, kontrolę stałości parametrów w czasie rzeczywistym oraz wiele innych udogodnień. Od strony programistycznej standardem stało się udostępnianie przez producentów bibliotek umożliwiające sterowanie urządzeń przez programy i skrypty wykonane przez użytkownika sprzętu. Dzięki temu możliwe są automatyczne i wielodniowe testy stałości parametrów z dala od laboratorium.

Testery w założeniu umożliwiają sprawdzenie praktycznie dowolnego parametru czujników optycznych. Mogą służyć jako wykonane w szybkim tempie kamery (zestawienie urządzenia laboratoryjnego i napisanie oprogramowania zajmuje zdecydowanie mniej czasu niż tworzenie dedykowanego sprzętu i programu), sprzęt kontrolny który pomoże wybrać inżynierowi najlepszy czujnik do konkretnego zastosowania, nieocenioną pomoc przy badaniach, rozwoju i optymalizacji technologii optycznych czy po prostu tester czujników na ich linii produkcyjnej.

Pomimo wielu pozytywów można doszukać się również wad których wyeliminowanie pozwoliłoby wykorzystać testery szerszemu gronie odbiorców. Wysokie koszty urządzeń, szkoleń oraz dość skomplikowana obsługa powoduje, że mniejszych firm czy ośrodków badawczych nie stać na ich zakup. Duże gabaryty stanowisk pomiarowych oraz związane z tym waga i pobór prądu ograniczają ich mobilność oraz zawężają jego zastosowanie do specjalnie przygotowanego laboratorium. Niemożliwe jest zatem szybkie przemieszczenie i przeprowadzenie prób terenowych gdzie krytycznym jest wystąpienie np. krótkotrwałego zjawiska atmosferycznego. Łączenie modułów za pomocą wielu kabli jest co najmniej nieestetyczne oraz ryzykowne z punktu widzenia usterek. Znalezienie wadliwego kabla bądź poluzowanego złącza zajmuje dużo czasu. Wymiana modułów celem przystosowania stanowiska do nowego czujnika jest co prawda szybsza niż projektowanie dedykowanego urządzenia ale nadal wolna i żmudna. Podstawowym problemem tak rozproszonych systemów jest precyzyjna synchronizacja czasowa wielu modułów.

2 Geneza, cel i założenia pracy

Przedstawione w poprzednim rozdziale ograniczenia testerów urządzeń obrazujących są w niektórych przypadkach nie do zaakceptowania. O ile dość łatwo można wygospodarować pomieszczenie do umieszczenia tam krat pomiarowych o tyle brak mobilności zestawu i koszty zakupu czy obsługi są w większości przypadków przekraczające możliwości przeciętnego instytutu badawczego. Genezą niniejszej pracy dyplomowej były dwa niezależne projekty badawcze wymagające przeprowadzenia testów (w tym terenowych) na komercyjnych czujnikach przy ograniczonym budżecie. Zakończyły się one sukcesem, ale wykazały znaczną niszę rynkową.

Pierwszym z projektów jest działający do dzisiaj Pi of the Sky [24]. Polega on na obserwacji nieba i poszukiwaniu tzw. rozbłysków gamma GRB (*Gamma Ray Burst*). Trzonem projektu był zestaw wysokoczułych kamer do obserwacji poświat optycznych towarzyszących rozbłyskom. Ponieważ obserwowane zjawisko fizyczne jest rzadkie, sprzęt rejestrujący musiał cechować się wysoką jakością, wysokim współczynnikiem gotowości oraz niezawodności. Do uzyskania tego ostatniego wymagane było użycie przeselekcjonowanych komponentów o powtarzalnych parametrach. Pomijając inne aspekty techniczne, interesujące z punktu widzenia tej pracy było dobranie odpowiedniego modelu czujnika optycznego, przetestowanie kilku egzemplarzy i wybranie tych najlepszych [25]. Ponieważ nie posiadano wówczas żadnego urządzenia umożliwiającego testy, wybrano czujnik na podstawie parametrów katalogowych. Po wyborze czujnika (CCD442A firmy Fairchild Semiconductor) należało sprawdzić szereg parametrów np. występowanie martwych bądź zbyt aktywnych pikseli, jednorodność czułości, prąd ciemny i szумy, dobrać punkt pracy oraz zdjąć charakterystyki temperaturowe. Nie trzeba nikogo przekonywać, że stworzenie do niego dedykowanej elektroniki oraz przetestowanie kilku egzemplarzy zajęło sporo czasu. Optymalne wartości napięć musiały być dobierane eksperymentalnie. W przypadku, gdyby jego parametry okazały się niewystarczające oznaczałoby to niepotrzebną stratę kilku tygodni. Na szczęście dla autora pracy, wybrany czujnik spełnił założenia a urządzenia pracują bezawaryjnie do dziś.

Drugi z nich to projekt Centrum Badań Kosmicznych o nazwie BRITE-PL. Jego celem jest stworzenie pierwszych polskich satelitów naukowych w których poza przeprowadzonymi eksperymentami naukowymi swoją dojrzałość ma wykazać polska, kosmiczna myśl techniczna. Na pokładzie pierwszego satality o nazwie LEM umieszczono teleskop do obserwacji jasnych gwiazd. Wyposażyono go w matrycę CCD

Kodak KAI-11002-M. W pewnym momencie należało zasymulować jego pracę na orbicie czyli zaobserwować wpływ promieniowania kosmicznego na jakość obrazu (dokładniej: wpływ promieniowania kosmicznego na wzrost prądu ciemnego pikseli). W tym celu matrycę najpierw napromieniowywano, badano parametry a następnie wygrzewano w temperaturze ok 50 stopni Celsjusza i sprawdzano stopień uszkodzenia sieci krystalicznej detektora. Rolą testera czujników optycznych byłoby wówczas szybkie prototypowanie kamery (uruchomienie czujnika i sprawdzenie koncepcji działania) oraz zdejmowanie charakterystyk czujników przed i po napromieniowaniu.

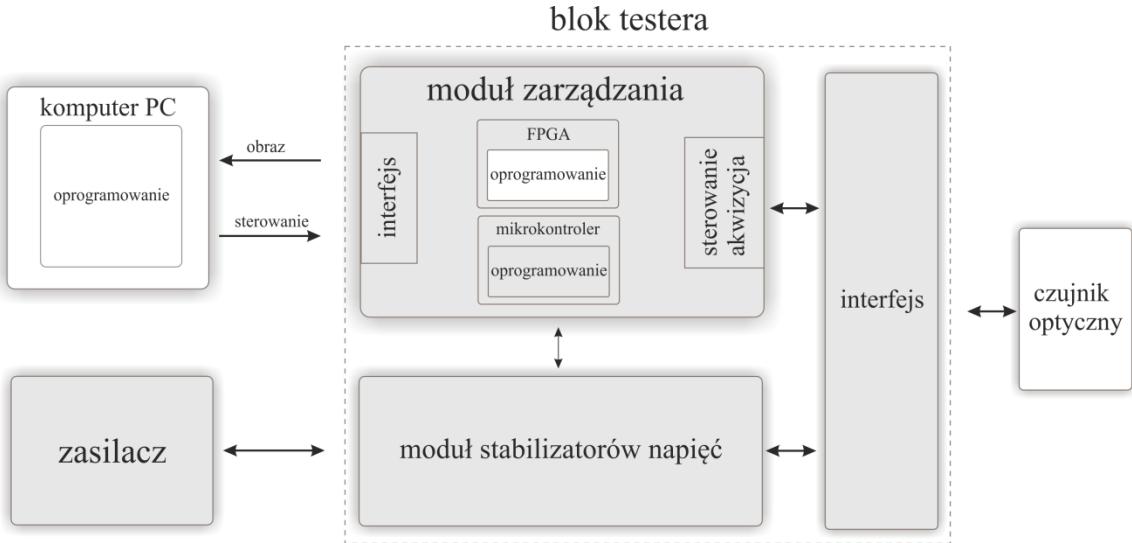
W obu tych projektach zachodziła potrzeba obliczenia wzmacnienia oraz szumu matryc CCD. W pierwszym wymagane było zapewnienie jednakowej odpowiedzi wszystkich kamer, w drugim zbadanie wpływu promieniowania jonizującego i wygrzewania na zmiany w/w parametrów. Wzmocnienie kamery CCD jest zdefiniowane jako stosunek liczby elektronów e^- wygenerowanych w obszarze światłoczułym do jednostki numerycznej zliczania (ADU – *Analog-to-Digital Units*) czyli do wartości kwantu przetwornika analogowo – cyfrowego. Jednostką jest e^-/ADU . Szum jest niepewnością sygnału – obserwacja tego samego źródła za każdym razem generuje inną liczbę nośników. Wynika to ze statystycznej natury emisji źródła promieniowania [104].

Celem niniejszej pracy było opracowanie uniwersalnego testera czujników optycznych pracujących w zakresie światła widzialnego oraz bliskiej i dalekiej podczerwieni wspierającego różne sposoby sterowania i odczytu danych wyjściowych.

W projektowanym urządzeniu należało usunąć główne wady testerów fabrycznych tj. duże gabaryty i wysoką cenę. Obudowa powinna być zwarta a liczba koniecznych połączeń i przewodów zminimalizowana. Tester ma obsługiwać większość dostępnych na rynku czujników, zapewniać im odpowiednie środowisko pracy. Do transmisji danych obrazowych należało wykorzystać interfejs Camera Link. Przetwarzaniem danych ma zajmować się układ FPGA z rodziny Spartan 6 (Xilinx) a zarządzaniem urządzenia mikrokontroler z rodziny ATxmega firmy Atmel. Akwizycja danych analogowych ma odbywać się poprzez przetwornik analogowo-cyfrowy typu VSP5621 od Texas Instruments.

3 Koncepcja pracy

Na poniższym rysunku przedstawiono ogólną koncepcję zaprojektowanego testera czujników optycznych.



Rysunek 34 – koncepcja testera czujników optycznych. Kolorem szarym zaznaczono elementy wykonane w niniejszej pracy, białym – elementy pochodzące z prac osób trzecich lub gotowe, fabryczne komponenty

Zaprojektowane urządzenie nie ma wymienionych wcześniej wad tj. ceny i gabarytów. Ustalono, że będzie składało się z dwóch podzespołów: dedykowanego zasilacza oraz bloku testera. Jest to najbardziej korzystne rozwiązanie biorąc pod uwagę zakłócenia i szумy, które ten pierwszy mógłby wprowadzać gdyby znajdował się wewnątrz testera. Nie narzucono żadnego ograniczenia w wymiarach zewnętrznych i co z tego wynika rozmiarów obudów. Należało jednak zachować rozsądek i mieć na uwadze, że urządzenie powinno być przenośne. Głównym miejscem stacjonowania jest laboratorium ale dopuszczono jego użycie poza budynkami, na zewnątrz. Zasilacz dostarcza energii do bloku testera. Konwertuje zmienne napięcie sieciowe 230VAC na potrzebne napięcia stałe. Planowana praca urządzenia poza laboratorium narzucała umieszczenie ochrony przed porażeniem (praca w pierwszej klasie ochronności przeciwporażeniowej [27]), zabezpieczeń przeciwprzepięciowych, przeciwzwarciovych oraz przed zbyt wysoką temperaturą. Tester jest układem interfejsu pomiędzy urządzeniami obrazującymi w postaci rozmaitych czujników optycznych i urządzeniami przechwytyującymi obraz w formie cyfrowej. Odbiera dane w różnych standardach, przetwarza je, buforuje oraz formuje w jeden ogólnie przyjęty standard wyjściowy. Nie zawiera interfejsu operatorskiego np. klawiatury czy wyświetlacza, całe zarządzanie

przez użytkownika odbywa się za pomocą komputera PC. Tester zapewni elementy niezbędne do uruchomienia i odebrania obrazu z matrycy światłoczułej. Punkt pracy czujnika jest ustawiany za pomocą regulowanych napięć a warunki środowiskowe stabilizowane za pomocą elementu chłodzącego lub grzejącego. W torze sterowania czujnikiem oraz odbierania z niego danych jest umieszczony układ FPGA. Do buforowania konieczna jest dodatkowa pamięć operacyjna. Za zarządzanie pracą testera odpowiedzialny jest mikrokontroler. Zadaje on parametry oraz kontroluje wyjścia sterowanych przez siebie podzespołów. Ilość docierającego do czujnika światła jest regulowana mechanicznie przez dołączaną przesłonę sterowaną z układu kontroli pracy silnika krokkowego. Same czujniki optyczne są dołączane do testera za pomocą dedykowanych dla nich płyt nakładkowych. Złącza w testerze doprowadzają zasilania i sygnały w różnych standardach.

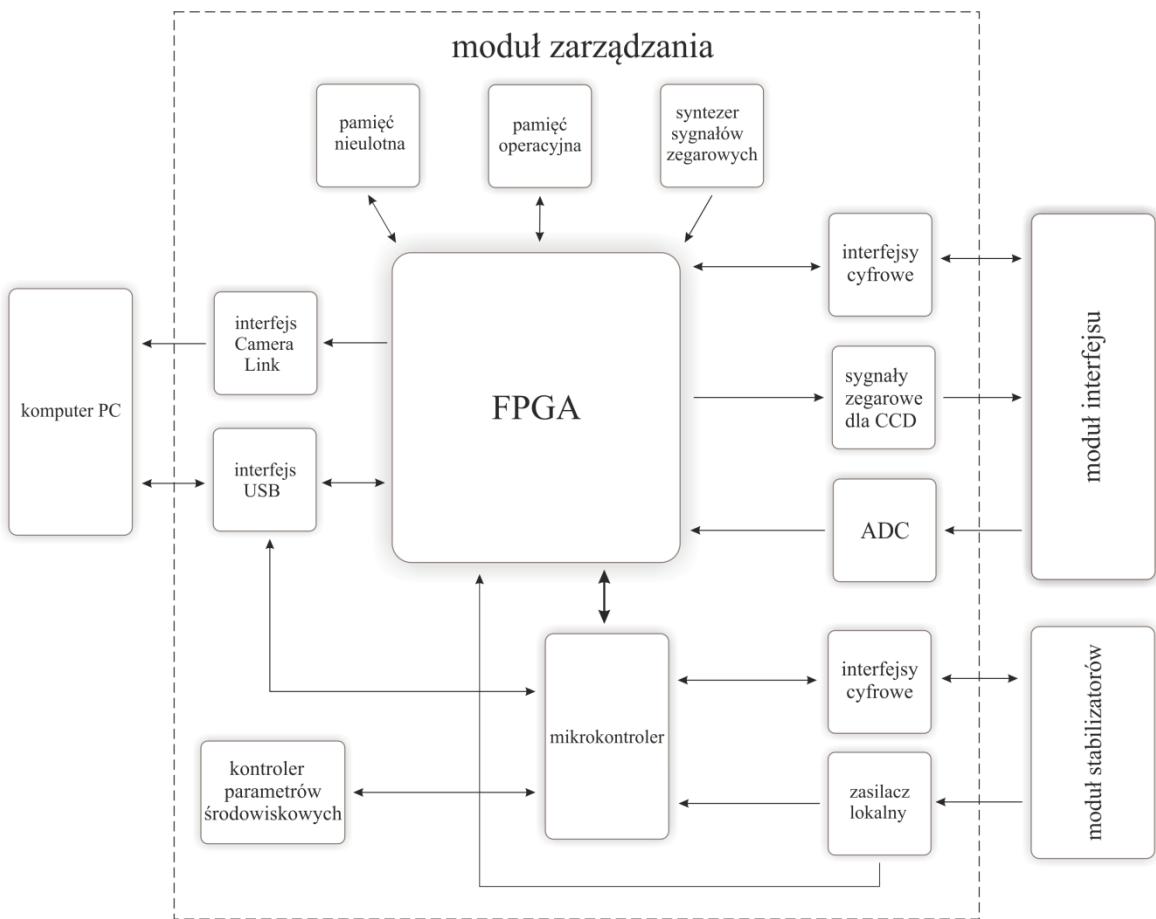
Cały system składa się z czterech podzespołów: zasilacza, modułu zarządzania, modułu regulatorów napięć, interfejsu pomiędzy w/w modułami i czujnikiem optycznym, komputera PC oraz badanego czujnika optycznego. Do poprawnej pracy wymagane jest oprogramowanie na układ FPGA, które nie jest częścią niniejszej pracy dyplomowej, zostało ono zrealizowane w ramach innej pracy magisterskiej [28]. Do odbioru danych obrazowych i wyświetleniu ich na monitorze komputera PC służy oprogramowanie dostarczone przez producenta Frame Grabbera.

Blok testera czujników optycznych składa się z trzech modułów:

- moduł główny wyposażony w układ FPGA oraz mikrokontroler, odpowiedzialny za zarządzanie całym systemem (sterowanie i odbiór danych z czujnika, odbieranie i interpretacja rozkazów z komputera, odsyłanie obrazu do urządzenia przechwytyującego obraz);
- moduł stabilizatorów realizujący filtrację oraz dopasowywanie poziomów napięć właściwych dla badanego czujnika;
- moduł interfejsu stanowiący połączenie elektryczne i mechaniczne pomiędzy częścią sterującą, stabilizującą napięcia i czujnikiem optycznym.

Założono, że każdy z modułów będzie oddzielnym obwodem drukowanym, osobną płytą PCB (*Printed Circuit Board*). Podejście takie nie jest sprzeczne z założeniami i ma tę zaletę, że w przypadku pojawienia się nowszych i lepszych podzespołów można łatwo wymienić pojedynczy moduł a nie projektować od początku całe urządzenie. Te trzy moduły stanowią integralną całość, nie mogą pracować samodzielnie.

3.1 Moduł zarządzania



Rysunek 35 – schemat blokowy koncepcji modułu zarządzania

Moduł zarządzania służy do sterowania, kontroli parametrów oraz zbierania danych. Zawiera układ FPGA, mikrokontroler oraz współpracujące z nimi układy wejścia/wyjścia (rysunek 35). Zaplanowano podział zadań w taki sposób, że układ FPGA zajmuje się obsługą czujnika (zarówno generowaniem sygnałów wejściowych jak i akwizycją odsyłanego obrazu) a mikrokontroler uzupełnia jego działanie poprzez konfigurację środowiska pracy czujnika i komunikację ze światem zewnętrznym. Zbudowane urządzenie jest platformą badawczą ale jednocześnie doświadczalną. Aby programista języka HDL mógł w łatwy sposób pisać i testować kod zdecydowano się na umieszczenie układu FPGA Spartan 6 (Xilinx) o największej liczbie zasobów programowalnych w ramach serii – XC6SLX150 w obudowie FGG484.

Poniżej zestawiono w tabeli jego najważniejsze parametry:

Xilinx Spartan 6 XC6SLX150 obudowa FGG484	
Ilość komórek logicznych	147 443
Rozmiar wewnętrznej pamięci RAM	4824 Kb
Ilość domen zegarowych	6
Ilość pinów do dyspozycji użytkownika	576 (w tym maksymalnie 288 par różnicowych)
Rozmiar pamięci konfiguracyjnej	33,8 Mb

Tabela 4 – parametry użytego układu FPGA

Ponadto układ jest wyposażony w cztery kontrolery zewnętrznej pamięci RAM typu DDR, DDR2, DDR3 oraz LPDDR. Zawiera aż 180 bloków przetwarzania sygnałów znakomicie przyspieszających mnożenie oraz akumulację wyników.

W ten sam sposób wytypowano mikrokontroler sterujący – Atxmega128A1 (Atmel) w obudowie TQFP100. Poniżej zestawiono w tabeli jego najważniejsze parametry:

Atmel ATxmega128A1 w obudowie TQFP100	
Rozmiar wewnętrznej pamięci FLASH	136 KB (w tym 8KB pamięci bootloadera)
Rozmiar wewnętrznej pamięci RAM	8 KB
Rozmiar wewnętrznej pamięci EEPROM	2 KB
Maksymalna częstotliwość taktowania	32 MHz
Ilość pinów do dyspozycji użytkownika	78

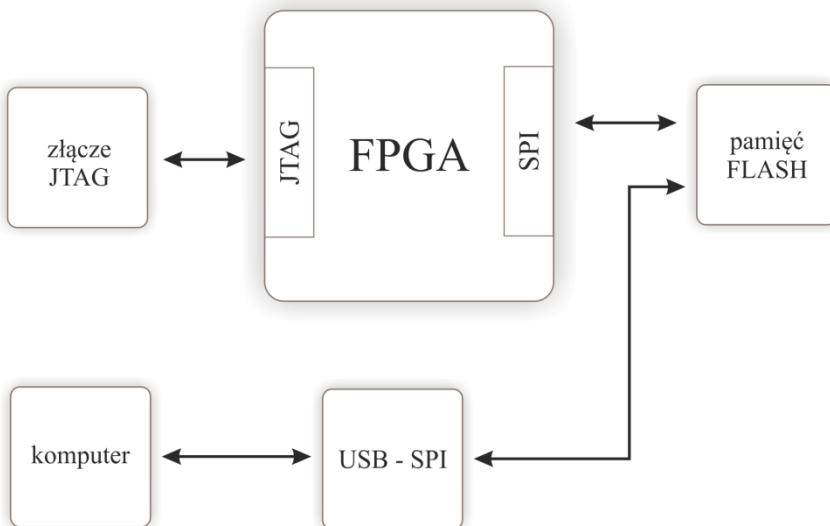
Tabela 5 – parametry użytego mikrokontrolera

Posiada sprzętowe wsparcie dla popularnych standardów transmisji danych takich jak SPI, IIC czy UART. Potrafi próbować sygnały analogowe (przetworniki analogowo – cyfrowe) oraz je generować (przetworniki cyfrowo – analogowe, liczniki). Ważnym atutem jest obsługa zewnętrznej pamięci operacyjnej typu SRAM lub SDRAM.

3.1.1 Pamięć nieulotna FPGA

Pamięć nieulotna nie jest dla układu FPGA niezbędna. Również bez niej pracuje poprawnie jednak po każdym zaniku zasilania czyszczą się jego dane konfiguracyjne. Można za każdym razem wgrywać je przy pomocy interfejsu JTAG jednak jest to wygodne tylko podczas testów urządzenia lub weryfikacji poprawności napisanego

oprogramowania. W przypadku normalnej pracy używanie zewnętrznego sprzętu np. komputera do każdorazowego wgrywania konfiguracji jest niewygodne, w niektórych przypadkach wręcz nieakceptowalne. W tym urządzeniu zewnętrzna pamięć z konfiguracją nie jest konieczna, czas który upłynie odłączenia zasilania do uzyskania zdolności operacyjnej może być stosunkowo długi. Mimo wszystko zdecydowano się na jej użycie. Dzięki temu raz zaprogramowany tester czujników optycznych staje się samodzielnią, niezależną od komputera kamerą zdolną do pracy poza laboratorium. Spartan 6 wspiera kilka typów pamięci z których zaraz po pojawienniu się napięcia odczytuje dane konfiguracyjne. W projekcie użyto trybu ze standardową pamięcią FLASH typu M25Pxx z interfejsem SPI.



Rysunek 36 – konfiguracja układu FPGA za pomocą pamięci FLASH z interfejsem SPI

Argumentem przemawiającym za w/w rozwiązaniem jest możliwość dwojakiego programowania pamięci. Pierwszym z nich jest wgrywanie zawartości poprzez interfejs JTAG i środowisko Xilinx ISE. Układ FPGA jest wówczas pośrednikiem pomiędzy JTAG a pamięcią FLASH, wgrywa do niej zawartość oraz przeprowadza weryfikację spójności danych. Zabieg ten jest szybki i wygodny, wykorzystuje istniejący już interfejs debugowania. Nie wymaga od użytkownika znajomości architektury pamięci, interfejsu SPI bądź pisania własnego oprogramowania. Do wad należy zaliczyć konieczność wykupienia licencji na środowisko oraz kabla programującego, których łączny koszt sięga kilkunastu tysięcy złotych. Druga metoda programowania jest znacznie tańsza. Wykorzystuje ona układy interfejsu USB – SPI i umożliwia sterowanie pamięcią wprost z komputera PC. Eliminuje zatem wysokie koszty, wymaga jednak napisania własnego oprogramowania. W pracy zastosowania oba rozwiązania. Pierwsze

może być wykorzystane przez programistę do łatwego i szybkiego testowania koncepcji, drugie przez użytkownika końcowego do aktualniania wsadu konfigurującego.

3.1.2 Pamięć FPGA

Wewnętrzna pamięć układu Spartan wynosi nieco ponad 4,5 MB. Do oszacowania czy jest to rozmiar wystarczający wzięto pod uwagę czujniki opracowane dla nowej, komercyjnej technologii obrazowania nazwanej 4K której założenia opracowało Digital Cinema Initiatives [29]. Przy maksymalnej rozdzielczości wynoszącej 4096 na 3112 pikseli oraz 36-cio bitowej głębi kolorów pojedyncza, nieskompresowana klatka obrazu zajmuje prawie 55MB. Zakładając, że urządzenie będzie posiadało co najmniej dwa bufore typu FIFO (*First In, First Out*, jeden do odbierania obrazu z czujnika, drugi do wysyłania poprzedniej klatki przez Camera Link) potrzeba 110MB pamięci. Jeśli dodać do tego mechanizmy korekcji wraz z tabelami współczynników to wymagany zasób pamięci rośnie do znacznych rozmiarów. W urządzeniu należało zatem umieścić pamięć RAM typu DDR3 SDRAM [30] o pojemności co najmniej 256MB. Wybór najnowszego powszechnie dostępnego standardu DDR3 zamiast jej poprzednika DDR2 był arbitralny biorąc pod uwagę zalety takie jak największy transfer danych (6400 do ponad 17000 MB/s), największą gęstość przechowywanych danych (do 1GB/kość) oraz mniejsze zużycie energii (do 30%).

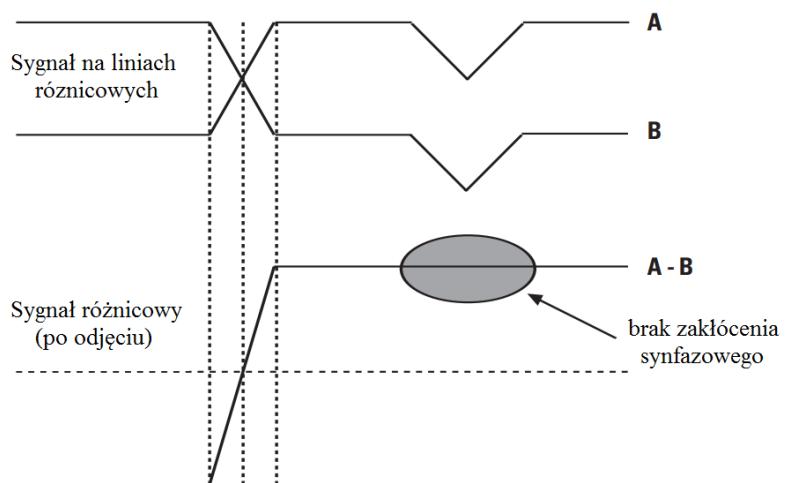
3.1.3 Układ dystrybucji sygnału zegarowego i linie transmisyjne LVDS

Do generacji sygnału taktującego oraz synchronizującego pracę FPGA należało użyć układu dystrybucji sygnału zegarowego. Aby sygnał miał stabilną częstotliwość oraz dużą czystość widmową uzyto zestawu złożonego z generatora przestrajanego VCO (*Voltage Controlled Oscillator*) oraz pętli synchronizacji fazy PLL (*Phase Locked Loop*) stabilizowanej rezonatorem kwarcowym. Na podstawie dokumentacji układu FPGA Spartan [31] ustalono, że należy doprowadzić do niego co najmniej dwa sygnały zegarowe. Pierwszy z nich jest odpowiedzialny za taktowanie wewnętrznych, programowalnych struktur a drugi za taktowania kontrolera pamięci RAM. Dzięki takiemu podejściu można niezależnie taktować bloki funkcyjne oraz kontrolować przepływ danych z i do pamięci. Układ dystrybucji zegara jest ponadto zdalnie konfigurowalny. Przed ustawieniem optymalnej częstotliwości pracy układu FPGA programista powinien mieć możliwość wykonania symulacji i przetestowania wypracowanego rozwiązania. W przypadku generatora o jednej stałej częstotliwości może zdarzyć się sytuacja, że symulacje kodu HDL dla FPGA wykażą nieprawidłowości

lub rozbieżności czasów propagacji. Ogranicza to możliwości rozwoju, ponieważ nakazuje zmianę koncepcji oprogramowania co dla urządzeń służących jako platformy testowe jest nieakceptowalne.

Linie transmisyjne LVDS

Zegary zdecydowano się przesyłać różnicowymi liniami typu LVDS (*Low Voltage Differential Signaling*) [32], [33]. Zadecydowały o tym cztery aspekty: pobór mocy przez układy transmisji, szybkość łącza, niska własna emisja zakłóceń oraz odporność na zakłócenia zewnętrzne. Standard LVDS jest uznawany jako następca standardów TIA/EIA-232 oraz TIA/EIA-422. Obecnie ustandaryzowany jako ANSI/TIA/EIA-644. Jedną z największych zalet LVDS jest jego niski pobór mocy. Sterownik linii posiada wyjście o charakterze źródła prądowego, który dostarcza stałą wartość prądu (3.5mA) poprzez linię różnicową. Moc wydzielana w obciążeniu na rezystorze terminującym o wartości 100 Ohm wynosi $3.5\text{mA}^2 * 100 \text{ Ohm} = 1.2 \text{ mW}$. W zależności od konfiguracji interfejs ten jest zdolny do transmisji danych z prędkościami większymi niż 1 gigabit/s. Dla kontrastu można dodać, że maksymalna prędkość danych które można przesyłać liniami ze sterownikami typu CMOS wynosi ok. 250 megabitów/s. Różnicowa natura LVDS sprawia, że posiada on zdolność usuwania zakłóceń synfazowych czyli takich które jednocześnie i zgodnie w fazie pojawiają się na każdej z linii pary różnicowej. Dzięki mechanizmowi likwidacji niepożądanych sygnałów, pary LVDS mogą pracować przy bardzo niskich napięciach mając przy tym dużą przepustowość i mały pobór mocy. Sygnały różnicowe nie tylko są bardziej odporne na zakłócenia synfazowe, ale również same emitują mniejsze zakłócenia do otoczenia.



Rysunek 37 – wpływ zakłóceń synfazowych na odbiornik LVDS [33]

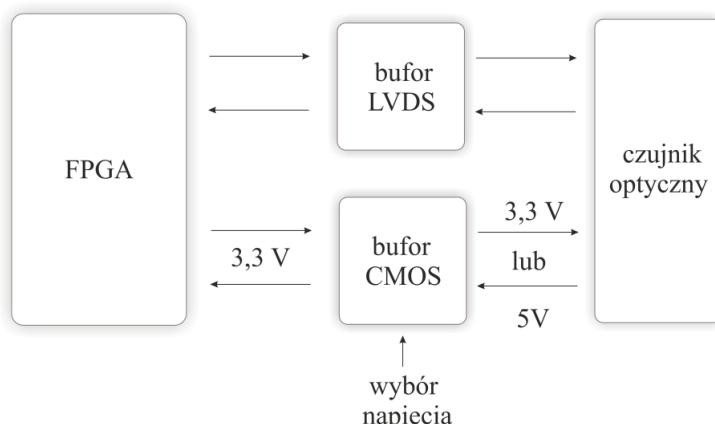
3.1.4 Interfejs do testowanego czujnika optycznego

Przed analizą typów interfejsów pomiędzy czujnikami optycznymi i układami odbioru należało podzielić te pierwsze na dwie grupy:

- czujniki aktywne, wymagają napięć zasilających i prądów polaryzacyjnych (biasów), sygnału(ów) zegarowych oraz zaprogramowania rejestrów konfiguracyjnych za pomocą magistral I2C lub SPI. Są to układy typu SoC np. matryce CMOS lub CCD wyposażone w cyfrowy układ odczytu z pikseli. Dane wyjściowe są reprezentowane w postaci cyfrowej, często towarzyszy im zegar synchronizujący przepływ danych z czujnika do odbiornika;
- czujniki pasywne typu CCD z tradycyjnym, analogowym układem odczytu. Wymagają wyższego napięcia pracy oraz sygnałów zegarowych o ścisłe określonych piedestałach i amplitudach. Dane obrazowe przesyłane są w formie analogowej a do ich dalszego przetworzenia wymagane są przetworniki analogowo – cyfrowe.

Sterowanie czujnikami aktywnymi

Przeglądając dostępne na rynku czujniki z pierwszej grupy zauważono, że obecnie producenci czujników o wysokiej rozdzielczości lub o wysokiej liczbie fps (np. CMV4000 (CMOSIS) [35], Vita25K (On Semiconductor) [36]) skupiają się szybkich linkach szeregowych a warstwa fizyczna składa się z linii LVDS. Szybkość przesyłu danych sięga tam nawet 620 Mbps [36]. Produkty ze średniego i niskiego szczebla (czyli o rozdzielczości do ok. dwóch megapikseli przy ok. 30 klatkach na sekundę) używane do monitoringu czy do mniej wymagającego obrazowania maszynowego do komunikacji nadal używają sygnałów CMOS o napięciu 3,3 V [5]. Częstotliwości sygnałów na tych liniach nie przekraczają 70 – 80 MHz. Na potrzeby niniejszej pracy dyplomowej zaimplementowano obie metody sterowania i odbioru danych z czujników tj. za pomocą interfejsów LVDS jak i linii CMOS.



Rysunek 38 – koncepcja włączenia buforów pomiędzy czujnik i FPGA

Aby maksymalnie odizolować linie danych czujnika od mogących wprowadzać zakłócenia wysokoczęstotliwościowe pinów FPGA zastosowano buforowanie. Użycie zewnętrznych buforów posiada kilka zalet np. dokonuje regeneracji sygnału, zmniejszenie impedancji wyjściowej źródła sygnału czy też w przypadku linii CMOS translację napięć. Tę ostatnią cechę wykorzystano do wstępnej kompatybilności ze starszymi technologiami CMOS. Dzięki niej można do testera podłączyć czujniki, których linie są sterowane sygnałami o amplitudzie zarówno 5 V jak i 3,3 V przy stałej amplitudzie po stronie odbiornika (FPGA). Dodatkową zaletą buforów jest możliwość ich wyłączenia. Jeżeli w danej chwili nie są używane, wejścia i wyjścia można ustawić w stan wysokiej impedancji ograniczając tym samym pobór prądu.

Sterowanie czujnikami pasywnymi

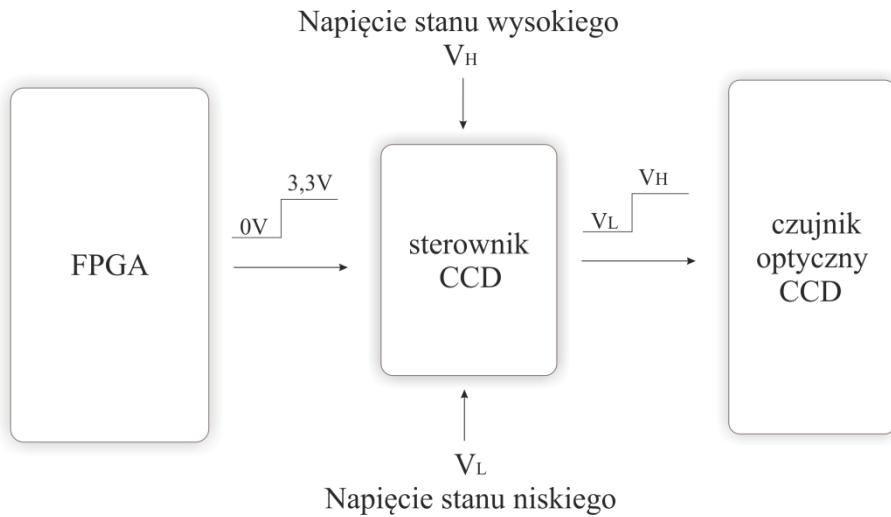
Zupełnie innego podejścia do sterowania wymagają czujniki CCD z klasycznym, analogowym układem odczytu wspomnianym w rozdziale 1.3.5. Układy te poza koniecznością dostarczenia napięć zasilających oraz polaryzujących wymagają sygnałów zegarowych sterujących kontaktami kondensatorów MOS wbudowanych w ich strukturę. Zdecydowana większość wymaga sygnałów dwustanowych tzn. poziomu piedestału oraz drugiego poziomu o określonej amplitudzie (dodatniej lub ujemnej). Poziomy te odbiegają jednak od ogólnie przyjętych standardów napięć zarówno cyfrowych jak i analogowych.

			MIN	NOM	MAX	UNIT
Input voltage, V_I	IAG1	High	4.9	5.2	5.5	V
	IAG2, SAG1, SAG2	High	2.8	3.1	3.4	
	IAG1, SAG1	Low	-6.3	-6	-5.7	
	IAG2, SAG2	Low	-7	-6.7	-6.4	
	SRG1, SRG2	High	4.6	4.9	5.2	
	SRG1	Low	-4.6	-4.3	-4	
	SRG2	Low	-5.8	-5.5	-5.2	
	CMG (see Note 5)	High (Gain)	7 (1)	14.5 (30)	15 (100)	
		Low	-3.1	-2.8	-2.5	

Rysunek 39 – przykład poziomów napięć sygnałów zegarowych czujnika TC253 [37]

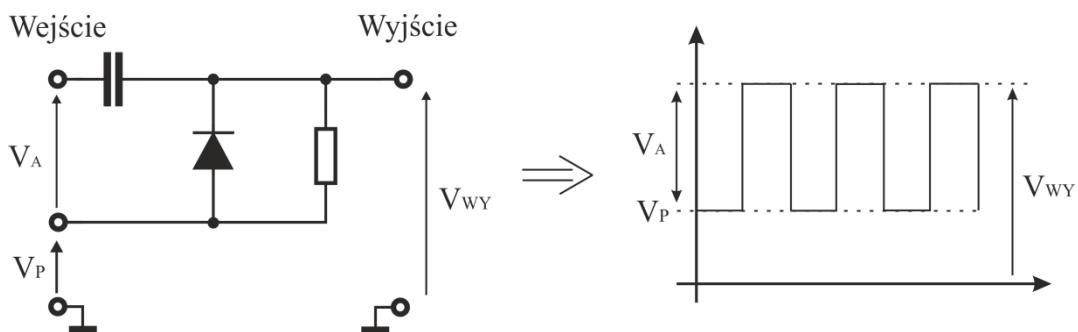
Aby poprawnie sterować czujnikami pasywnymi należało zastosować inne podejście do problemu niż to dla czujników aktywnych. Czujniki CCD lub FPA wymagają sterowania według ścisłe zdefiniowanych przez producenta zależności czasowo-napięciowych. Zależności czasowe generowane są przez FPGA jednak wymagane zakresy napięć uniemożliwiają wykorzystanie buforów przeznaczonych do propagowania sygnałów cyfrowych. Kolejnym utrudnieniem jest fakt, że każdy kolejny

typ czujnika często ma zupełnie inne zakresy napięć sterujących. Opracowano zatem odmienną koncepcję sterowania, której zasadę przedstawiono poniżej.



Rysunek 40 – koncepcja sterowania czujnikami CCD z analogowym układem odczytu

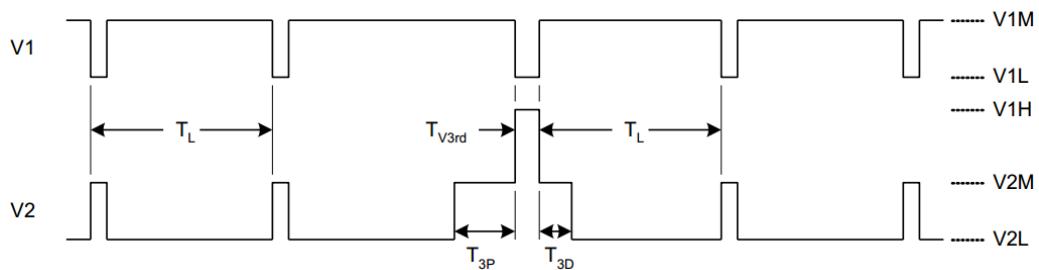
Wielokanałowe sygnały sterujące pochodzące z FPGA zanim trafią do czujnika, są podawane na wejście układu kształtującego. Ten zaś składa się z wejść zdolnych do odbierania danych w standardzie LVTTL, przesuwnika poziomów oraz stopnia wyjściowego (bufora) zwiększającego wydajność prądową oraz zmniejszającego impedancję wyjściową. Sterownik CCD, bo tak należy nazywać ten przesuwnik poziomów, posiada dwie szyny zasilające. Jedna z nich służy do zasilania logiki sterującej a druga do zasilania translatora oraz bufora. Na jego wyjściu otrzymuje się sygnał o wymaganych dla czujnika poziomach. Maksymalne napięcia V_L oraz V_H odpowiadające za kres dolny i górny ustalone na wartości odpowiednio -12V oraz +12V. Bufor taki musi mieć możliwość ustawienia wyjść w stan wysokiej impedancji. Niedopuszczalna jest sytuacja, w której na czujnik zostało podane napięcie V_L lub V_H podczas włączania zasilania.



Rysunek 41 – schemat i wykres napięcia przesuwnika zwiększającego napięcie

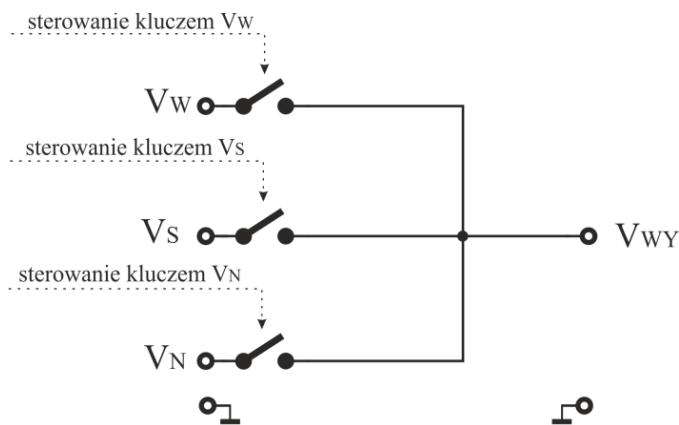
W przypadku, gdy napięcia sterujące czujnikiem wykraczają poza przedstawiony zakres należy zastosować układy przesuwające tzn. takie, które pozwalają zmieniać wartości szczytowe sygnału poprzez przesunięcie ich składowej stałej. Przesuwnik nie wpływa na amplitudę oraz wartość międzyszczytową sygnału. Najprostszy układ składa się jedynie z diody półprzewodnikowej, rezystora i kondensatora. Do jednej z gałęzi podłącza się napięcie stałe które jednocześnie jest poziomem piedestału, do drugiej zmienne napięcie o ustalonej amplitudzie. W zależności od konfiguracji (przesuwnik dodający lub odejmujący) wartość sygnału zmienia się od poziomu piedestału do odpowiednio dodatniej lub ujemnej wartości amplitudy dołączonego przebiegu zmiennego.

Część czujników wymaga sterowania trójstanowego. Oznacza to, że oprócz sygnału w stanie niskim i wysokim potrzebny jest jeszcze jeden poziom pośredni oznaczony V_M . Przykładowy przebieg trójstanowy pokazano na rysunku poniżej.



Rysunek 42 – trzypoziomowe sterowanie pinem V2 [38]

W powyższej sytuacji, aby móc odczytać kolejną klatkę obrazu, na znajdujący się w stanie niskim pin V2 (zegar przesuwu pionowego) należy podać napięcie poziomu pośredniego a następnie na okres T_{V3rd} napięcie stanu wysokiego. Sygnały trójstanowe z racji spełnianej funkcji (przesuw klatki obrazu) nie występują podczas sterowania czujnikiem często, bo tylko raz na klatkę. Nie mają też wysublimowanych parametrów czasowych.



Rysunek 43 – koncepcja sterownika sygnałów trójstanowych

Sterownik sygnałów trójstanowych opracowano na bazie trzech niezależnie włączanych i wyłączanych kluczy analogowych o wysokim dopuszczalnym zakresie napięć pracy. Trzy klucze K1, K2 i K3 są włączone pojedynczo i w odpowiedniej dla konkretnego czujnika sekwencji czasowej. Aby nie dopuścić do sytuacji, w której dwa klucze są zwarte w tym samym czasie (wystąpiłoby zwarcie szyn zasilających), należało zaimplementować w FPGA automat przetwarzający sygnały wejściowe na zsynchronizowane czasowo włączenia/wyłączenia kluczy według kolejności:

Kod sygnału wejściowego	Napięcie na wyjściu sterownika
0	Stan wysokiej impedancji Z, wszystkie klucze wyłączone
1	Przewodzi klucz K1, stan niski V_N
2	Przewodzi klucz K2, stan pośredni V_S
3	Przewodzi klucz K3, stan wysoki V_W

Tabela 6 – opis stanów logicznych sterownika linii trójstanowych

Podobnie jak w przypadku buforów dwustanowych tak i tutaj istnieje możliwość ustawienia sterownika w stan wysokiej impedancji.

3.1.5 Przetworniki A/C do sygnału video

Czujniki CCD o budowie klasycznej tj. bez cyfrowego toru odczytu generują wartości pikseli obrazu za pomocą sygnału analogowego. Przechwycenie klatki polega zatem na dyskretyzacji wartości napięcia, ewentualnym przetworzeniu a następnie zapisaniu już w cyfrowej postaci.

Rozdzielcość i dynamika przetwornika A/C

Pierwszym etapem doboru odpowiedniego przetwornika analogowo-cyfrowego było ustalenie jego rozdzielcości bitowej. Najlepsze obecnie produkowane czujniki mają wartość współczynnika SNR na poziomie 80 dB [8] (liczone jako $20 \log_{10}(\frac{N_{e-sat}}{RMS\ Noise})$), N_{e-sat} to pojemność studni potencjału (e^-) a $RMS\ Noise$ to wartość skuteczna szumów (e^-). Aby w pełni wykorzystać zakres dynamiczny czujnika, przetwornik A/C musi mieć rozdzielcość większą niż wspomniane 80 dB. Rozdzielcość idealnego przetwornika dla wymaganej dynamiki (czyli SNR) liczy się ze wzoru [39]: $SNR = 6,02N + 1.77[dB]$ (N to rozdzielcość przetwornika w bitach) i wynosi 13 bitów. Biorąc pod uwagę, że zaprojektowane urządzenie ma służyć do celów badawczo-rozwojowych należało użyć konwertera o lepszych parametrach niż te obliczone dla idealnego przetwornika. Zdecydowano się zatem na użycie takiej konstrukcji, która

pozwalałaby na szesnastobitową rozdzielcość. Oprócz tego należało zwrócić uwagę, aby zastosowany przetwornik umożliwiał korekcję parametrów sygnału z czujnika w czasie rzeczywistym:

- odtwarzanie składowej stałej. Jest to wymagane w związku ze zmiennoprądowym sprzężeniem w torze wideo. Składowa stała w przetworniku A/C różni się od składowej stałej w czujniku CCD o kilka woltów;
- kompensacja napięcia offsetu, dzięki temu przetwornik usuwa wpływ prądu ciemnego i w pełni wykorzystuje dynamikę przetwornika A/C;
- PGA czyli *Programmable Gain Amplifier* – wzmacniacz o programowalnym wzmacnieniu. W przypadku, w którym sygnał wideo ma małą amplitudę (małe zapełnienie studni potencjału), układ umożliwia zwiększenie jej co również pozwala wykorzystać pełną dynamikę przetwornika A/C.

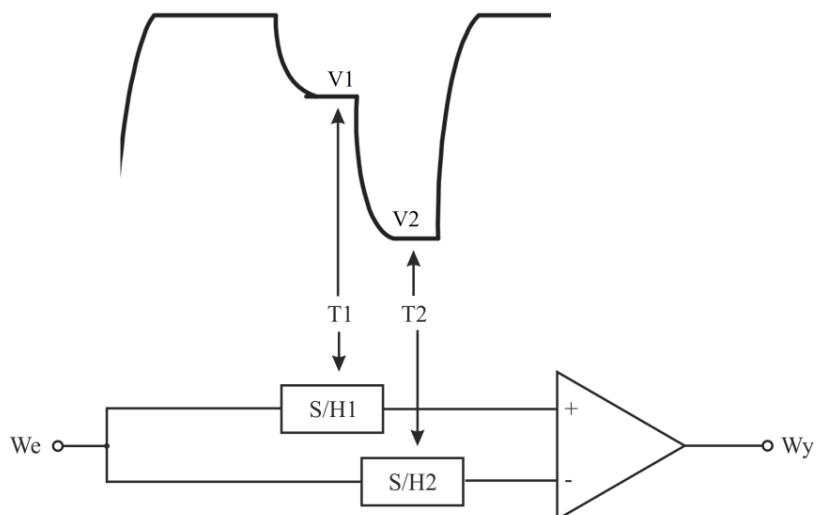
Do poprawnej konwersji wymagane jest źródło napięcia odniesienia. Układy użyte w niniejszej pracy mają je już wbudowane wewnętrz.

Szum odczytu

[40] Podczas odbierania sygnału z czujnika CCD, dane użyteczne są zmieszane z tzw. szumem odczytu. Jego głównym składnikiem jest szum resetu. Szum resetu składa się w mniejszym stopniu z szumu białego i w znacznym z szumu termicznego pochodzącego od pojemności węzła integracji i tranzystora resetującego (a dokładniej od jego niezerowej rezystancji kanału R_{DSon}) (rysunek 11). Pomimo, że idealny kondensator C_{INT} sam w sobie nie jest źródłem szumu, w układach próbujących podczas rozładowywania (resetowania) pojemności na kondensatorze pojawia się niezerowe napięcie. Skończona rezystancja tranzystorowego klucza resetującego powoduje, że na pojemności (po wyłączeniu klucza) pozostaje napięcie szumowe. Im mniejsza rezystancja R_{DSon} tym mniejsza wartość jego napięcia szumowego choć pasmo szumów zwiększa się. Aby uświadomić skalę tego zjawiska można posłużyć się przykładem. Niech $C_{INT} = 0,1 \text{ pF}$, $R_{DSon} = 2k\Omega$. Pasmo szumowe dla filtra RC wynosi $B=1/(4RC) = 1,25 \text{ GHz}$, wartość skuteczna napięcia szumowego $e_n = \sqrt{kT/C} = 0,203mV$. Jeśli maksymalny sygnał z czujnika CCD wyniesie $0,3V$ to stosunek sygnał-szum wyniesie 1478 (63 dB). Jeżeli czujnik charakteryzuje się słabszą wydajnością konwersji lub pracuje przy słabszych warunkach oświetleniowych wówczas problem szumu resetu jest jeszcze większy.

Niwelacja szumu resetu przez przetwornik A/C

Aby usunąć znaczny wpływ szumu resetu zastosowano przetwornik próbkujący metodą CDS (*Correlated Double Sampling*). Nazwa pochodzi od podwójnego, skorelowanego w czasie próbkowania sygnału z wyjścia CCD. Pierwsze próbkowanie odbywa się pod koniec poziomu sygnału resetu. Podczas gdy klucz resetujący wyłącza się, wartość szumu termicznego w pojemności C_{INT} zostaje „zamrożona”. Druga próbkowa, zawierająca to samo napięcie szumowe, jest pobierana podczas występowania właściwego sygnału wideo. Odejmując je, znika szum skorelowany z tymi próbkami a na wyjściu otrzymuje się sygnał wynikający z transferu ładunku czyli pożądany sygnał wizyjny.



Rysunek 44 – zasada działania próbkowania CDS

Pojedynczy blok CDS składa się z dwóch układów próbkujących z pamięcią typu S/H (*Sample and Hold*) oraz jednego wzmacniacza różnicowego. W czasie T1 sygnał wejściowy, zawierający potencjał poziomu resetu (czyli po opróżnieniu studni potencjału, V1 na powyższym rysunku), zostaje zapamiętany w układzie S/H1 i podany na wejście nieodwracające wzmacniacza. W czasie T2 układ S/H2 próbuje i zapamiętuje wartość amplitudy obrazu (V2 to zawartość piksela po naświetleniu matrycy i wygenerowaniu fotoelektronów) a na wyjściu wzmacniacza uzyskuje się pożądaną wartość – różnicę pomiędzy poziomami resetu i wideo, proporcjonalną do natężenia oświetlenia.

Matryce CCD o wysokiej rozdzielczości używają wielu równoległych wyjść sygnału wideo. Taka konstrukcja stopnia wyjściowego umożliwia przesłanie dużej ilości klatek na sekundę przy niskim poziomie szumów odczytu. Wartości pikseli, zamiast być

wysyłane jednym wyjściem taktowanym wysoką częstotliwością, dzieli się na mniejsze pakiety i wysyła równolegle wieloma wyjściami na raz. Obecnie czujniki komercyjne o bardzo wysokiej rozdzielczości używają do 16 wyjść danych przy szumie odczytu na poziomie nawet $2e^-$ [41]. Zaobserwowano trend, w którym liczba wyjść z detektorów zwiększa się ze wzrostem rozdzielczości jako funkcja wykładnicza o podstawie 2. Wynika z tego, że czujniki nowszej generacji będą posiadały aż 32 wyjścia i tyle też kanałów przetworników A/C zdecydowano się użyć w niniejszej konstrukcji urządzenia. Przewidziane rozwiązanie umożliwia też wykonanie detektora matrycowego składającego się z np. czterech czujników (po dwa w pionie i dwa w poziomie) w którym każdy czujnik może mieć do ośmiu wyjść.

3.1.6 Komunikacja z komputerem

Do komunikacji z komputerem wykorzystano magistralę USB oraz układ interfejsów USB/FIFO245, USB/SPI, USB/JTAG oraz USB/UART. Trzy pierwsze są używane do bezpośredniego przesyłania danych do układu FPGA: JTAG do konfiguracji i debugowania logiki programowalnej, SPI do programowania pamięci nieulotnej zawierającej konfigurację logiki programowalnej a FIFO245 do szybkiej transmisji danych użytkownika. Ostatni interfejs USB/UART służy do dwukierunkowej komunikacji pomiędzy komputerem i mikrokontrolerem – układem zarządzającym całym testerem czujników optycznych.

3.1.7 Mikrokontroler

Do zadań mikrokontrolera należą:

- nadzorowanie pracy FPGA i odczytywanie z niego danych przez interfejs pamięci SRAM. FPGA zawiera rejesty do których mikrokontroler odwołuje się jak do zewnętrznej pamięci RAM. Zapisując pod ustalony adres konkretną wartość (komendę) można zmieniać dowolne parametry FPGA oraz odczytywać i nadzorować przebieg jego pracy. Zapisany do FPGA rozkaz jest wykonywany natychmiast, odczyt odbywa się natychmiast po uprzednim odczytaniu rejestru powiadomień i sprawdzeniu czy są jakieś nowe dane;
- zadawanie i kontrola parametrów pracy takich jak napięcia, natężenia prądów czy temperaturę kluczowych elementów projektu. Umożliwia tworzenie sekwencji włączania i wyłączania napięć;
- konfiguracja przetworników A/C próbujących sygnał wideo;

- programowanie i kontrola poprawności pracy układu dystrybucji sygnału zegarowego dla FPGA;

• kontrola nad procesem konfiguracji FPGA, resetowanie i czyszczenie jego ustawień. Mikrokontroler komunikuje się z komputerem PC oraz Frame Grabberem (urządzenie przechwytyjące obraz, w tym przypadku za pomocą Camera Link) poprzez UART. W komunikacji z komputerem PC pełni rolę interpretera rozkazów. Za pomocą odpowiednich rozkazów oprogramowanie na komputerze może zdalnie włączać/wyłączać dowolne funkcje, podzespoły lub kontrolować wartości parametrów. Zastosowano transmisję dwukierunkową, komputer oprócz komend może wysyłać zapytania i oczekiwany na odpowiedź. Komunikacja z Frame Grabberem jest opcjonalna i można wykorzystać ją do ustalenia parametrów transmisji obrazu. Mikrokontroler ma również za zadanie konfigurację dołączonych czujników testowych jeśli te są wyposażone w cyfrowy układ odczytu. Programowanie odbywa się za pomocą interfejsów IIC lub SPI. W celu zapewnienia wstępnej kompatybilności ze starszymi czujnikami zastosowano układy translacji, które obsługują standardy zarówno 5V jak i 3,3V. Do programowania i debugowania użyto zalecane przez firmę Atmel złącze z wyprowadzonym interfejsem JTAG.

3.1.8 Pomiar temperatury

Do pomiaru temperatury elementów mocy testera oraz badanych czujników optycznych wykorzystano dwie metody: jedna z nich to rezistor o dodatnim współczynnikiu temperaturowym PTC (*Positive Temperature Coefficient*), druga to czujnik platynowy typu PT100. Do ich zasilania wykorzystano precyzyjne źródła prądowe o małej wydajności aby nie zaburzać pomiaru samopodgrzewaniem się czujnika pod wpływem przepływającego prądu. Detekcja temperatury polega na odczycie napięcia na czujniku, przekonwertowaniu go na postać cyfrową w przetworniku A/C i przesłaniu do mikrokontrolera. Zastosowanie drugiej metody pomiaru z wykorzystaniem czujnika PT100 było podyktowane uzyskaniem szerszego zakresu pomiarowego. Niektóre czujniki na podczerwień termalną wymagają chłodzenia i są dostarczane w naczyniach Dewara których temperatura oscyluje w granicy -200°C.

3.1.9 Lokalny zasilacz modułu zarządzania

Nieodzownym elementem modułu zarządzania jest zasilacz lokalny. Konwertuje on napięcie podane z zasilacza głównego na niskie napięcia lokalne potrzebne do poprawnej pracy układów np. FPGA, mikrokontrolera czy przetworników A/C i C/A.

Na podstawie [42] oszacowano, że najwięcej energii potrzebuje układ FPGA a pobierane przez niego prądy osiągają wartości kilku amperów.



Rysunek 45 – szacowany pobór mocy przez układ FPGA [42]

Przekazanie takiej mocy przez liniowe stabilizatory napięcia byłoby równoznaczne z utratą kilku watów mocy w postaci energii cieplnej. Jest to niedopuszczalne z kilku względów, wspominając chociażby duży lokalny przyrost temperatury płytki PCB i ryzyko uszkodzenia przelotek bądź rozklejenia się warstw, konieczność wprowadzenia wymuszonego obiegu powietrza czy słabej stabilności napięcia przy dużym obciążeniu. Wymienionych wad nie mają przetwornice DC/DC i takie też zastosowano do stabilizacji napięć rdzenia i układów wejścia/wyjścia FPGA.

Do zasilania części elektroniki, która ma mniejsze zapotrzebowania na energię, użyto stabilizatorów liniowych. Nie mają one tak dużej sprawności jak zasilacze impulsowe, ale wprowadzają do obwodu znacznie mniej zakłóceń – pracują w trybie ciągłym, liniowym. Zdecydowano, że będą one zasilały elementy pracujące z sygnałami analogowymi – przetwornikami analogowo-cyfrowymi przetwarzającymi sygnał video oraz mierzącymi napięcie na czujnikach temperatury. Oprócz stabilizatorów we wspomnianej części zasilającej użyto również precyzyjnych, niskoszumnych źródeł napięć o bardzo małym dryfcie temperaturowym. Służą one jako napięcia referencyjne potrzebne do przetworników A/C, C/A i pomiaru temperatury. Poniżej przedstawiono szacunkowe wymagania na wydajność prądową dla poszczególnych napięć:

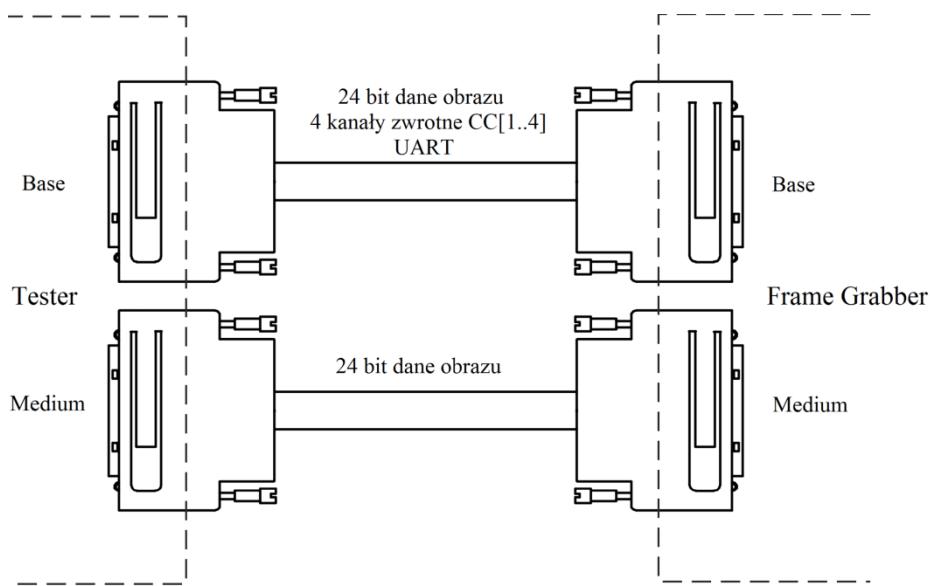
Układ	Stabilizatory impulsowe		Stabilizatory liniowe	
	3,3 V	1,2V	3,3V	1,5V
Przetwornik A/C sygnału wideo			0,95	
Mikrokontroler	0,02			
Interfejs Camera Link	0,12			
FPGA	0,83	1,9		0,218
Pamięć FLASH dla FPGA	0,015			
Pamięć DDR3				0,35
Układ dystrybucji zegara	0,4			
RAZEM [A]	1,385	1,9	0,95	0,568

Tabela 7 – szacunkowy pobór prądu przez kluczowe elementy modułu zarządzania

Aby zapewnić integralność systemu zasilania oraz ograniczyć emisję zakłóceń na zewnątrz testera należało zapewnić odpowiednie filtrowanie linii zasilających. Zdecydowano się na odsprzężenie zasilania każdego układu scalonego za pomocą jednego lub kilku kondensatorów ceramicznych (w zależności od liczby wyprowadzeń służących do zasilania) klasy drugiej według EIA RS-198. Są to kondensatory o relatywnie dużych pojemnościach i napięciach pracy przy małych gabarytach obudowy. Zastosowano kondensatory z dielektrykiem X7R lub X5R.

3.1.10 Przesyłanie obrazu do urządzeń przechwytyjących

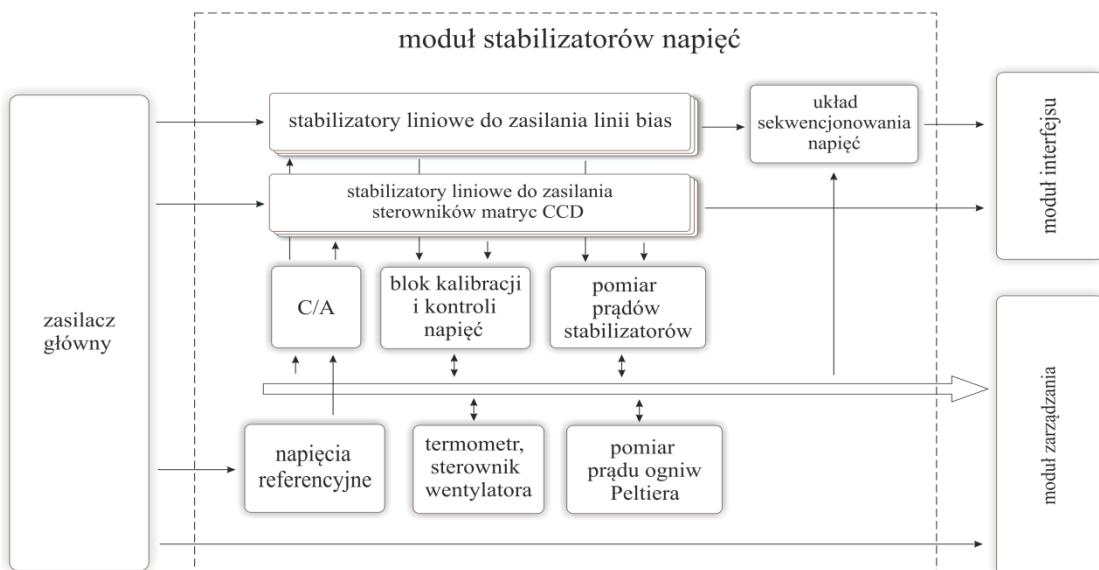
Do przesyłania obrazu użyto interfejsu w standardzie Camera Link [44]. Wykorzystano go, ponieważ stał się niepisanym standardem dla kamer w zastosowaniach przemysłowych i laboratoryjnych. Jest to standard definiujący złącza, kable, warstwę fizyczną sygnałów elektrycznych oraz protokół transmisji ramek obrazu. Do poprawnego odbioru obrazu przesyłanego przez tester wymagany jest tzw. Frame Grabber, czyli zewnętrzne urządzenie bądź karta rozszerzeń do komputera zgodna z Camera Link i odpowiednie oprogramowanie wyświetlające obraz na monitorze bądź zapisujące go w pamięci nieulotnej (z kompresją lub bez). W testerze użyto Camera Link z dwoma złączami. Pierwsze, podstawowe, w wariantie Base służy do przesyłania 24 bitów obrazu (tester → Frame Grabber), zawiera 4 kanały zwrotne ogólnego przeznaczenia (Frame Grabber → tester) oraz UART (Frame Grabber ↔ tester) również ogólnego przeznaczenia. Drugie złącze, wykorzystane połówkowo, z wielokrotnią przepustowość systemu. Składa się tylko z linii przesyłających dodatkowe 24 bity obrazu z testera do Frame Grabbera. Zastosowanie takiego rozwiązania, przy użyciu dwóch kabli umożliwia osiągnięcie transferu do 510 MB/s.



Rysunek 46 – Camera Link w wariancie Medium [44]

Warstwę fizyczną interfejsu zapewniają dwa scalone, dedykowane serializery sterowane magistralą równoległą z FPGA. UART w Camera Link, podobnie jak wszystkie inne sygnały w tym standardzie, jest przesyłany różnicowo. Do poprawnej komunikacji mikrokontrolera przez UART zastosowano układy interfejsu LVCMOS ↔ LVDS. Wariant Medium ma tę zaletę, że w razie potrzeby można go względnie łatwo rozbudować do wariantu Full za pomocą trzeciego serializera. Podłącza się go do niewykorzystanej połowy drugiego złącza a maksymalny transfer wzrasta wówczas do 680 MB/s (równolegle przesyła się 64 bity).

3.2 Moduł stabilizatorów napięć



Rysunek 47 - schemat blokowy koncepcji modułu stabilizatorów napięć

Moduł stabilizatorów napięć jest dołączony bezpośrednio do zasilacza głównego. Wymaga on kilku napięć, dlatego użyto wielopinowego złącza mogącego przekazać znaczną moc do obciążenia. Poniżej przedstawiono wartości tych napięć oraz maksymalne zapotrzebowanie na prąd:

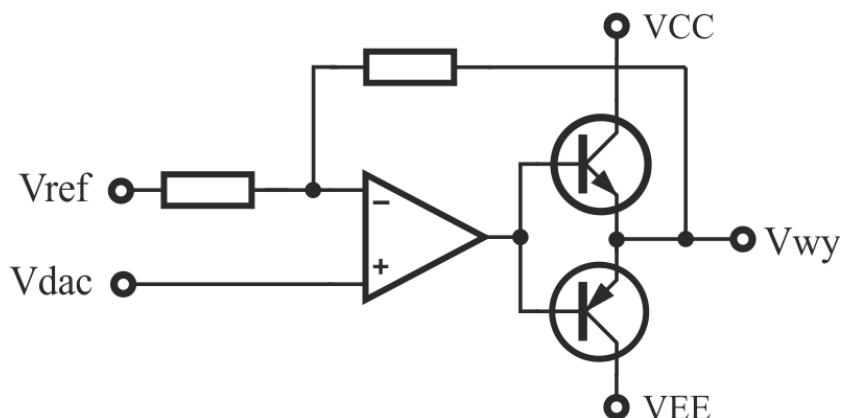
Wartość napięcia DC [V]	Maksymalna wartość prądu [A]	Moc [W]
7V	4,5	31,5
18	3	54
-18	3	54
28	1	28
Regulowane 0 – 8	4,5	36
Regulowane 0 – 15	8	120
Razem		323,5

Tabela 8 – zapotrzebowanie urządzenia na energię

Moduł stabilizatorów posiada dwa złącza do połączenia go z modułem zarządzania: pierwsze służy do zasilania modułu zarządzania (dokładniej przekazuje napięcie wejściowe dla zasilacza lokalnego w tym module) a drugie, cyfrowe, do komunikacji i sterowania podzespołami. Zawarto w nim magistrale sterujące np. przetwornikami A/C, C/A czy załączającymi klucze tranzystorowe i przekaźniki. Do kontroli obecności kluczowych napięć zastosowano wskaźniki diodowe.

3.2.1 Stabilizatory liniowe

Moduł zawiera łącznie 24 regulowane stabilizatory liniowe. Różnią się one funkcjonalnie niemniej zasada regulacji napięcia we wszystkich jest taka sama. Wzmacniacz operacyjny steruje na wyjściu tranzystory mocy objęte pętlą ujemnego sprzężenia zwrotnego. Napięcie wyjściowe ustala się na podstawie wzmacnienia pętli oraz napięcia wejściowego z przetwornika C/A podanego na wejście nieodwracające.



Rysunek 48 – koncepcja stabilizatora

Należało jak najlepiej odfiltrować napięcia wyjściowe aby szумy i zakłócenia stabilizatorów nie miały wpływu na pracę matryc światłoczułych. W tym celu, oprócz filtrów pojemnościowych na wyjściu, zastosowano precyzyjne i niskoszumne napięcia referencyjne oraz przetworniki C/A.

Typy stabilizatorów liniowych

Osiem stabilizatorów służy do polaryzowania (bias) poszczególnych stopni w przetwornikach CCD. Zakres wyjściowy to $\pm 12V$ przy dopuszczalnym prądzie obciążenia do 200mA. Maksymalna moc wydzielana na jednym stabilizatorze to $15V \cdot 0,2A = 3W$ (15V to napięcie zasilające stopień mocy). Kolejne cztery są przewidziane do zasilania. Ponieważ matryce CCD mają zróżnicowane wymagania i dość wysokie napięcia pracy zdecydowano się na stabilizatory napięcia w zakresie $0 \div 26V$ i obciążalności do 100 mA. Maksymalna moc wydzielana na jednym stabilizatorze to $28V \cdot 0,1A = 2,8W$. Zastosowano dwanaście stabilizatorów do zasilania szyn górnych V_H i dolnych V_L (rysunek 40) sterowników elektrod CCD. Pracują w parach, jeden stabilizator reguluje napięcie V_H , drugi V_L . Sześć zasilaczy szyny górnej dostarcza napięć w zakresie $-2,5V \div 10V$, pozostałe sześć zasilają szyny dolne w zakresie $-5 \div 3V$. Wydajność prądowa każdego z nich wynosi 200mA. Maksymalna moc wydzielana na jednym stabilizatorze napięcia V_H to $17,5V \cdot 0,2A = 3,5W$ a na jednym stabilizatorze napięcia V_L $18V \cdot 0,2A = 3,6W$. Te trzy typy stabilizatorów, oprócz różnych parametrów elektrycznych różnią się również dołączeniem do układu odbiorczego. Linie polaryzujące oraz zasilające mają ciągłą kontrolę natężenia prądu wyjściowego. Zasilacze sterowników CCD mają kontrolę nad całkowitą sumą prądów szyn V_H i V_L . Wynika to z impulsowej natury pracy sterowników. Natężenia prądów bada przetwornik A/C w odpowiedniej konfiguracji i po konwersji przesyła wyniki do mikrokontrolera. Ponieważ tester jest urządzeniem laboratoryjnym, każde wyjście zasilające jest zabezpieczone bezpiecznikiem odwracalnym chroniącym przed zwarciem wyjścia i przepaleniem stopni wyjściowych stabilizatorów.

3.2.2 Przetworniki C/A do sterowania stabilizatorami liniowymi

Wszystkie 24 regulatory ustalają napięcie wyjściowe na podstawie wejściowego napięcia referencyjnego pochodzącego z przetworników C/A. Każdy ich kanał jest sterowany cyfrowo poprzez mikrokontroler z modułu zarządzania. Aby zapewnić jak najlepszą jakość napięć wyjściowych należało użyć filtrów dolnoprzepustowych zarówno na liniach zasilających jak i na ich wyjściach. Ważne było aby zastosować

odpowiednie źródła napięć referencyjnych. Należało zwrócić uwagę na szумy, precyzyję napięcia oraz jego stabilność termiczną i długoterminową. Użyto przetworników o rozdzielczości szesnastu bitów. Rozdzielczość napięciowa dla stabilizatorów wynosi zatem:

- stabilizatory do napięć polaryzujących: $24V/2^{16} = 366\mu V$;
- stabilizatory do napięć zasilających: $26V/2^{16} = 397\mu V$;
- stabilizatory do zasilania górnej szyny V_H : $12,5V/2^{16} = 191\mu V$;
- stabilizatory do zasilania górnej dolnej V_L : $8V/2^{16} = 122\mu V$.

Od sprzętu laboratoryjnego wymaga się zwykle rozdzielczości i dokładności napięcia na poziomie 5 mV co sugeruje, że zastosowane rozwiązanie daje o rząd wielkości lepsze parametry. W rzeczywistości wykorzystano jedynie trzynaście bitów a narzut w postaci trzech bitów użyto do samokalibracji napięć wyjściowych stabilizatorów.

3.2.3 Blok kalibracji napięć wyjściowych stabilizatorów liniowych

Blok kalibracji jest złożony z precyzyjnego, szesnastobitowego przetwornika A/C zasilanego z niskoszumnego napięcia referencyjnego poprzez filtr dolnoprzepustowy. Aby uzyskać jak największą powtarzalność wyników użyto jednokanałowego przetwornika a napięcia na jego wejście są dostarczane za pomocą multiplekserów analogowych. Dzięki temu eliminuje się rozrzut parametrów mogący wystąpić w przypadku użycia wielu kanałów próbujących. Wadą tego rozwiązania jest stosunkowo długi czas kalibracji wynikający z konieczności przełączania kanałów (czas pojedynczego pomiaru razy liczba napięć do pomiaru) jednak w rozwiązaniach laboratoryjnych jest to jak najbardziej akceptowalne.

3.2.4 Sekwencjoner napięć

Niektóre czujniki wymagają, abyłączać i wyłączać ich zasilania w odpowiedniej kolejności. Wyjścia stabilizatorów służących do polaryzowania oraz zasilania są zatem podłączone do wejścia bloku sekwencjonera. Jest to zestaw zdalnie sterowanych kluczy o niskiej rezystancji. Kontrolę nad nimi sprawuje mikrokontroler który przez magistralę może włączać je lub wyłączać w dowolnej kolejności i dowolnej sekwencji czasowej. Oprócz niego opiekę nad sekwencjonerem sprawuje autonomiczny obwód monitorujący stan głównych linii zasilających. Jego rolą jest badanie, czy na liniach zasilających napięcie ma poprawną wartość. Jeśli nie, układ szybko odłącza klucze zanim przestanie

działać pętla sprzężenia zwrotnego stabilizatorów. Chroni to badany układ (w tym przypadku czujnik optyczny) przed niekontrolowanymi skokami napięcia grożącymi uszkodzeniem struktury czujnika.

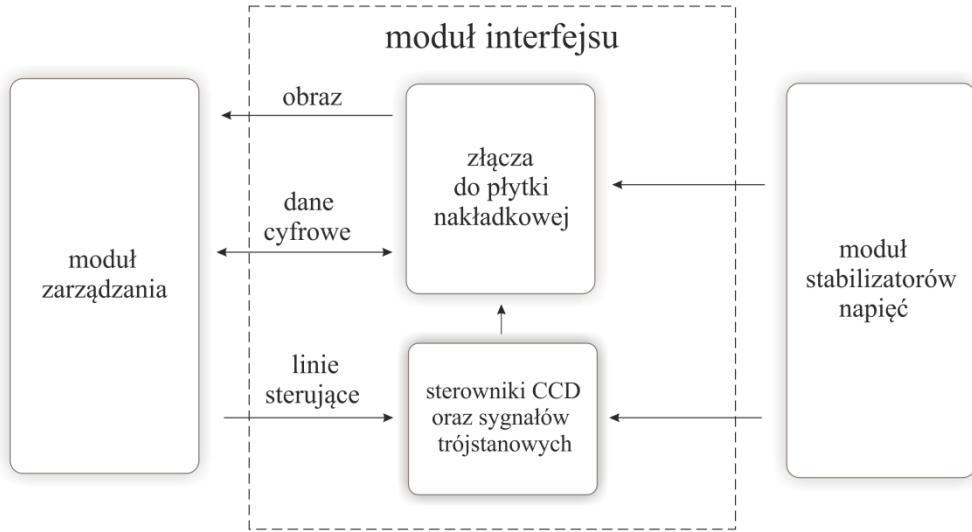
3.2.5 Kontroler temperatury i ogniw Peltiera

Na płycie modułu stabilizatorów znajduje się kontroler parametrów elektrycznych dwóch ogniw Peltiera. Służą one do schłodzenia badanego czujnika optycznego. Kontroler mierzy napięcie pracy oraz pobór prądu, konwertuje je na postać cyfrową i przesyła do mikrokontrolera. Obsługuje dwa warianty ogniw: ogniska o maksymalnym napięciu pracy do 15V i prądzie do 8A oraz ogniska o maksymalnym napięciu pracy do 8V i prądzie do 4,5A.

Tester podczas normalnej pracy wydziela dużą ilość ciepła. Najwięcej generują go stabilizatory liniowe oraz ogniska Peltiera a także układy np. FPGA czy układ dystrybucji zegara. Aby zapobiec przegrzaniu zastosowano czujnik temperatury sprzężony ze sterownikiem wentylatorów. Układ ten na bieżąco monitoruje temperaturę wewnętrz urządzenia i w razie potrzeby zwiększa wydajność chłodzenia aby nie przekroczyć zadanej wartości. Progi temperaturowe oraz współczynnik obrotów wentylatorów są zdalnie programowane przez mikrokontroler. Czujnik alarmuje go również o stanach alarmowych czyli o przekroczeniu dozwolonej temperatury bądź o niewłaściwej liczbie obrotów wentylatorów.

3.3 Moduł interfejsu

Moduł interfejsu łączy moduły zarządzania i stabilizatorów napięć z płytą nakładkową czujnika. Jest najprostszym elementem testera, składa się z różnego typu złącz, sterowników CCD (rysunek 40) oraz sterownika sygnałów trójstanowych (rysunek 43). Moduł interfejsu jest połączony z modułem zarządzania dwoma typami złącz. Jedne to złącza sygnałów wolnozmiennych tzn. o częstotliwościach nieprzekraczających kilkunastu megaherców. Zaliczają się do nich np. linie cyfrowe CMOS, sygnały do kontroli sterowników CCD czy magistrale cyfrowe do konfiguracji badanych czujników optycznych. Drugie złącze przewidziano do przesyłu szybkich danych cyfrowych takich jak linie LVDS oraz analogowych, różnicowych sygnałów wideo. Widmo tych sygnałów jest znacznie szersze dlatego użyto specjalizowanego złącza projektowanego do zachowania określonej impedancji charakterystycznej linii transmisyjnych w szerokim zakresie częstotliwości.

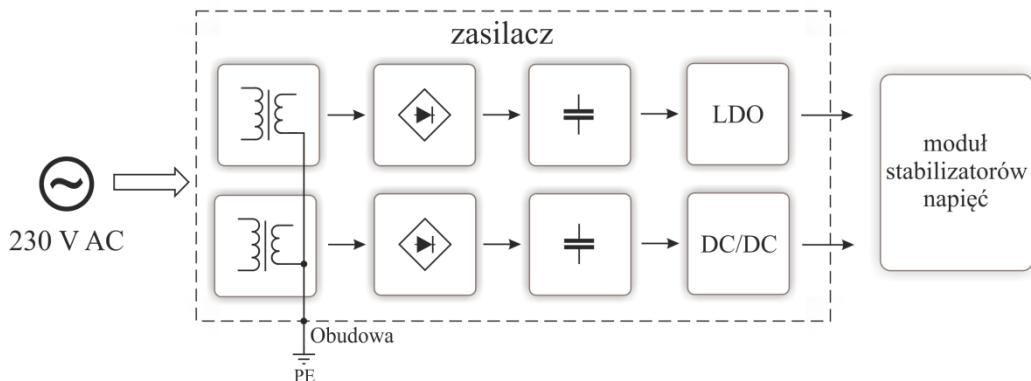


Rysunek 49 – schemat blokowy koncepcji modułu interfejsu

Energia do zasilania czujnika i sterowników CCD jest przesyłana do modułu interfejsu za pomocą złącza z modułu stabilizatorów. Tutaj napięcia są stałe i zamiast na właściwościach częstotliwościowych złącza skupiono się na jego obciążalności prądowej. Na płytce interfejsu umieszczono sterowniki linii CCD oraz sterownik sygnałów trójstanowych. Takie podejście jest konieczne ze względu na płynące tam prądy oraz emisję zakłóceń do otoczenia. Sterowanie kontaktów CCD ma tę własność, że w chwilach statycznych tj. kiedy nie ma przełączeń napięć, w liniach sterowników płynie znikomy prąd rzędu nano a co najwyżej mikroamperów. W momencie przełączenia, z racji pojemnościowego charakteru kontaktów CCD, sterownik musi dostarczyć duży prąd. W zależności od konstrukcji czujnika może to być od kilku mA do pojedynczych amperów (w impulsie). Przy każdym sterowniku umieszczono baterię kondensatorów filtrującą napięcia oraz minimalizującą emitowanie zakłóceń wynikłych z przełączania stanów.

3.4 Zasilacz

Zasilacz testera służy do konwersji napięcia sieciowego 230 V AC na potrzebne napięcia stałe o odpowiedniej wydajności (tabela 8). Koncepcję urządzenia rozpoczęto od ustalenia, że zasilacz będzie pracował w pierwszej klasie ochronności przeciwporażeniowej [27]. Charakteryzuje się ona tym, że poza izolacją podstawową zawiera przyłącze do zacisku ochronnego, w tym przypadku do przewodu PE sieci energetycznej. Zasilacz jest podłączony do sieci za pomocą trzyłygowego przewodu o minimalnym przekroju 0,5 mm². W obudowie znajduje się włącznik mechaniczny oraz bezpiecznik chroniący przed zwarciem w przypadku awarii zasilacza.



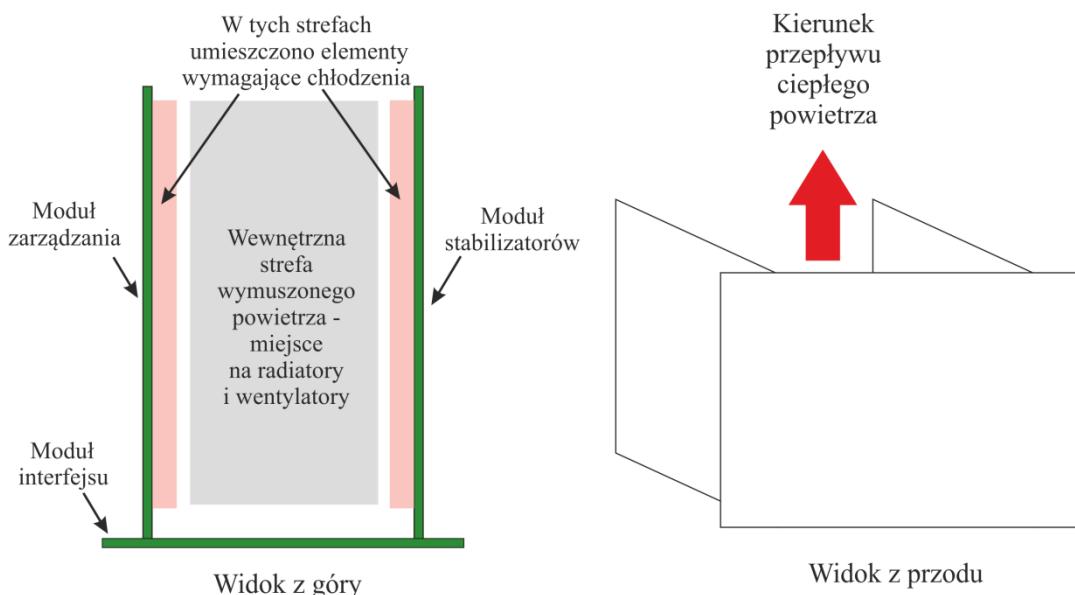
Rysunek 50 – schemat blokowy koncepcji zasilacza

Pierwszym stopniem konwersji napięcia są dwa transformatory: jeden do zasilania układów elektronicznych w testerze, drugi do zasilania elementów chłodzących system pomiarowy. Na uzwojeniach wtórnych obu z nich występują napięcia niegroźne dla człowieka. Pierwszy transformator zasila regulatory poprzez prostownik dwupołówkowy, do filtracji tętnień użyto baterii kondensatorów. Za nimi, znajdują się stabilizatory ustalające końcowe wartości napięć docierających do testera. Zasilacz elementów chłodzących ma identyczną strukturę za wyjątkiem stopnia końcowego – regulatora napięcia. Z racji dużego poboru prądu oraz sporej bezwładności cieplnej ogniw Peltiera zdecydowano, że będą one zasilane z niestabilizowanej przetwornicy impulsowej, której klucze będą miały zmienny kąt przepływu prądu (współczynnik wypełnienia przebiegu). Na jej wyjściu zastosowano filtry zawierające elementy pojemnościowe i indukcyjne. Regulacją temperatury, czyli de facto napięcia, zajmuje się mikrokontroler w testerze. Na podstawie danych z czujników ustawia punkt pracy ogniw chłodzących. Każda przetwornica impulsowa ma zdecydowanie gorszą czystość widmową sygnału wyjściowego od stabilizatorów liniowych. Jednakże w tym zastosowaniu nie ma to większego znaczenia. Ogniw Peltiera nie są czułe na zakłócenia i występowanie wyższych harmonicznych w układzie ich zasilania. Dodatkowym elementem zmniejszającym zakłócenia przenikające do czułych elementów testera jest rozdzielenia mas – ścieżek powrotnych prądów. Dwie masy, zasilania układów elektronicznych oraz ogniw chłodzących, są prowadzone oddzielnie i połączone ze sobą tylko w jednym punkcie, na module stabilizatorów. Dzięki temu duże prądy pochodzące od niestabilizowanych napięć nie wpływają na potencjały części pomiarowej testera. Z drugiej strony połączenie mas powoduje wyrównanie poziomów napięć i część pomiarowa testera może bezpośrednio mierzyć napięcie i natężenie prądu ogniw

chłodzących. W zasilaczu użyto wymuszonego obiegu powietrza. Do obrazowania obecności napięć użyto lampek kontrolnych.

3.5 Konstrukcja mechaniczna

Elementy mechaniczne i chłodzenia nie są przedmiotem niniejszej pracy dyplomowej. Urządzenie zrealizowano w taki sposób aby docelowa obudowa była jak najmniejsza a system chłodzenia – jak najwydajniejszy. Trzy płytki, z modułami zarządzania, stabilizatorów oraz interfejsu, ustawiono pionowo względem podłoża oraz połączono ze sobą na kształt litery Π według poniższego rysunku.



Rysunek 51 – koncepcja rozmieszczenia płyt PCBA, elementów wymagających chłodzenia oraz radiatorów i wentylatorów

Płytki modułów zarządzania i stabilizatorów są względem siebie równoległe i zarazem prostopadłe do modułu interfejsu. Taki ułożenie umożliwia powstanie wewnętrznej strefy wymuszonego przepływu powietrza. Elementy mocno grzejące się należało rozmieścić wewnętrznej tej strefy, pozostałe na zewnątrz. Oddzielenie ich ma pozytywny wpływ na termiczną stabilność parametrów użytych elementów. Rozmieszczenie elementów na zewnątrz strefy wymuszonego obiegu powietrza ma jeszcze jedną zaletę w postaci ekranowania. Jeśli element zakłócający umieścimy na zewnętrznej stronie modułu stabilizatorów a czuły element na zewnętrznej stronie modułu zarządzającego to pomiędzy nimi znajdą się warstwy zasilające, wbudowane w płytki, które w pewien sposób będą tłumić zakłócenia. Wykorzystano elementy dużej mocy w takich obudowach, aby dało się je przykręcić do radiatorów. Ustalona odległość pomiędzy równoległymi płytami umożliwia włożenia tam popularnych wentylatorów.

komputerowych, radiatorów czy tzw. ciepłowodów. Oszacowano jaką energię musi rozproszyć radiator chłodzący stabilizatory liniowe dla najgorszego przypadku:

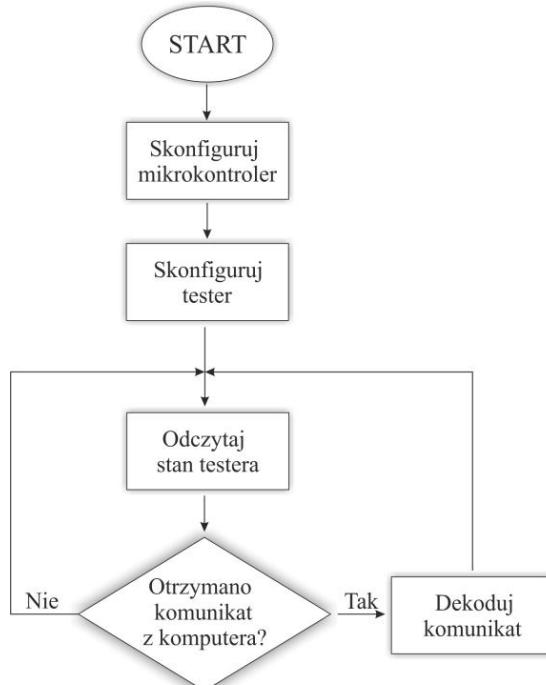
Typ stabilizatora	Moc do rozproszenia [W]
Stabilizatory linii polaryzujących	$12*2 = 24$
Stabilizatory linii zasilających	$4*2,8 = 11,2$
Stabilizatory sterowników CCD	$6*3,5 + 6*3,6 = 42,6$ (w impulsie)
Razem:	77,8

Tabela 9 – Maksymalna moc cieplna ze stabilizatorów do rozproszenia

Każda z płyt zawiera otwory mocujące. Można je wykorzystać do połączenia płyt między sobą, do przymocowania radiatorów czy też wypożycjonowania testera wewnątrz obudowy. Żaden z otworów mocujących nie jest podłączony do masy aby nie tworzyć niechcianych i niekontrolowanych pętli prądowych.

3.6 Koncepcja oprogramowania mikrokontrolera

Oprogramowanie mikrokontrolera spełnia rolę prostego systemu operacyjnego. Składa się z części właściwej oraz bootloadera. Ta pierwsza, aplikacja, służy do zarządzania testerem oraz do wymiany informacji z komputerem, druga do zdalnej aktualizacji programu mikrokontrolera.



Rysunek 52 – schemat blokowy oprogramowania

Aplikacja po poprawnym uruchomieniu się mikrokontrolera rozpoczyna autokonfigurację tzn. inicjalizuje wewnętrzne peryferia (pamięci, liczniki, interfejsy) a następnie ustawia w znany stan wszystkie konfigurowalne podzespoły testera. Program standardowe procesy wykonuje poprzez ich kolejkowanie a ważne lub krytyczne czasowo za pomocą przerwań. Program w swym założeniu bada jedynie parametry pracy testera, nie wykonuje samodzielnie żadnych nastaw. Wszelkie zmiany napięć czy trybów pracy są możliwe jedynie za pomocą komend wysyłanych z komputera. Komunikację zrealizowano w ten sposób, że mikrokontroler po inicjalizacji oczekuje na pakiety z rozkazami, sam nie rozpoczyna transmisji. Po otrzymaniu komunikatu sprawdzana jest jego integralność i jeśli nie znaleziono przekłamań program przystępuje do realizacji poleceń. Polecenia mogą mieć formę rozkazów lub zapytań. Po wykonaniu rozkazów, wysyłana jest informacja zwrotna o powodzeniu lub fiasku operacji. W przypadku zapytania, odsyłane są żądane informacje a program nie zmienia stanu pracy urządzenia. Program na mikrokontrolerze, połączeniu zasilania testera, jest wykonywany w nieskończonej pętli, nie ma możliwości programowego lub sprzętowego zatrzymania jego wykonywania.

4 Realizacja projektu

Kompletne urządzenie, którego koncepcję opisano w rozdziale trzecim, zrealizowano jako dwa wolnostojące moduły. Składają się na to sam tester oraz połączony z nim wielożyłowym kablem zasilacz. Tak skonstruowane stanowisko pomiarowe wymaga jedynie dołączenia do sieci energetycznej 230V AC oraz podłączenia magistrali USB do komputera.

4.1 Realizacja testera czujników optycznych

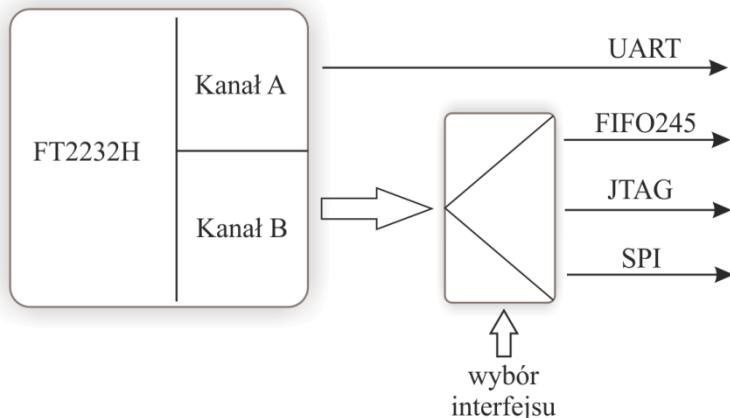
Tester czujników optycznych składa się z trzech modułów: zarządzania, stabilizatorów oraz interfejsu.

4.1.1 Moduł zarządzania

4.1.1.1 Interfejs USB

Do komunikacji z komputerem użyto magistrali USB. Rolę interfejsu pomiędzy magistralą a wewnętrznymi sygnałami testera pełni układ FT2232H [46]. Jest to podwójny konwerter interfejsu USB na interfejsy FIFO245, SPI, JTAG oraz UART. Zastosowano zalecaną przez producenta konfigurację typu *Bus Powered* czyli zasilaną bezpośrednio z portu USB. Do podłączenia kabla użyto złącza typu mini USB.

Bezpośrednio za nim zastosowano niskopojemnościowe, dedykowane zabezpieczenie przeciwprzepięciowe typu PRTR5V0U2X [47]. W jego wnętrzu znajduje się pięć diod które chronią układ przed napięciami większymi niż 5,5V. Do poprawnej pracy układu FT2232 wymagane jest dodatkowe napięcie 3,3V, układ pamięci EEPROM oraz rezonator kwarcowy o częstotliwości 12.0 MHz. Napięcie 3,3V jest wytwarzane przez regulowany stabilizator napięcia typu LM1117 [48] w obudowie SOT-223. Jako pamięć użyto układu AT93C46D [49]. Jest to pamięć EEPROM o pojemności stu dwudziestu ośmiu bajtów. Przechowywane są w niej ustawienia konfiguracyjne programowane za pomocą dostarczonego przez FTDI oprogramowania FT PROG [50]. Kanał A układu FT2232 wykorzystano jako interfejs UART i podłączono bezpośrednio do mikrokontrolera. Kanał B nie ma na sztywno przypisanego interfejsu. Jego wyjścia są podpięte do demultipleksera zbudowanego na układach SN74CB3Q3244 [51].



Rysunek 53 – schemat dołączenia układu interfejsu FT2232H do magistral testera

W zależności od wybranego kanału, układ FT2232 jest dołączony do systemowej magistrali SPI, FIFO245 lub interfejsu JTAG od FPGA. W przypadku używania specjalnego kabla programującego FPGA, można za pomocą zworki na stałe wyłączyć interfejs JTAG w demultiplekserze i tym samym wyeliminować sytuację kiedy wyjścia dwóch sterowników linii zostały ze sobą połączone (mogłoby to doprowadzić do spalenia tego, który ma mniejszą wydajność prądową). Do mikrokontrolera dołączono również linię USB ACTIVE, która sygnalizuje podłączenie kabla USB.

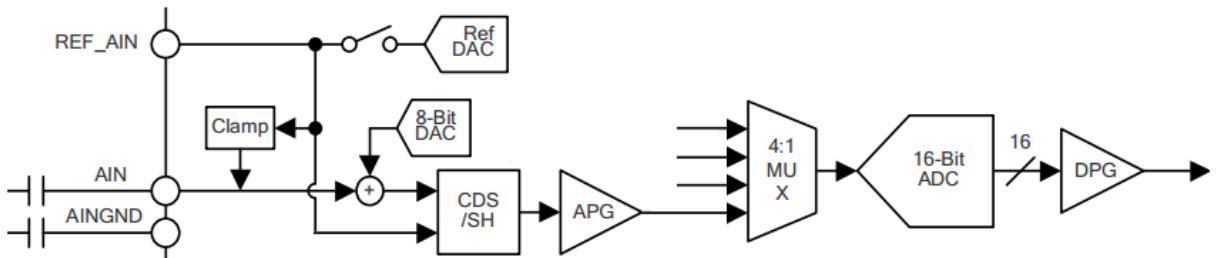
4.1.1.2 Przetwornik analogowo-cyfrowy dla sygnału wideo

Konwersją analogowych sygnałów pochodzących od czujników optycznych zajmuje się przetwornik A/C VSP5621 produkowany przez firmę Texas Instruments [52]. Jest to scalony procesor przetwarzania sygnałów wideo wyposażony w czterokanałowy, szesnastobitowy przetwornik A/C o wydajności do 50 MSPS (milionów próbek na

sekundę). Do zasilania wymaga jedynie pojedynczego napięcia 3,3V, pozostałe wytwarzają sam za pomocą wbudowanego stabilizatora liniowego. Pracuje w konfiguracji dwu, trzy i czterokanałowej. Każdy kanał posiada niezależne obwody korekcji sygnału oraz próbkowania. Należą do nich:

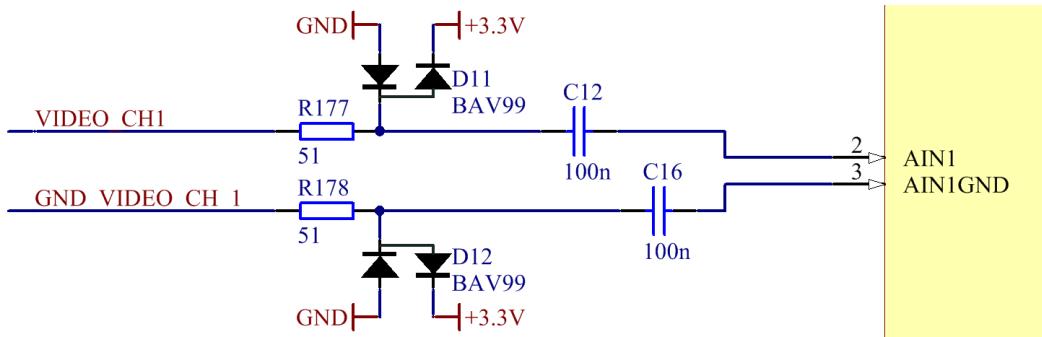
- ośmiobitowy przetwornik C/A do korekcji napięcia stałego (offsetu), możliwa zmiana napięcia w przedziale $\pm 250\text{mV}$;
- analogowy wzmacniacz sygnału video o wzmacnieniu regulowanym w zakresie 0,5 do 3,5 [V/V] i kroku regulacji 3/64 [V/V]
- dwa tryby pracy: *Sample and Hold* dla czujników CMOS oraz *Correlated Double Sampling* dla CCD;
- układ zatrzaskiwania próbek resetu i sygnału dla trybu CDS.

Maksymalne napięcie wejściowe to 2,0V (różnicowo). Układ posiada wbudowane, konfigurowalne napięcie odniesienia, które wynosi 0,5V, 1,1V, 1,5V oraz 2V. Na poniższym rysunku przedstawiono schemat pojedynczego kanału przetwornika:



Rysunek 54 – schemat blokowy pojedynczego kanału przetwornika A/C [52]

Do konfiguracji służy czteroprzewodowy interfejs szeregowy składający się z linii *Chip Select*, *Clock*, *Serial Data In* oraz *Serial Data Out*. Sam układ posiada również zintegrowane obwody generatora sygnałów oraz sterownik trzech diod mocy LED jednak nie zostały one użyte w niniejszej pracy. Dane wyjściowe mogą być przesyłane w standardzie LVCMOS lub LVDS. W projekcie użyto tego drugiego ze względu na niższe zapotrzebowanie na moc, mniejszą emisję zakłóceń oraz szybszy transfer danych. Wejścia przetwornika są sprzężone pojemnościowo z przetwornikiem obrazu. Niesie to za sobą pewne niebezpieczeństwo – w momencie podłączania czujnika mogą wystąpić stany nieustalone, których potencjały mogą znacznie przekraczać dopuszczalne napięcia zasilania przetwornika. Aby temu zapobiec, każde wejście AIN oraz AINGND zawiera zabezpieczenie przed przepięciami. Rezystor ogranicza prąd udarowy a włączone zaporowo diody nie pozwalają na przekroczenie na wejściu napięcia w zakresie większym niż $\pm 0,7\text{V}$ od wartości napięcia zasilającego.



Rysunek 55 – schemat obwodu wejściowego przetwornika A/C dla sygnału wideo

Aby zminimalizować wpływ zakłóceń przedostających się do czułych części przetwornika, napięcie zasilające 3,3V generuje stabilizator liniowy LDO typu LM1117 [48]. Oprócz tego, część analogowa jest zasilana przez filtr LC. Układ jest taktowany sygnałem zegarowym MCLK wprost z FPGA. Trzy kanały danych wyjściowych LVDS, oznaczonych TA, TB i TCLK, są dołączone do FPGA poprzez bufora cyfrowe. Chronią one przetworniki przed zakłóceniami przedostającymi się przez linie transmisyjne z FPGA do przetworników A/C. Układ FPGA w momencie jednoczesnego przełączenia wielu tranzystorów pobiera w impulsie prąd nierzadko o wartości kilkunastu amperów. To generuje silne zakłócenia propagujące się na zewnątrz nawet po jego wejściach/wyjściach. Dołączenie buforów FIN1108 [53] eliminuje to szkodliwe zjawisko. Konfiguracja przetworników odbywa się za pomocą podłączonej równolegle do każdego przetwornika magistrali szeregowej. Wyjątek stanowią linie *Chip Select*, dołączone do każdego oddzielnie. Linie *Chip Select* są używane sporadycznie. Aby nie zużywać zasobów mikrokontrolera, liniami wyboru przetwornika steruje ośmiobitowy rejestr przesuwny. Magistrala jest dołączona do układów przez rezystory o małej wartości, chroniące je przed możliwymi zwarciami występującymi w przypadku błędnej adresacji układów na magistrali. Protokół komunikacji składa się z trzydziestobitowych słów w których pierwsze dziesięć bitów oznacza adres rejestru a kolejnych dwadzieścia zawiera dane konfiguracyjne.

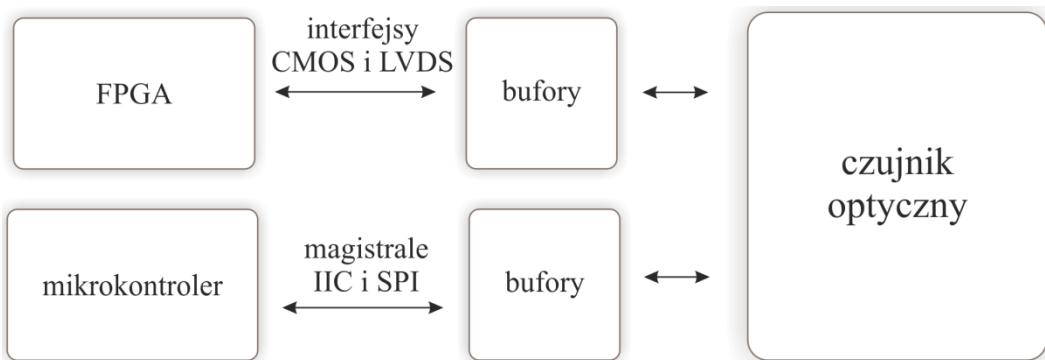
Adres (10 bit)					Dane (20 bit)				
A9	A8	...	A1	A0	D19	D18	...	D1	D0
MSB ← → LSB									

Rysunek 56 – format ramki danych konfiguracyjnych dla VSP5621

Oprócz konfiguracji urządzenia, w mapie rejestrów znajdują się pozycje niesłużące do zmiany parametrów pracy. Umożliwiają przeprowadzenia transmisji konfiguracyjnej, tzw. treningu łączy w której odbiornik (w tym przypadku FPGA) może dopasować parametry odbiornika do sygnału. Jest to charakterystyczne dla transmisji typu *source-synchronous* czyli tam, gdzie nadajnik oprócz właściwych danych generuje również sygnał zegara transmisji. Do treningu używany jest wbudowany w przetwornik generator obrazów testowych. W module zarządzania użyto ośmiu przetworników VSP5621 co daje łącznie obsługę czujników z maksymalnie 32 kanałami danych obrazowych. Do każdego przetwornika doprowadzono oddzielny sygnał zegarowy generowany przez FPGA.

4.1.1.3 Blok interfejsów cyfrowych do obsługi czujników

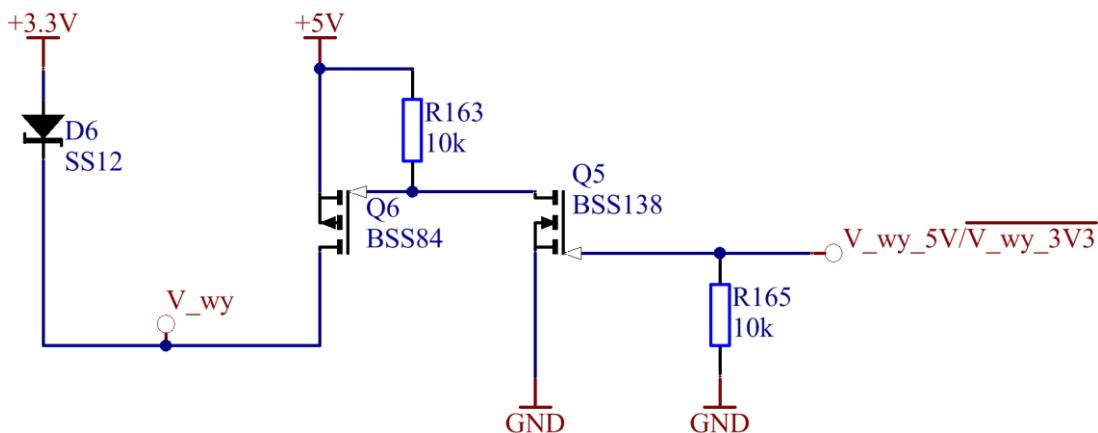
Do komunikacji, sterowania oraz przesyłania danych z/do czujników optycznych z cyfrowym interfejsem odczytu zastosowano magistrale SPI, IIC oraz linie CMOS i LVDS.



Rysunek 57 – realizacja bloku interfejsów cyfrowych

Obie magistrale są sterowane z mikrokontrolera za pomocą dedykowanych do tego peryferiów. Wykorzystanie sprzętowego wsparcia ma tę zaletę, że zwalnia programistę z obowiązku dbania o serializację/deserializację bitów, wymaga jedynie obsłużenia pełnych bajtów lub słów. W przypadku IIC zapewnia również warstwę fizyczną – linie typu otwarty kolektor. Pomiędzy mikrokontrolerem a testowanym czujnikiem zastosowano bufory – dla magistrali IIC P82B96 [54], dla SPI TXB0104D [55]. Ten pierwszy jest dwubitowym, dwukierunkowym buforem, z obu stron wspierającym linie typu otwarty kolektor, drugi czterobitowym, dwukierunkowym buforem z automatyczną detekcją kierunku przepływu danych przystosowanym do sterowania liniami typu *push-pull*. Do sterowania i przesyłania danych za pomocą linii CMOS użyto trzech ośmiobitowych buforów typu 74LVC8T245 [56]. W przeciwieństwie do wyżej

wymienionych te są sterowane wprost z FPGA, dzięki temu na ich wejściach/wyjściach można obsłużyć sygnały o częstotliwości kilkudziesięciu megaherców co byłoby nieosiągalne sterując je z mikrokontrolera. Dwa z nich są skonfigurowane na stałe, jeden jest ośmioróżkowym buforem wejściowym, drugi wyjściowym. Trzeci jest dwukierunkowy, do ustawiania bieguności wykorzystywana jest jego linia DIR, również sterowana z FPGA. Zastosowane rozwiązań wprowadza elastyczność, w skrajnych przypadkach rozszerza liczbę wejść lub wyjść do szesnastu a także wspiera nietypowe interfejsy, w których linie mogą być dwukierunkowe. Rolą wspomnianych buforów jest zabezpieczenie portów mikrokontrolera i FPGA przed przepięciami przy dołączaniu czujników optycznych oraz dokonywanie translacji poziomów napięć. W zamysle, tester ma być kompatybilny wstecz z technologiami wykorzystującymi zasilanie 5V. Aby tego dokonać, każdy bufor od strony linii podłączonych do czujników optycznych posiada indywidualny przełącznik napięcia zasilania:

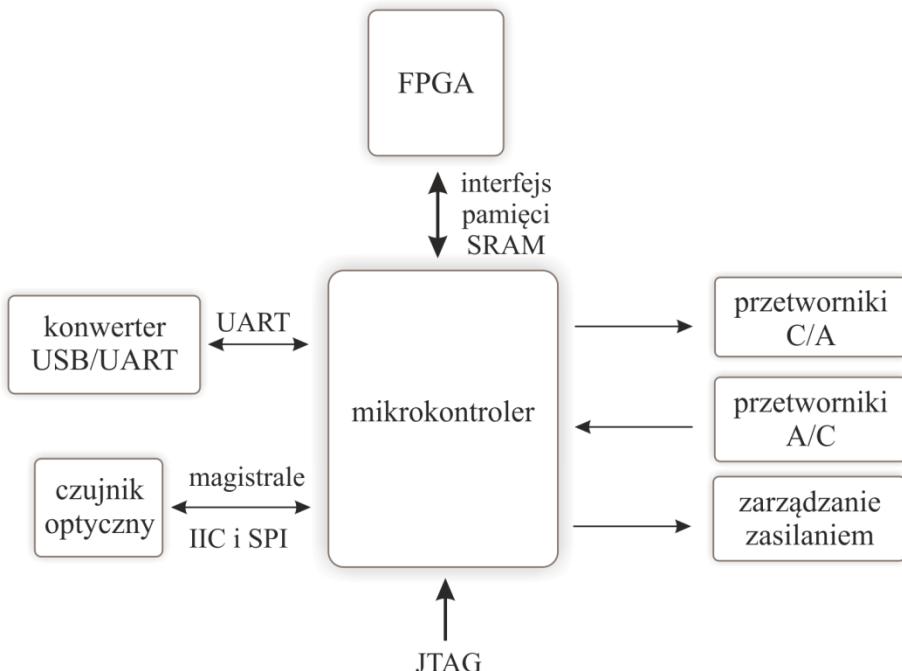


Rysunek 58 – schemat przełącznika napięć buforów – translatorów

W zależności od napięcia podanego na bramkę tranzystora NMOS, napięcie V_{wy} przyjmuje wartość: 3V dla stanu wejścia 0V, 5V dla stanu wejścia 3,3V. Przełączniki napięć są sterowane z mikrokontrolera. Bufory – translatory od strony mikrokontrolera i FPGA a zasilane napięciem stałym wynoszącym 3,3V. Ostatnim typem interfejsu cyfrowego są linie LVDS. W testerze zaimplementowano łącznie dwadzieścia dwie pary różnicowe: dwadzieścia wejść oraz dwa wyjścia. Podobnie jak przy liniach LVDS przetworników A/C video, tak też tutaj użyto buforów zabezpieczających typu FIN1108 [53]. W założeniu wyjścia służą do przekazywania sygnałów zegarowych do czujników, wejścia do odbierania danych obrazowych. Wszystkie interfejsy LVDS są podłączone pod FPGA.

4.1.1.4 Mikrokontroler

Do zarządzania testerem wybrano mikrokontroler ATxmega128A1 [57] w obudowie QFP100. Jego rola to komunikacja z komputerem, odbieranie rozkazów oraz zdalne wykonywanie funkcji. Nie podłączono do niego elementów pulpitu operatorskiego takiego jak wyświetlacz czy klawiatura, wszystkie możliwe zdarzenia są wywoływanie przez oprogramowanie na komputerze.



Rysunek 59 – schemat blokowy podłączenia mikrokontrolera

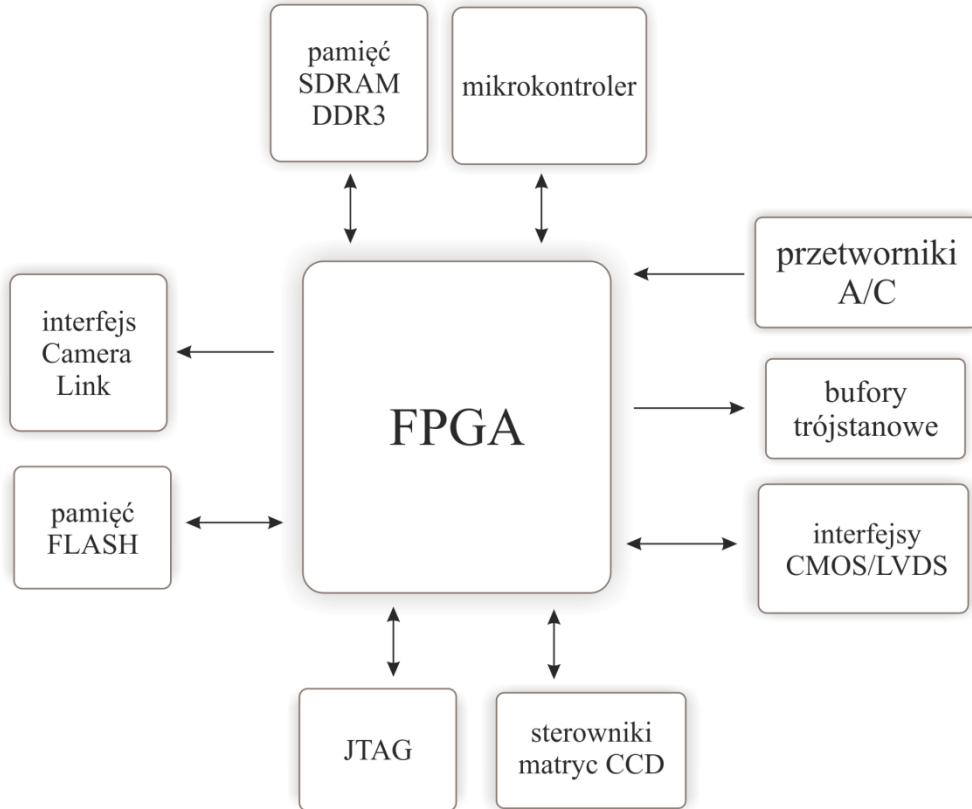
Mikrokontroler jest zasilany napięciem 3,3V wytwarzanym w zasilaczu lokalnym modułu zarządzania za pomocą przetwornicy DC/DC. Jest taktowany sygnałem zegarowym generowanym przez wbudowany oscylator a jego częstotliwość pracy (7,3728 MHz) jest stabilizowana rezonatorem kwarcowym. Podana częstotliwość została wybrana aby zapewnić zerowy błąd transmisji UART przy prędkości 115 200 bodów/s. UART, używany do komunikacji z komputerem, jest dołączony do kanału A układu FT2232H (interfejsu USB – UART). Do programowania i debugowania użyto złącza do taśmy IDC, na które wyprowadzono linie JTAG mikrokontrolera. Układ pinów jest zgodny ze schematem zalecanyim przez firmę Atmel i umożliwia dołączenie produkowanych przez nią debuggerów. Dołączono przycisk umożliwiający ręczne zresetowanie mikrokontrolera w przypadku błędnego zadziałania programu. Do komunikacji z FPGA użyto interfejsu zewnętrznej pamięci SRAM. Składa się z ośmiobitowej magistrali służącej do adresacji i przesyłu danych oraz sygnałów kontrolnych *Write Enable*, *Read Enable*, *Chip Select* oraz *Address Latch Enable*.

Mikrokontroler odwołując się do konkretnych adresów odczytuje i modyfikuje rejesty konfiguracyjne w FPGA. Zdecydowana większość pinów jest wykorzystywana jako magistrale IIC oraz SPI. Podłączone do nich przetworniki A/C i C/A (w module stabilizatorów) służą do ustawiania i kalibracji napięć oraz kontroli natężeń prądów. Magistrale sterują również modułami sekwencjonera napięć, blokiem kalibracji oraz włączają/wyłączają sterowniki CCD. Magistrale z mikrokontrolera są poprzez translatory napięć wyprowadzone na zewnątrz i służą do opcjonalnej komunikacji z testowanym czujnikiem optycznym. Mikrokontroler poza magistralami korzysta również z portów ogólnego przeznaczenia. Dzięki nim steruje układem interfejsu USB, detekuje moment wpięcia kabla USB, czyści rejesty konfiguracyjne i zezwala na programowanie FPGA, zarządza układem dystrybucji zegara czy generuje sygnał PWM do sterowania silnika krokowego.

4.1.1.5 FPGA

W testerze użyto układu FPGA typu Spartan 6 od Xilinx [31]. Wybrano wersję w obudowie BGA FGG484 o rozstawie kulek 1mm i parametrze szybkościowym (*Speed grade*) -2. Piny do dyspozycji użytkownika pogrupowane są w cztery banki. Zarówno banki jak i rdzeń do poprawnej pracy układu potrzebują prądu o znacznym natężeniu. Do zasilania wykorzystano dwie przetwornice DC/DC o napięciu wyjściowym odpowiednio 3,3V oraz 1,2V. Obwody interfejsu pamięci DDR3 wymagają napięcia 1,5V które jest wytwarzane przez stabilizator liniowy. Konfiguracja elementu odbywa się przez dedykowane piny służące do wgrywania/debugowania konfiguracji (interfejs JTAG) oraz kontroli nad tym procesem (DONE i PROGRAM_B). Te ostatnie są podłączone pod mikrokontroler, który czyści konfigurację (stan niski na linii PROGRAM_B) i odczytuje poprawność skonfigurowania się FPGA (DONE). Programowanie za pomocą JTAG może odbyć się w dwojakim sposobie. Pierwszy, za pomocą dedykowanego kabla programującego dostarczanego przez producenta FPGA. W tym celu umieszczono złącze do taśmy IDC w rastrze 2mm o układzie pinów zgodnym z programatorem Xilinx Platform Cable USB II [59]. Drugim sposobem jest wykorzystanie układu interfejsu USB FT2232H. Do FPGA dołączono poprzez demultiplekser jego kanał B (rysunek 56) na którym po odpowiedniej konfiguracji pojawią się interfejs JTAG. Do pinu VBATT dołączono baterię litową typu CR1220. Jest ona używana do podrzymania w pamięci układu FPGA klucza AES w przypadku korzystania z opcji szyfrowania wsadu konfiguracyjnego. Układ FPGA pobiera

impulsowo prąd o bardzo dużym natężeniu. Aby nie zakłócić jego pracy zastosowano baterię kondensatorów odsprzęgających zasilanie według zaleceń producenta [60].



Rysunek 60 – schemat blokowy podłączenia układu FPGA

Do banku nr 0 podłączono: klucze tranzystorowe tworzące bufory trójstanowe, interfejs FIFO245, dwa interfejsy LVDS mogące służyć jako sygnał zegarowy dla szybkich czujników optycznych, magistralę zewnętrzną pamięci SRAM mikrokontrolera, pin przez który mikrokontroler może resetować FPGA oraz cztery przetworniki A/C sygnału wideo wraz z taktującymi je sygnałami zegarowymi. Bank 0 posiada również pin HSWAPEN, niebędący do dyspozycji użytkownika, który służy do włączania/wyłączania rezystorów podciągających podczas konfiguracji FPGA. Umożliwiono obie opcje, domyślnie jednak rezystory są włączone. Do banku nr 1 podłączono: dwadzieścia par różnicowych LVDS oraz sygnały z/do buforów linii CMOS służące do odbierania danych z czujnika optycznego, sterowniki matryc CCD oraz dwa sygnały zegarowe generowane przez układ dystrybucji zegara. Są one niezbędne do pracy logiki synchronicznej oraz kontrolera pamięci DDR. Do banku nr 2 podłączono pozostałe cztery przetworniki A/C sygnału wideo, interfejs Camera Link (bez UART-u) oraz pamięć FLASH, która została wykorzystana do przechowywania danych konfiguracyjnych. Aby FPGA po uruchomieniu zasilania odczytał z niej dane, należało

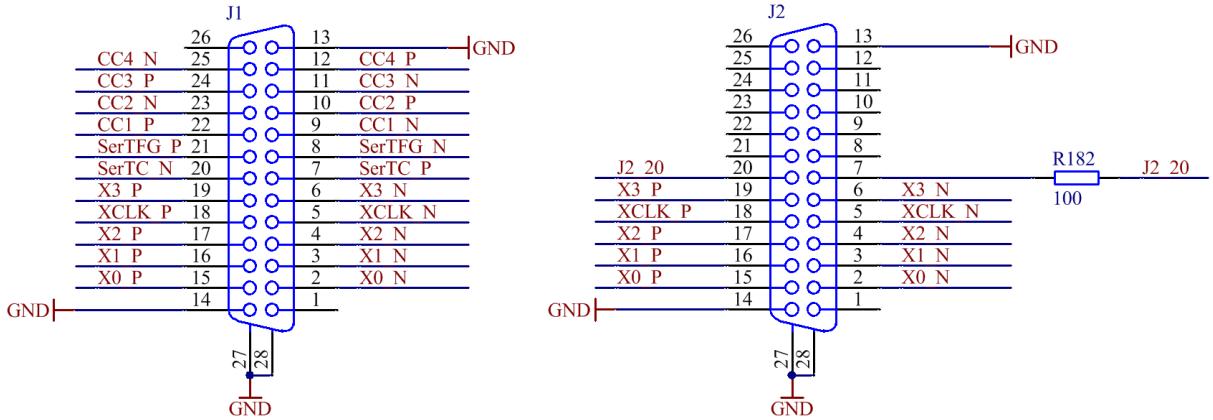
odpowiednio skonfigurować piny M0 i M1 (znajdujące się również w banku nr 3) podłączając je odpowiednio do zasilania 3,3V oraz masy. Pamięć można zaprogramować na dwa sposoby. Pierwszy z nich to wykorzystanie kabla programującego przez JTAG, drugi to wykorzystanie interfejsu SPI z kanału B układu FT2232H. W tym drugim przypadku należy zadbać o to, aby piny FPGA znajdowały się w stanie wysokiej impedancji. Aby tak się stało, mikrokontroler musi ustawić linię PROGRAM_B w stan niski. Bank nr 3 został wykorzystany jedynie do podłączenia do pamięci SDRAM. Użyto pamięci DDR3-1333, Micron MT41J128M16HA-15E o pojemności 256MB i organizacji pamięci 128 Mb x 16 bit w obudowie FBGA96 [61]. Napięcie referencyjne 0,75V uzyskano stosując dzielik rezystancyjny złożony z dwóch rezystorów po $100\ \Omega$ i filtrując je kondensatorami ceramicznymi.

4.1.1.6 Camera Link

Do transmisji obrazu z testera (a właściwie z układu FPGA) do urządzenia przechwytyjącego zastosowano interfejs Camera Link w wariancie Medium. Do jego realizacji wykorzystano dwa złącza Mini-Camera Link typu 12226-8250-00FR produkowane przez firmę 3M [62]. Sygnał nimi transmitowany jest wytwarzany przez dwa serializery typu DS90CR287MTD [63]. Są to układy dedykowane do interfejsu Camera Link posiadające na wejściu dwudziestoośmiobitową, równoległą magistralę w standardzie LVCMOS (układy są zasilane napięciem 3,3V) oraz wejście zegarowe o maksymalnej częstotliwości sygnału równej 85 MHz. W szeregu z liniami danych i linią zegarową umieszczone zostały rezystory terminujące o wartości 22Ω . Poprawiają one integralność sygnałów. Wewnątrz znajduje się układ powielania częstotliwości oraz serializery. Na wyjściu otrzymuje się pięć interfejsów LVDS: cztery zawierają szeregowe dane obrazowe, piąty sygnał zegarowy o powielonej częstotliwości. Maksymalna przepustowość układu wynosi 2,38 Gbit/s. Aby układ mógł pracować przy pełnej częstotliwości, należało zadbać o bardzo dobrą jakość napięcia zasilającego. Każdy serializer jest przez to wyposażony w baterię kondensatorów odsprzęgających. Sygnały wyjściowe X0 - X3 na złączach Mini-Camera Link służą do przesyłania obrazu i są skojarzone z liniami zegarowymi XCLK. Sygnały CC1 do CC4 są dedykowane do przesyłania informacji zwrotnej przez Frame Grabber. Do odbioru danych z tych linii użyto poczwórnego odbiornika LVDS typu DS90LV048A [64]. Sygnały po konwersji w standardzie LVTTL są przesyłane do FPGA. Linie SerTFG i SerTC są przesyłanym różnicowo UARTem. Do konwersji LVTTL – LVDS (SerTFG, linia TX) użyto układu

DS90LV011A [65], analogicznie dla linii SerTC (RX) zastosowano DS90LV018A [66].

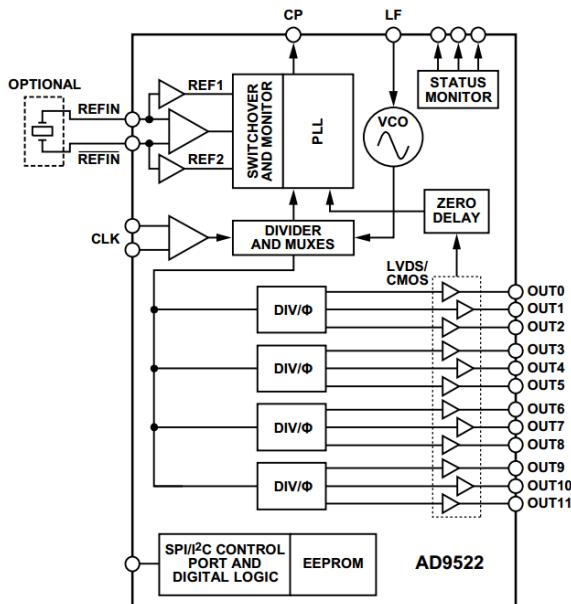
Poniżej przedstawiono sposób dołączenia sygnałów do złącz Mini-Camera Link:



Rysunek 61 – sygnały doprowadzone do złącz Mini-Camera Link Base (z lewej) i Medium (z prawej)

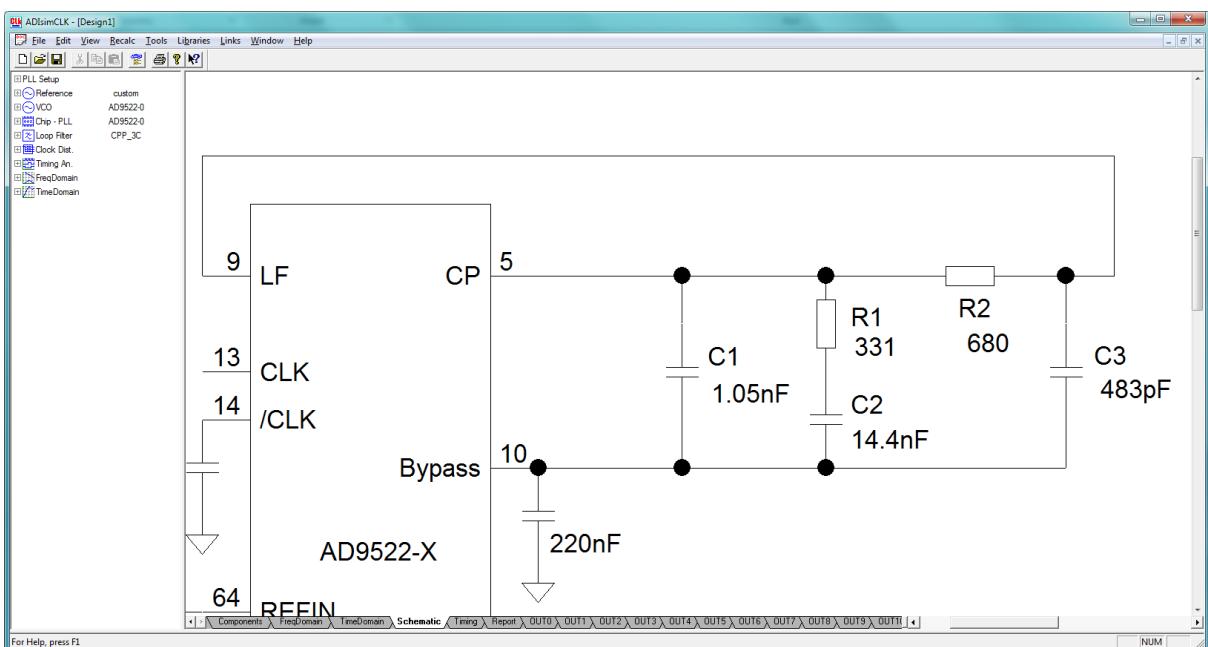
4.1.1.7 Układ dystrybucji sygnału zegarowego

Do generacji i dystrybucji sygnału zegarowego użyto układu AD9522-0 [67]. Jest to scalony generator VCO umożliwiający generowanie sygnału na maksymalnie dwunastu parach LVDS. W swoim wnętrzu integruje generator sygnału wzorcowego, pętlę regulacji fazowej PLL stabilizującą VCO, sam VCO, dzielniki częstotliwości, obwód sterowania poprzez magistrale IIC/SPI oraz pamięć nieulotną EEPROM. Układ zasilono napięciem 3,3V. Ponieważ generator VCO pracuje nominalnie na częstotliwości ok. 2,8 GHz należało zadbać o jak najlepsze odfiltrowanie i odsprzężenie szyny zasilającej od reszty układu.



Rysunek 62 – schemat blokowy układu AD9522-0

W tym celu zastosowano baterię kondensatorów o różnych pojemnościach które umieszczone jak najbliżej pinów zasilania układu. Do stabilizacji częstotliwości generatora wzorcowego użyto rezonatora kwarcowego o częstotliwości 25 MHz. Układ dystrybucji zegara dostarcza do FPGA dwa niezależne zegary LVDS o częstotliwości równej 100 MHz. Aby ją osiągnąć należało odpowiednio skonfigurować układ oraz dobrą parametry filtra pętli PLL. W tym celu posłużyono się dostarczonym przez producenta oprogramowaniem symulacyjnym ADIsimCLK [68]. Należało wybrać tryb pracy z wewnętrznym generatorem VCO, częstotliwości pracy detektora fazy, generatora VCO oraz generatora referencyjnego.



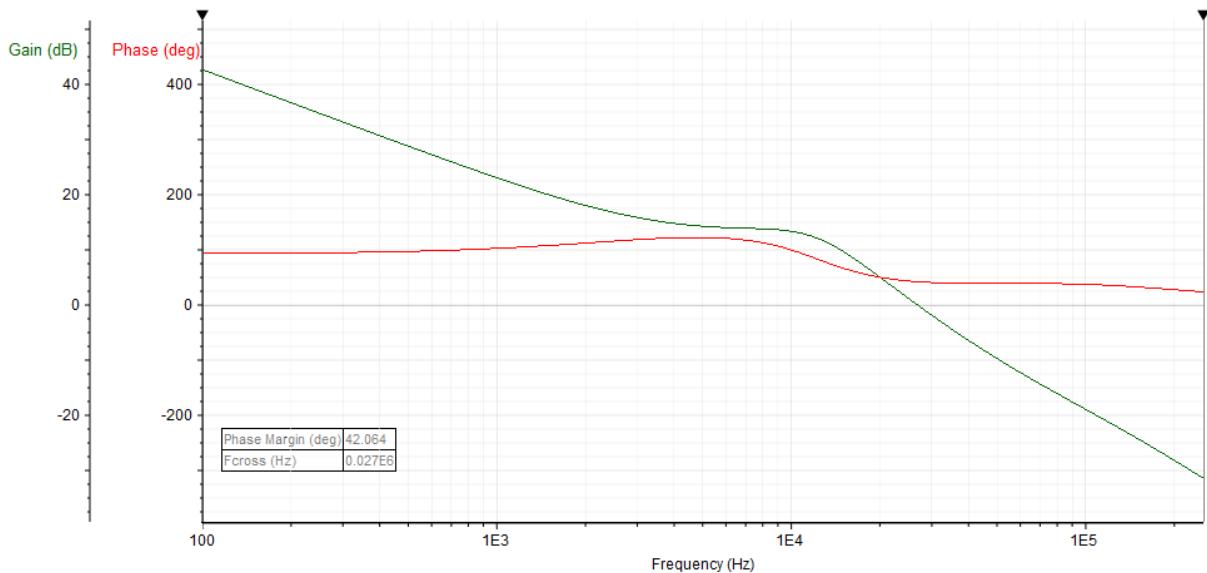
Rysunek 63 – wartości elementów filtru pętli PLL obliczone przez ADIsimCLK [68]

Kolejnym krokiem było wybranie typu filtru pętli PLL i stopnia podziału przez dzielniki. Na końcu wybrano liczbę i typ sygnałów wyjściowych. Na podstawie symulacji w programie ADIsimCLK wybrano następujące wartości elementów: C1 – 1nF, C2 – 15nF, C3 – 485nF (przez równoległe połączenie pojemności 470nF i 15nF), R1 – 330Ω , R2 - 680Ω . Program obliczył, że układ będzie w takiej konfiguracji pobierał 844 mW mocy. AD9522-0 jest sterowany przez mikrokontroler za pomocą magistrali IIC. Konfiguruje on między innymi parametry pętli PLL oraz generatora VCO, stopnie podziału w dzielnikach oraz wyjścia sygnałów zegarowych. Układa posiada wbudowaną pamięć EEPROM. Użytkownik może zapisać w niej konfigurację urządzenia aby po włączeniu zasilania generator nie pracował na ustawieniach domyślnych. Oprócz

magistrali, AD9522-0 posiada linie sygnalizacyjne a ich funkcje są przypisywane podczas konfiguracji urządzenia. Pierwsza z nich, LD, jest używana do informowania mikrokontrolera o ustabilizowaniu się częstotliwości generatora VCO. Druga, RESET jest wejściem i pozwala mikrokontrolerowi przywrócić układ do stanu ustalonego w przypadku awarii bądź braku komunikacji. Trzecia, EEPROM, to przełącznik informujący układ czy ma uruchomić się z ustawieniami domyślnymi, czy wczytać te zapisane w EEPROM. Tą linią również steruje mikrokontroler.

4.1.1.8 Zasilacz lokalny

Zasilacz lokalny służy do generacji niskich napięć wymaganych przez podzespoły modułu zarządzania. Jest zasilany z napięcia 7V dostarczanego przez złącze z modułu stabilizatorów. Składa się z przetwornic impulsowych DC/DC, stabilizatorów liniowych oraz precyzyjnych źródeł napięć referencyjnych. Te pierwsze dostarczają stabilizowanych napięć 3,3V oraz 1,2V dla części cyfrowej: FPGA, buforów CMOS i LVDS, mikrokontrolera, układu dystrybucji zegara, pamięci FLASH i interfejsu Camera Link. Przetwornice zbudowano w topologii Buck z wykorzystaniem scalonego kontrolera NCP3170A [69]. Jest to synchroniczny konwerter PWM kluczujący na częstotliwości 500 kHz. Producent umieścił go w obudowie SO-8 a jego wyjściowa wydajność prądowa wynosi trzy ampery. Posiada zabezpieczenia termiczne i przeciwzwarciowe. Przetwornice posiadają cewki o indukcyjności 4,7uH i prądzie nasycenia 3,9A. Na wejściu i wyjściu zastosowano filtry pojemnościowe oraz rozdzielono drogi powrotne prądów (masy) części analogowej i wysokoprądowej. Napięcie wyjściowe ustalonono za pomocą wbudowanego w kontroler źródła referencyjnego o wartości 0,8V i dzielnika rezystorowego dołączonego za cewką, na wyjściu przetwornicy. Sterownik NCP3170A pracuje z prądową pętlą sprzężenia zwrotnego i do stabilnej pracy wymaga dołączenia dwójnika RC. Wartości tych elementów wyliczono w symulatorze GreenPoint na stronie producenta On Semiconductor [70] dla napięcia wejściowego w przedziale 6,5 – 7,5V oraz prądu wyjściowego równego 3A.



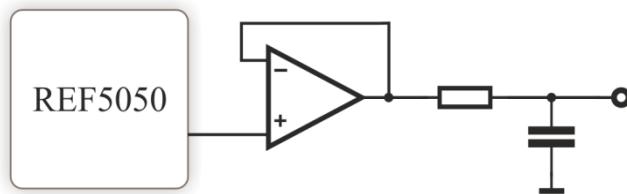
Rysunek 64 – wykres Nyquista obrazujący wzmacnianie i przesunięcie fazowe pętli sprzężenia zwrotnego kontrolera NCP3170A [70]

Dla podanych warunków pracy, przetwornica jest bezwzględnie stabilna i posiada margines fazy na poziomie 40 stopni. Kontroler posiada również wejście zezwalające na pracę (*Enable*). Zostało ono dołączone do wejścia Vin przez co przetwornica uruchamia się natychmiast po dołączeniu do niej napięcia zasilającego.

Stabilizatory liniowe, zasilane z 7V, dostarczają napięć 1,5V, 5V oraz 3,3V. Dwa pierwsze zbudowano w oparciu o regulatory LM1117 [48] w obudowach SOT223 o maksymalnym prądzie wyjściowym 0,8A a do ostatniego użyto LM1086 [71] w obudowie TO252. Jego maksymalny prąd wyjściowy wynosi 1,5A. Napięcia wyjściowe, podobnie jak w przypadku przetwornic impulsowych, są ustalane za pomocą wbudowanych napięć wzorcowych i zewnętrznych dzielników rezystorowych. Wszystkie regulatory posiadają zabezpieczenia termiczne i przeciwwzarciowe. Stabilność napięć zapewniają kondensatory umieszczone zaraz przy pinach wejściowych i wyjściowych. Wymienione układy nie posiadają pinów sterujących takich jak włącz/wyłącz czy też informujących o awarii napięcia wyjściowego. Regulatory działają od razu po dołączeniu napięcia wejściowego. Ze stabilizatorów liniowych zasilane są następujące podzespoły: przetworniki A/C sygnału wideo, stopnie wyjściowe buforów cyfrowych (czyli od strony testowanego czujnika optycznego), pamięć RAM oraz przetwornik A/C służący do pomiaru temperatury.

Ostatnim elementem zasilacza lokalnego jest źródło napięcia odniesienia. Zbudowano je za pomocą układu REF5050 [72] generującego precyzyjne, niskoszumne oraz stabilne temperaturowo i czasowo napięcie wzorcowe 5V. Aby obniżyć poziom

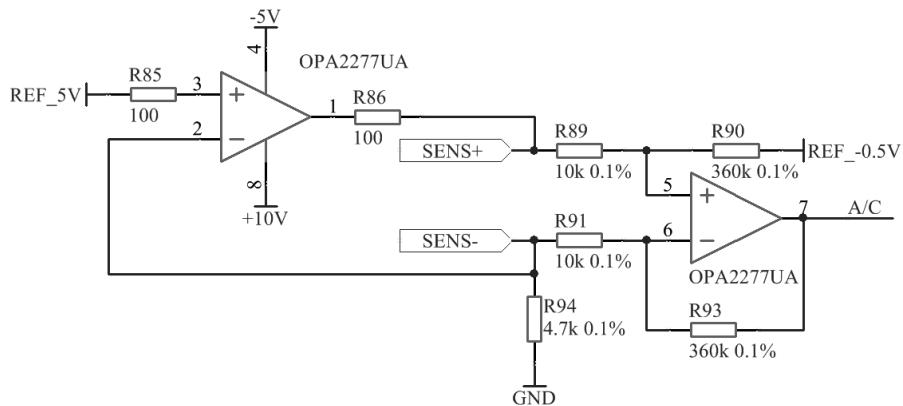
jego szumów własnych, producent podłączył do wyprowadzenia nr 8 wewnętrzne napięcie referencyjne. Dołączony do niego zewnętrzny kondensator o pojemności $4,7\mu\text{F}$ zmniejsza je poniżej katalogowej wartości $15\mu\text{V}_{\text{PP}}$. Do dystrybucji napięcia referencyjnego użyto precyzyjnych wzmacniaczy operacyjnych typu OPA2277 [73]. Jeden z nich jest wtórnikiem zmniejszającym jedynie rezystancję wyjściową źródła, drugi pracuje w konfiguracji odwracającej i wytwarza napięcie $-0,5\text{V}$. Do realizacji tego drugiego użyto wysokoprecyzyjnych rezystorów o tolerancji $0,1\%$ i współczynnika temperaturowym $25\text{ppm}/^{\circ}\text{C}$. Wyjścia napięć odniesienia są filtrowane za pomocą kondensatorów o pojemności $4,7\mu\text{F}$. Biegun wprowadzany przez pojemność do transmitancji pętli ujemnego sprzężenia zwrotnego może spowodować samowzbudzenie wzmacniaczy operacyjnych (buforów). Aby do tego nie dopuścić w szeregu z ich wyjściami włączono rezystor 10Ω zmniejszający przesunięcie fazowe pętli i zwiększając margines fazy.



Rysunek 65 – schemat blokowy źródła napięcia odniesienia

4.1.1.9 Pomiar temperatury

Pomiar temperatury zrealizowano według poniższego schematu:



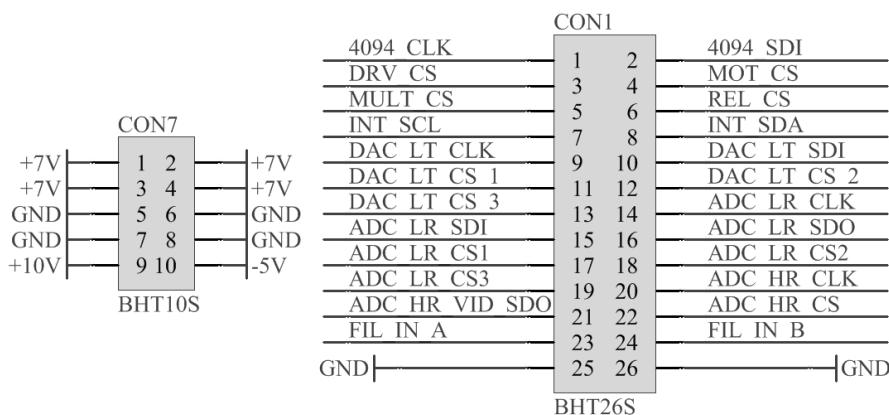
Rysunek 66 – schemat układu pomiaru temperatury

Czujnik jest zasilany z precyzyjnego źródła prądowego zbudowanego na jednym z dwóch wzmacniaczy operacyjnych zawartych w układzie OPA2277. Wartość prądu wynosi $5\text{V}/4,7\text{k}\Omega \approx 1\text{mA}$. Drugi z nich pracuje w konfiguracji wzmacniacza różnicowego o wzmacnieniu 36x (dla PT100) lub 2,7x (dla KTY81) i napięciu

referencyjnym -0,5V. Wyjście jest dołączone do przetwornika A/C sterowanego przez mikrokontroler. Dla czujnika PT100 zakres zmian napięcia na wyjściu wzmacniacza operacyjnego wynosi: 0,207V (-200°C) ÷ 4,79V (100°C), dla czujnika z rodziny KTY81: 0,805V (-55°C) ÷ 4,65V (100°C). Podobnie jak w przypadku źródeł napięć referencyjnych użyto precyzyjnych wzmacniaczy operacyjnych i rezystorów. Zrezygnowano z pomiaru temperatury metodą czteroprzewodową (mostek Kelvina) ponieważ mała wartość źródeł prądowych oraz krótkie ścieżki nie wprowadzają istotnego błędu do pomiaru. W urządzeniu zastosowano pomiar dwuprzewodowy.

4.1.1.10 Połączenie modułu zarządzania z pozostałymi modułami

Moduł zarządzania połączony jest z modułem stabilizatorów za pomocą dwóch taśm i złącz IDC w rastrze 2,54 mm. Pierwsze, dziesięciostykowe służy do zasilania modułu sterowania, drugie dwudziestosześciostykowe doprowadza sygnał magistral cyfrowych zarządzających modułem stabilizatorów.

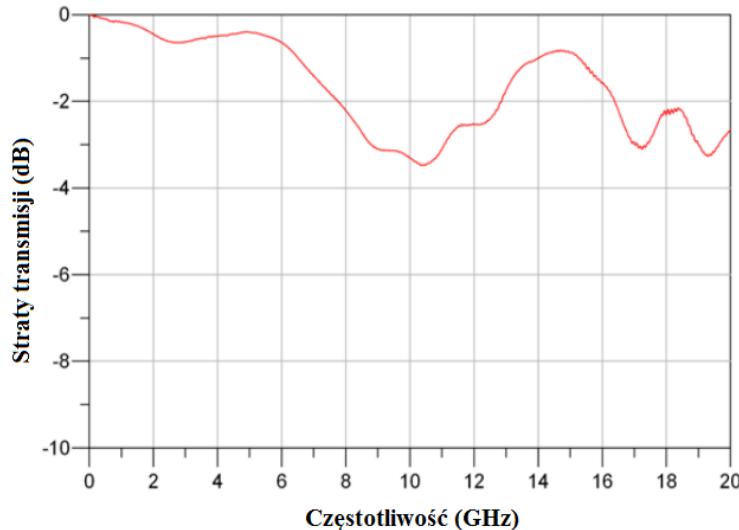


Rysunek 67 – złącza do modułu stabilizatorów

Złącze zasilające dostarcza napięć +7V (dla zasilacza lokalnego) oraz +10V i -5V dla układu pomiaru temperatury. Złącze z sygnałami zarządzającymi zawiera w sobie magistrale SPI oraz IIC do kontroli modułu stabilizatorów oraz opcjonalnego zarządzania zasilaczem głównym.

Moduł zarządzania jest połączony z modułem interfejsu za pomocą złącza QMS-064-01-SL-D-DP-RA firmy Samtec [74]. Jego przeznaczeniem jest transmisja danych liniami różnicowymi o impedancji charakterystycznej 100Ω i częstotliwości do 7,5 GHz. W układzie, poprzez 64 pary różnicowe tego złącza transmitowane są dane analogowe oraz cyfrowe. Te pierwsze to 32 kanały sygnału wideo, każdy z oddzielną masą sygnałową. Drugie to 20 par różnicowych w standardzie LVDS służące do przesyłania obrazu z czujników wyposażonych w cyfrowy tor odczytu. Oprócz nich

znajdują się również dwie pary różnicowe LVDS służące do przesyłania sygnału zegarowego z układu sterującego (FPGA) do czujnika optycznego. Poniżej przedstawiono charakterystykę częstotliwościową transmisji sygnału przez to złącze. Widać wyraźnie, że do deklarowanej przez producenta częstotliwości, straty transmisji są minimalne.



Rysunek 68 – straty transmisji złącza sygnałów różnicowych [75]

4.1.2 Moduł stabilizatorów

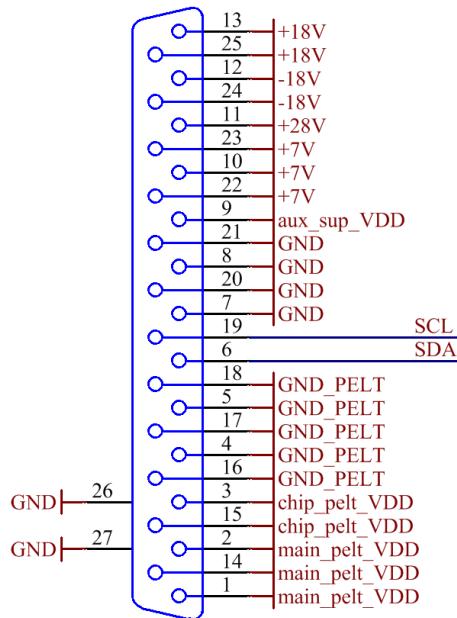
Projektowanie modułu stabilizatorów rozpoczęto od wytypowania odpowiedniego złącza służącego do zasilania i bezpośredniego połączenia z zasilaczem głównym. Na podstawie szacunków poboru mocy przedstawionych w koncepcji pracy wybrano złącze z rodziny D-subminiature typu DB-25.



Rysunek 69 – złącze DB-25 użyte do zasilania testera czujników optycznych [76]

Złącza te charakteryzują się bardzo dobrymi parametrami elektrycznymi. Posiadają izolację o rezystancji większej niż $1 \text{ G}\Omega$ a obciążalność pojedynczego połączenia wynosi do pięciu amperów. Do wspomnianego złącza doprowadzono magistrale IIC. W zamyśle jest ona używana do kontroli pracy zasilacza. Umożliwia monitorowanie

parametrów, sekwencjonowanie napięć czy też regulację napięć dla elementów chłodzących tester i czujniki optyczne.



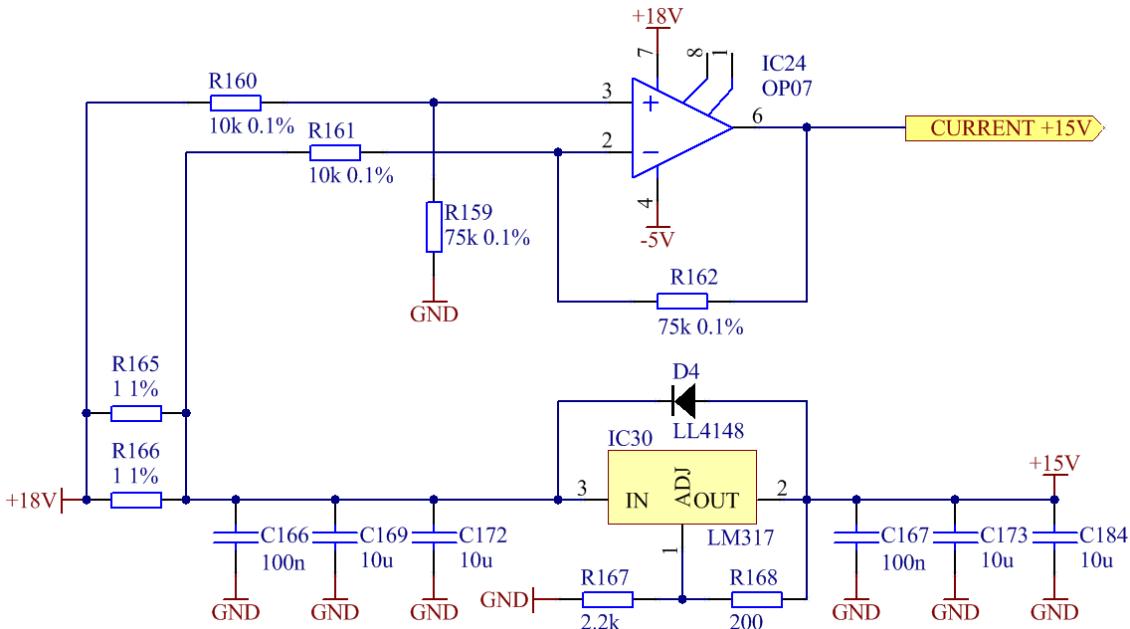
Rysunek 70 – schemat podłączenia napięć zasilających do złącza DB-25

Ilości połączeń przypadających na poszczególne sekcje napięć dobrano tak, aby nie przekroczyć dopuszczalnego obciążenia tj. 5A na pin. Należało wziąć pod uwagę również starzenie się złącza, zwiększenie rezystancji kontaktów i co z tego wynika zwiększenie się niepożądanej spadku napięcia. Aby wspomniane zjawiska nie zakłóciły pracy testera, ustalono, że pojedynczy pin nie powinien przenosić obciążzeń większych niż 2A. Obecność napięć z zasilacza jest wskazywana optycznie poprzez diody LED. Na module stabilizatorów umieszczono dwa złącza na taśmy IDC, komplementarne do tych umieszczonych na module zarządzania. Jedno z nich służy do zasilania, drugie do przesyłania danych poprzez magistrale cyfrowe.

4.1.2.1 Układy regulacji napięć pierwszego stopnia

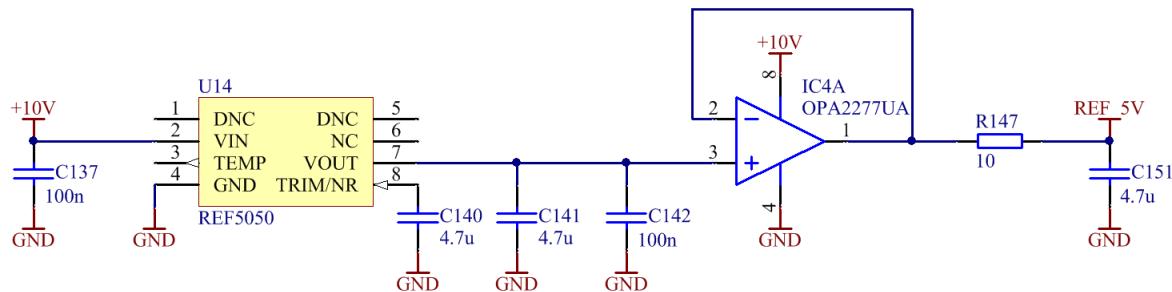
Wszystkie obwody modułu stabilizatora są zasilane z układów regulacji pierwszego stopnia. Rozwiązanie takie ma na celu usunięcie niepożądanych sygnałów przenikających z zasilacza głównego poprzez kabel zasilający. W skład tego stopnia wchodzą stabilizatory dużej mocy wraz z pomiarem poboru prądu, stabilizatory małej mocy oraz blok napięć referencyjnych. Te pierwsze zrealizowano na scalonych regulatorach typu LM317 [77] dla napięć dodatnich i LM337 [78] dla napięć ujemnych. Pracują w typowej, zalecanej przez producenta konfiguracji. Dla dodatkowej filtracji napięć wejściowych i wyjściowych dołączono baterię kondensatorów ceramicznych.

Równolegle pomiędzy wejście i wyjście stabilizatorów włączono dodatkową diodę chroniącą układy w przypadku awarii zasilania pierwotnego np. zwarcia. Wówczas prąd rozładowujący kondensatory popłynie z pominięciem struktur wewnętrznych regulatora.



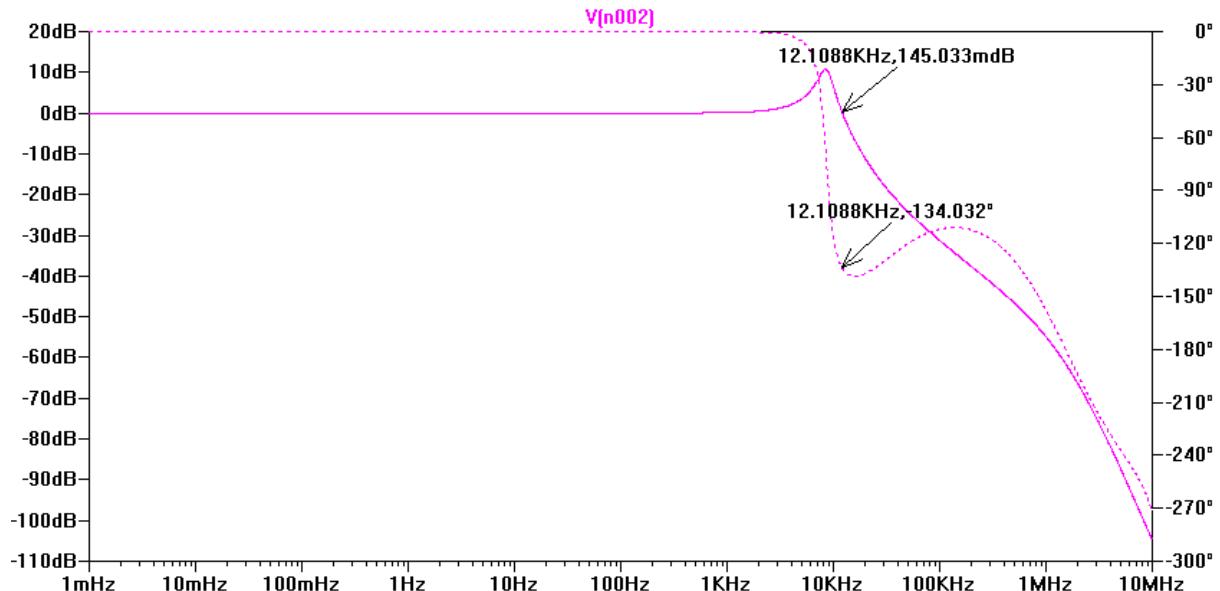
Rysunek 71 – fragment schematu stabilizatora dużej mocy wraz z pomiarem prądu

Pomiar prądu regulatorów polega na badaniu spadku napięcia na szeregowych rezystorach za pomocą wzmacniacza różnicowego. Rezystory w pętli sprzężenia zwrotnego dobrano w ten sposób, aby napięcie wyjściowe zmieniało się w granicach 0 – 5V (dopuszczalny zakres napięć na wejściu przetwornika A/C). Wspomniany wzmacniacz operacyjny zrealizowano na wzmacniaczu operacyjnym OP07 [79]. Wybrano go ze względu na bardzo małe napięcie offsetu i jego znikomy dryft temperaturowy. Regulatory dużej mocy zasilają stopnie wyjściowe stabilizatorów linii bias oraz stabilizatorów dla sterowników CCD. Kolejnym elementem jest blok stabilizatorów małej mocy. One również pracują w zalecanej przez producenta konfiguracji, posiadając filtry pojemnościowe na wejściach i wyjściach. Nie posiadają pomicu poboru prądu. Zasilają wzmacniacze operacyjne, układy współpracujące z mikrokontrolerem oraz przetwornikiem A/C i C/A. Trzecim, ostatnim elementem, jest blok precyzyjnych napięć referencyjnych. Źródłem napięcia odniesienia jest ten sam typ układu, którego użyto w module zarządzania – REF5050 [72]. Do dystrybucji napięć wzorcowych wykorzystano wzmacniacze OPA2277.



Rysunek 72 – fragment schematu układu generacji i dystrybucji napięć wzorcowych

Wzmacniacze operacyjne w konfiguracji wtórnika posiadają szerokie pasmo przenoszenia sygnałów. Niewątpliwa zaleta staje się wadą w przypadku gdy jego wyjście jest obciążone znaczną pojemnością. Dodatkowy biegum, wprowadzany przez reaktancję pojemnościową, powoduje, że dla pewnej częstotliwości sygnału ujemna pętla sprzężenia zwrotnego staje się pętlą dodatnią. Jeżeli dla tej częstotliwości wzmacnienie własne wzmacniacza operacyjnego jest większe od 0 dB to spełnione zostają warunki generacji a wtórnik staje się oscylatorem. Aby uniknąć takiej sytuacji odseparowano wyjściową pojemność filtrującą od wzmacniacza za pomocą niewielkiego rezystora o wartości $10\ \Omega$. Symulacje zachowania wzmacniacza OPA2277 wykazały, że dla takiego rozwiązania wzmacniacz nie wzbudzi się, a margines fazy wyniesie około 45° .

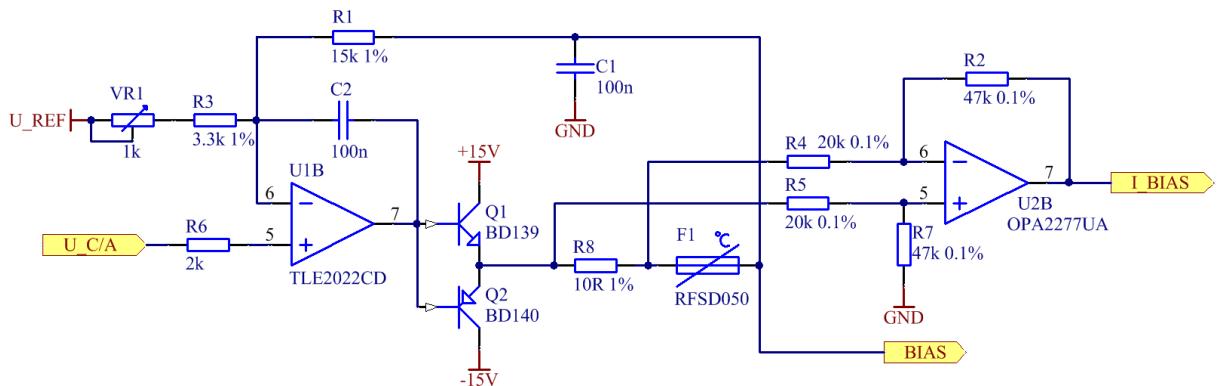


Rysunek 73 – symulacja charakterystyki AC wtórnika z obciążeniem pojemnościowym

Oprócz napięcia wzorcowego o wartości 5V (generowanego przez REF5050), do poprawnej pracy testera wymagane są również napięcia referencyjne o wartościach 1,66V, 3,158V i 8,33V. Wytwarzane są z napięcia 5V za pomocą wzmacniaczy operacyjnych współpracujących z odpowiednio dobranymi dzielnikami rezystancyjnymi.

4.1.2.2 Układy regulacji napięć drugiego stopnia

Stabilizatory drugiego stopnia to układy zasilające linie bias oraz sterowniki matryc CCD. Osiem stabilizatorów ma zakres napięć wyjściowych $\pm 12V$, cztery $0 \div 26V$, sześć $-2,5V \div 10V$ oraz kolejne sześć $-5V \div 3V$. Ich budowa jest bardzo podobna. Wszystkie składają się ze wzmacniacza błędu oraz stopnia mocy. Te zasilające linie bias posiadają dodatkowo układ pomiaru prądu. Wzmacniacze błędu zrealizowano na wzmacniaczach operacyjnych OPA2277, LT1884 [80] oraz TLE2022 [81] (w zależności od napięcia wyjściowego stabilizatorów). Każdy z nich pracuje w konfiguracji nieodwracającej z wejściem nieodwracającym podłączonym do przetwornika C/A (regulacja napięcia wyjściowego) oraz wejściem odwracającym podłączonym do pętli ujemnego sprzężenia zwrotnego.



Rysunek 74 – schemat stabilizatora napięć drugiego stopnia

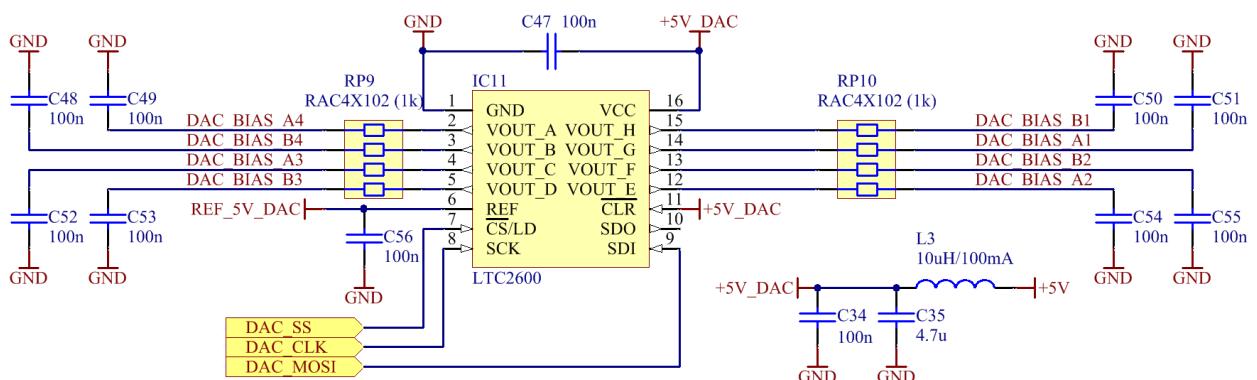
Rezystory pętli są z jednej strony dołączone do wyjścia stabilizatora a z drugiej do odpowiedniego napięcia referencyjnego. Napięcie wyjściowe wynosi: $U_{WY} = (U_{C/A} - U_{REF}) * k + U_{REF}$ gdzie U_{REF} to precyzyjne napięcie referencyjne, k to wzmacnienie a $U_{C/A}$ to napięcie z przetwornika C/A. Wartość rezystorów w sprzężeniu zwrotnym i wynikające z tego wzmacnienie jest zależne od zakresu napięć wyjściowych stabilizatorów. Od zakresu napięć wyjściowych zależy również budowa stopni mocy. Dla napięć wyjściowych $\pm 12V$ jest to komplementarna para tranzystorów NPN i PNP, dla napięć $0 \div 26V$ oraz $-2,5V \div 10V$ są to same tranzystory NPN a dla $-5V \div 3V$ same tranzystory PNP. Jako tranzystory mocy NPN użyto BD139 [82] a PNP – BD140 [83]. Struktura krzemowa znajduje się w obudowach TO-126, którą można przymocować do radiatora zmniejszając tym samym rezystancję termiczną złącze – otoczenie R_{thJA} . Rezystory 10Ω włączone w szereg z bazami zapobiegają wzbudzeniom tranzystorów. W szereg z emiterami dołączono rezystory o wartości 10Ω . Wzmacniacze różnicowe na podstawie spadku napięcia na nich mierzą pobór prądu ze stabilizatorów. Ich wyjścia są

podłączone do przetworników A/C monitorujących pracę stabilizatorów. Jako zabezpieczenie przeciwzwarciowe, na wyjściu regulatora umieszczono bezpieczniki polimerowe. W stosunku do klasycznych, topikowych, mają tę zaletę, że po ustaniu czynników wywołujących zadziałanie ich parametry wracają do stanu pierwotnego.

4.1.2.3 Układ wymuszania i kontroli napięć oraz prądów

Układ składa się z trzech bloków: przetworników cyfrowo-analogowych sterujących regulatorami drugiego stopnia, precyzyjnego przetwornika analogowo-cyfrowego wraz zestawem kluczy do kontroli napięć wyjściowych regulatorów oraz szybkich przetworników analogowo-cyfrowych do mierzenia prądów regulatorów oraz elementów chłodzących.

Do konwersji danych cyfrowych pochodzących z mikrokontrolera na sygnały analogowe wykorzystano układu LTC2600 [84]. Są to ośmiokanałowe, szesnastobitowe przetworniki C/A z wyjściami typu *Rail-to-Rail*. Do zarządzania nimi użyto magistrali SPI. Pomimo możliwości pracy kaskadowej (*Daisychain*), układy połączono równolegle tzn. z wykorzystaniem oddzielnych linii CS (*Chip Select*).

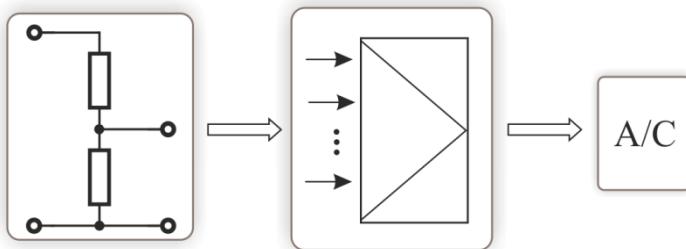


Rysunek 75 – schemat przetwornika C/A sterującego regulatorami drugiego stopnia

Główym kryterium wyboru była wartość szumu (wartość skuteczna w paśmie od 0,1 Hz do 10 Hz wynosi typowo $15 \mu\text{V}$) oraz jak największa liczba dostępnych kanałów w jednej obudowie. Ten drugi parametr jest niezwykle istotny gdy chce się zachować jak największą powtarzalność parametrów na pewnej grupie linii. Wszelkie zmiany wynikające ze starzenia bądź wpływu temperatury rozkładają się w podobnym stopniu na każdy kanał. Napięcie zasilania przetworników oraz napięcie referencyjne wynosi 5V. Napięcie zasilające odfiltrowano za pomocą obwodu L-C, napięcie referencyjne pochodzi z układu przedstawionego na rysunku 72. Na wyjściach przetworników

zastosowano filtry R-C tłumiące stany nieustalone (*glitch*) mogące powstać podczas zmiany napięcia wyjściowego.

Drugi element układu to blok kalibracji i kontroli napięć. Składa się z rezystorowych dzielników napięcia, analogowych multiplekserów 74HC4051 [85], rejestrów przesuwnych 74HCT4094 [86] oraz jednokanałowego, precyzyjnego przetwornika A/C LTC2450. Dzielniki napięciowe dostosowują napięcia z wyjścia stabilizatorów do poziomu akceptowalnego przez przetwornik A/C. Multipleksery, sterowane z rejestrów przesuwnych, łączą wybrany kanał napięciowy z wejściem przetwornika. Przełączanie kanałów oraz odczyt danych z przetwornika A/C odbywa się poprzez magistralę SPI połączoną z mikrokontrolerem. Konwerter jest zasilany z napięcia 5V poprzez filtr L-C.



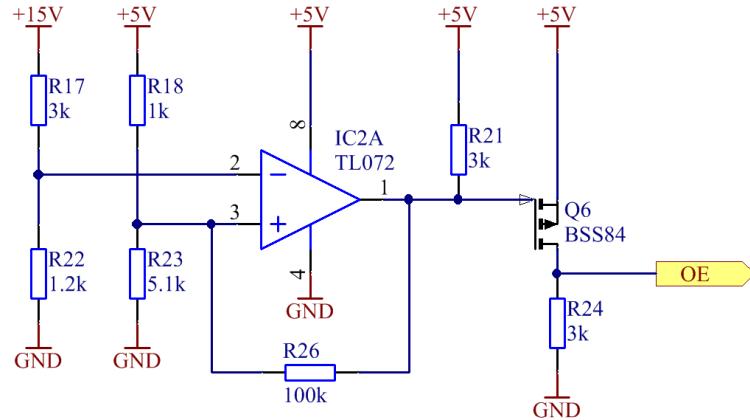
Rysunek 76 – schemat bloku kalibracji

Ostatnim elementem jest blok pomiaru prądów. Składa się z dwunastobitowych, szybkich przetworników A/C typu ADS7844 [87], które w trybie ciągłym dokonują próbkowania sygnału wejściowego. Badany sygnał pochodzi z wyjścia wzmacniaczy różnicowych. To napięcie jest wprost proporcjonalne do obciążenia stabilizatorów linii bias i sterowników CCD (umieszczone w układzie regulacji napięć drugiego stopnia). Na wejściach przetworników znajdują się filtry odkłócające R – C. Napięcie zasilające przetworniki wynosi 5V i jest dostarczane przez filtr L-C. Dane w postaci dyskretnej są odsyłane do mikrokontrolera przez interfejs SPI.

4.1.2.4 Sekwencjoner włączania napięć i sterowników CCD

Podstawą działania układu sekwencjonera są rejesty przesuwne 74HCT4094. Sterowane poprzez interfejs SPI z mikrokontrolera mają za zadanie włączać i wyłączać w odpowiedniej kolejności elementy wykonawcze. W przypadku sekwencjonowania napięć, rejesty sterują kotwicami przekaźników (poprzez tranzystory N-MOSFET). Włączanie i wyłączanie sterowników CCD odbywa się natomiast wprost z wyjścia

rejestrów. Zastosowano ochronę testowanego czujnika optycznego w postaci detektora zaniku napięcia zasilającego.



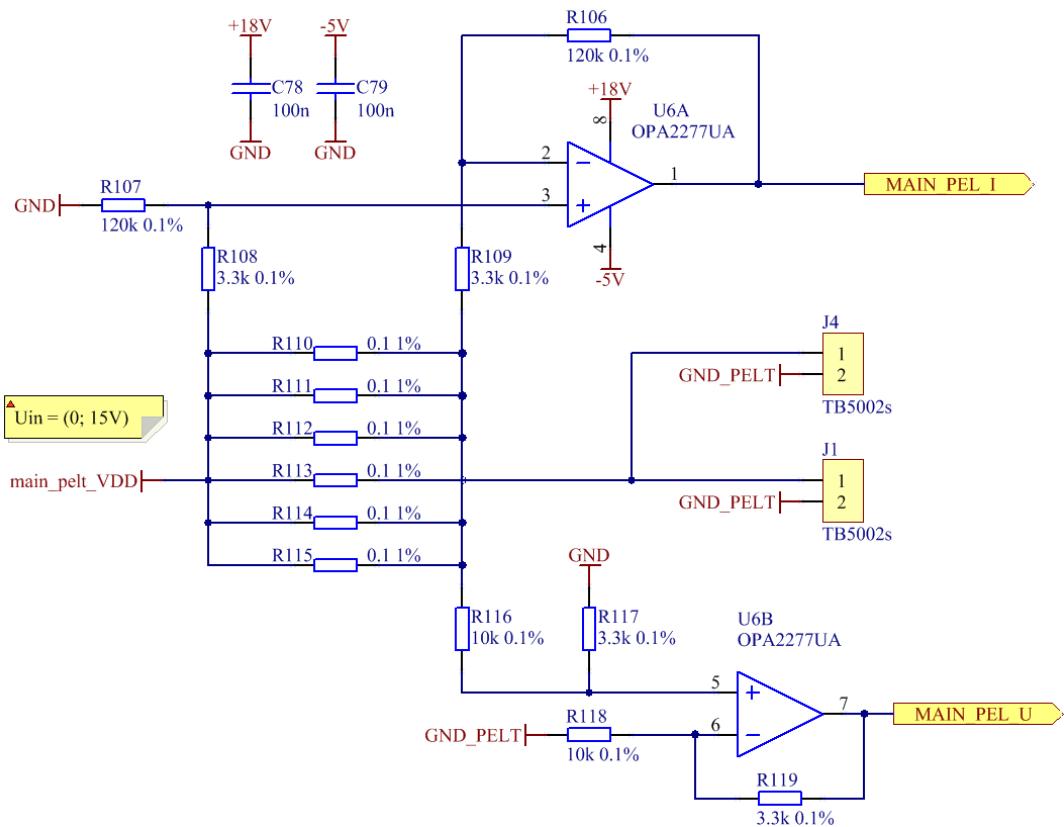
Rysunek 77 – schemat detektora zaniku napięcia

Zrealizowano go w postaci komparatora porównującego napięcie 15V względem napięcia 5V. Jeżeli napięcie w głównej szynie zasilającej spadnie poniżej ustalonej wartości, układ ustawi stan linii OE (*Output Enable*) rejestrów w stan niski co spowoduje natychmiastowe odłączenie przekaźników i sterowników CCD od badanego czujnika optycznego. Komparator zrealizowano na wzmacniaczu operacyjnym z pętlą dodatniego sprzężenia zwrotnego. Dolny próg przełączania występuje przy napięciu 14,4 V, górny przy napięciu 14,6 V a histereza wynosi 200 mV.

4.1.2.5 Układ kontroli parametrów elektrycznych ogniw Peltiera

W testerze zaimplementowano dwa kontrolery napięcia i prądu pobieranego przez chłodzące ogniwa Peltiera. Pierwszy z nich obsługuje ogniwa o napięciu pracy do 15V i poborze prądu do 8A, drugi obsługuje ogniwa o napięciu pracy do 8V i poborze prądu do 4,5A. W założeniach konstrukcyjnych, pierwsze ogniwko o większej mocy służy do schładzania obudowy testowanego czujnika optycznego podczas gdy drugi, słabszy jest przewidziany do zasilania obwodu chłodzącego wewnątrz czujnika (o ile taki występuje). Pomiary zrealizowano na wzmacniaczach różnicowych typu OPA2277. Jeden wzmacniacz mierzy spadek napięcia na szeregowej rezystancji, drugi dokonuje pomiaru napięcia na zaciskach ogniwa. Szeregową rezystancję służącą jako wskaźnik natężenia prądu powstała przez równoległe połączenie kilku rezystorów o wartości 0,1 Ω w obudowie SMD1206 i mocy jednostkowej 0,25W. Zestaw rezystorów do pomiaru prądu ogniwa o większej mocy ma rezystancję 17 m Ω i moc 1,5W, zestaw rezystorów do drugiego ogniwa ma rezystancję 25 m Ω i moc 1W. Rezystory współpracujące ze wzmacniaczami operacyjnymi dobrano w ten sposób, aby przy maksymalnych poborach

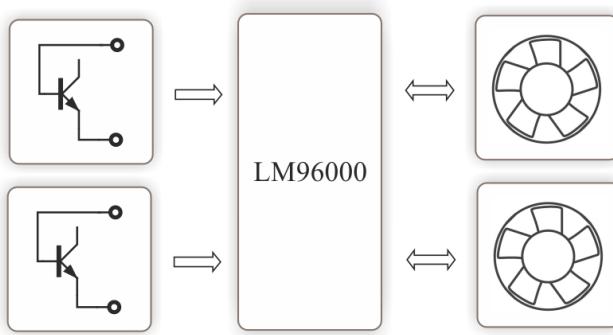
prądu i przy maksymalnych napięciach roboczych ogniw na ich wyjściach napięcie nie przekroczyło 5V (maksymalne dopuszczalne napięcie na wejściach szybkich przetworników A/C). Ogniwa Peltiera podłącza się do wyjścia układu kontroli parametrów elektrycznych. Te dużej mocy są zasilane poprzez złącza typu *Terminal Block*, mniejszej mocy poprzez złącze na module interfejsu.



Rysunek 78 schemat pomiaru prądu ogniw Peltiera

4.1.2.6 Pomiar temperatury wewnętrznej testera i kontroler wentylatorów

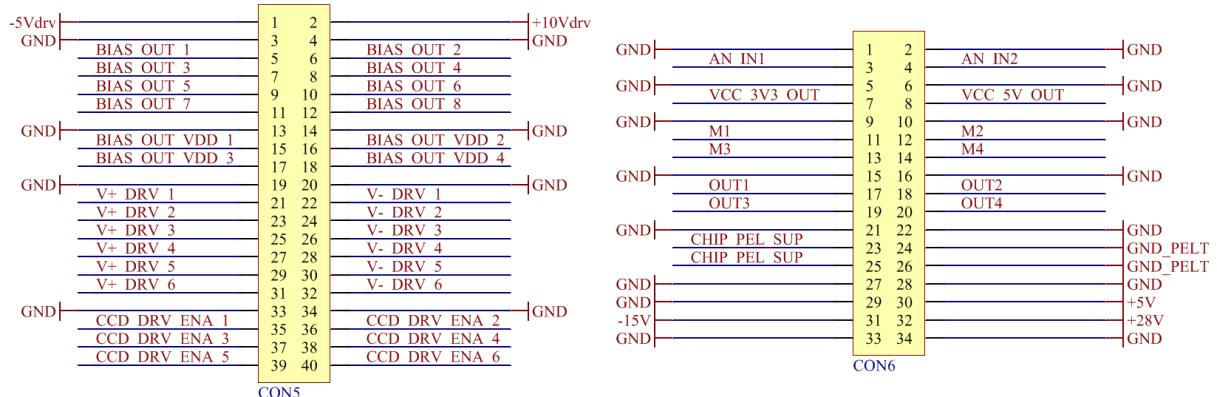
Kontrolę nad temperaturą sprawuje układ LM96000 [88]. Jest to monitor sprzętu umożliwiający sprawdzenie integralności napięć, pomiar temperatury z zewnętrznych czujników i zarządzanie wentylatorami. Do kontrolera podłączono dwa tranzystory, których złącza p-n (baza-emiter) spełniają rolę czujników temperatury. Kontroler posiada wyjścia z modulacją PWM. Dzięki temu, za pośrednictwem tranzystorów N-MOSFET, można w płynny sposób regulować obroty wentylatorów. Stany awaryjne wentylatora, np. zatrzymanie się wirnika są monitorowane przez dedykowane wejście do pomiaru obrotów. Parametry pracy programuje się za pomocą interfejsu SMBus.



Rysunek 79 – schemat blokowy czujnika temperatury i kontrolera wentylatorów

4.1.2.7 Połączenie modułu stabilizatorów z modulem interfejsu

Sygnały i napięcia z modułu stabilizatorów przeznaczone dla modułu interfejsu można zaliczyć do niskoczęstotliwościowych. Uprościło to konstrukcję testera ponieważ nie trzeba było brać pod uwagę zasad integralności sygnałowej, do połączenia wystarczyło zwykłe złącze ogólnego przeznaczenia. W urządzeniu zastosowano kątowe, dwurzędowe listwy kołkowe w rastrze 2,54mm.



Rysunek 80 – złącza do modułu interfejsu

Złącze składa się łącznie z 74 kontaktów. Przesyłane są sygnały dla przetworników A/C, napięcia ze stabilizatorów pierwszego i drugiego stopnia, sygnały zarządzające sterownikami CCD oraz napięcie dla ogniw Peltiera wbudowanego w niektóre czujniki optyczne. Ponieważ są to połączenia mocy, należało zapewnić niskorezystancyjną ścieżkę powrotną dla prądów. Zrealizowano to rozmieszczając odpowiednio połączenia z masą.

4.1.3 Moduł interfejsu

Moduł interfejsu jest mostem łączącym moduły zarządzania i stabilizatorów z płytą nakładkową czujnika. Połączenie z modułem zarządzania wykonano za pomocą złącz taśmowych IDC oraz komplementarnego złącza do przesyłania szybkich sygnałów

różnicowych QFS-064-04.25-X-D-DP-A [89] firmy Samtec. Do połączenia z modułem stabilizatorów użyto żeńskich, dwurzędowych listew w rastrze 2,54mm. Kontakt elektryczny z płytą nakładkową zapewniają trzy złącza typu DIN41612, które popularność zdobyły dzięki użyciu ich w kratach VME. Pierwsze i drugie z nich to złącza w wariantie Q posiadające dwa rzędy po trzydzieści dwa styki [90]. Jedno służy do przesyłania trzydziestu dwóch analogowych sygnałów video, drugie do przesyłania par różnicowych LVDS w postaci dwóch sygnałów zegarowych i dwudziestu, cyfrowych sygnałów danych obrazowych. Trzecie przyłącze typu R to trzy rzędy po trzydzieści dwa styki [91]. Służy do zasilania czujnika i jego ogniwa Peltiera, przesyłu sygnałów ze sterownika CCD oraz sterownika sygnałów trójstanowych, transmisji danych cyfrowych liniami CMOS i magistralami IIC oraz SPI. Do złącza podłączono również sygnały analogowe: dwa wejścia przetworników A/C oraz dwa wejścia do podłączenia czujników temperatury. Do wszystkich styków będących wyjściami stabilizatorów dołączono filtr pojemnościowy.

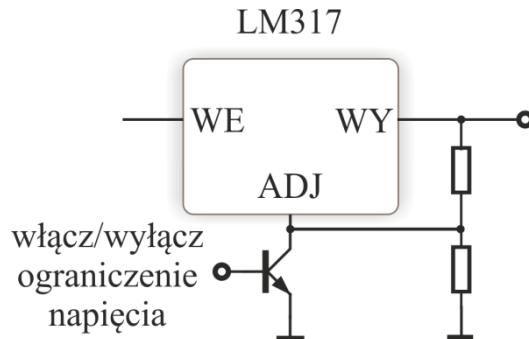
W module interfejsu zaimplementowano sterownik sygnałów trójstanowych oraz sterownik matryc CCD. Ten pierwszy zrealizowano według rysunku 43 na wysokonapięciowych, analogowych przełącznikach typu DG452 [92]. Układy te zawierają w swojej strukturze cztery klucze w konfiguracji normalnie otwarte. Zasilono je napięciami $-15V \div 28V$ i sygnały o takim zakresie mogą być przez nie przenoszone. Wbudowana logika wymaga jeszcze jednego napięcia 5V. Klucze steruje się poziomami napięć zgodnymi ze standardami LVTTL/LVCMOS wprost z wyprowadzeń FPGA. Układ ten jednocześnie dba o to aby nie dopuścić do jednoczesnego otworzenia więcej niż jednego klucza.

Sterownik matryc CCD zrealizowano na układzie EL7457 [93]. Jest to bufor napięciowy z translatorem poziomów który może być taktowany z częstotliwością do 40 MHz i posiada szczytową wydajność prądową na poziomie dwóch amperów. Układ wejściowy jest zasilany napięciami -5V oraz 10V a stopnie mocy napięciami regulowanymi pochodzącyimi z układu stabilizatorów drugiego stopnia umieszczonego w module stabilizatorów. Na wyjściu można zatem uzyskać przebieg prostokątny w którym niski poziom logiczny ma napięcie z zakresu $-5V \div 3V$ a wysoki z zakresu $-2,5V \div 10V$. Bufor, podobnie jak sterownik kluczy trójstanowych, akceptuje sygnały wejściowe typu LVTTL/LVCMOS i jest sterowany z układu FPGA.

4.2 Zasilacz

Główny zasilacz zrealizowano według koncepcji z rysunku 50. Jest zbudowany z dwóch samodzielnych i niezależnych bloków. Jeden z nich służy do zasilania obwodów głównych testera – stabilizatorów oraz układów sterowania i akwizycji. Drugi to element dostarczający energii do elementów odpowiedzialnych za chłodzenie czujnika w postaci ogniw Peltiera. Oba bloki różnią się mocą oraz sposobem wykonania stopni końcowych.

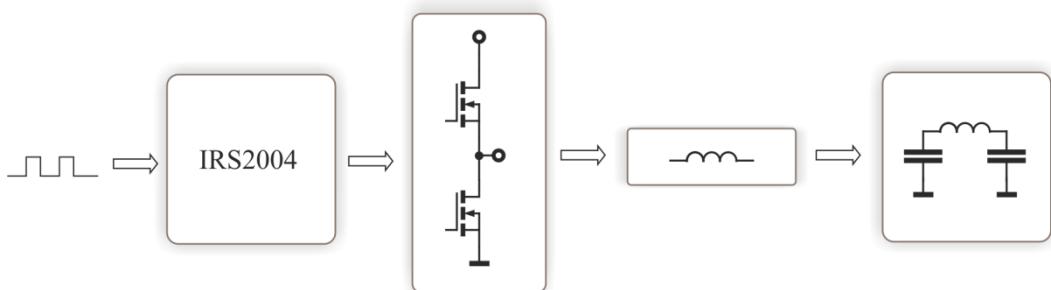
W skład pierwszego wchodzi transformator toroidalny z podwójnym uzwojeniem wtórnym o napięciach 2×19 VAC. Następnie umieszczono dwupołówkowy prostownik diodowy (mostek Graetza), podwajacz napięcia oraz baterią kondensatorów filtrujących o łącznej pojemności $8800\mu\text{F}$. Napięcia wyjściowe są regulowane i stabilizowane przez układy typu LM317 i LM337. Pracują w standardowej konfiguracji, posiadają kondensatory filtrujące i zewnętrzne diody zabezpieczające. Do pinów ADJ tych układów dołączono tranzystory umożliwiające zdalne ograniczenie napięcia niepotrzebnego lub uszkodzonego źródła zasilania.



Rysunek 81 – sposób sterowania stabilizatorami LM317 i LM337

Drugi blok składa się z transformatora toroidalnego o napięciach wyjściowych 2×12 VAC, prostownika dwupołówkowego oraz kondensatorów filtrujących o łącznej pojemności $18800\mu\text{F}$. Elementem regulującym napięcie wyjściowe jest niestabilizowana przetwornica impulsowa DC/DC sterowana sygnałem PWM z mikrokontrolera. Sygnał ten jest podawany na wejście scalonego sterownika tranzystorów MOSFET IRS2004 [94]. Układ ten kontroluje pracę dwóch zewnętrznych tranzystorów MOSFET połączonych w układzie półmostkowym. W swoich strukturach zawiera obwód zapewniający czas martwy pomiędzy przełączeniami, przesuwniki napięcia oraz bufory zmniejszające impedancję wyjściową (szybsze przeładowanie pojemności bramek). W projekcie użyto tranzystorów N-MOS mocy typu IRLR2905 [95], które wraz z dławikiem o indukcyjności $47\mu\text{H}$ tworzą przetwornicę synchroniczną w topologii *buck*.

Na wyjściu przetwornicy zastosowano filtr typu Π C-L-C.

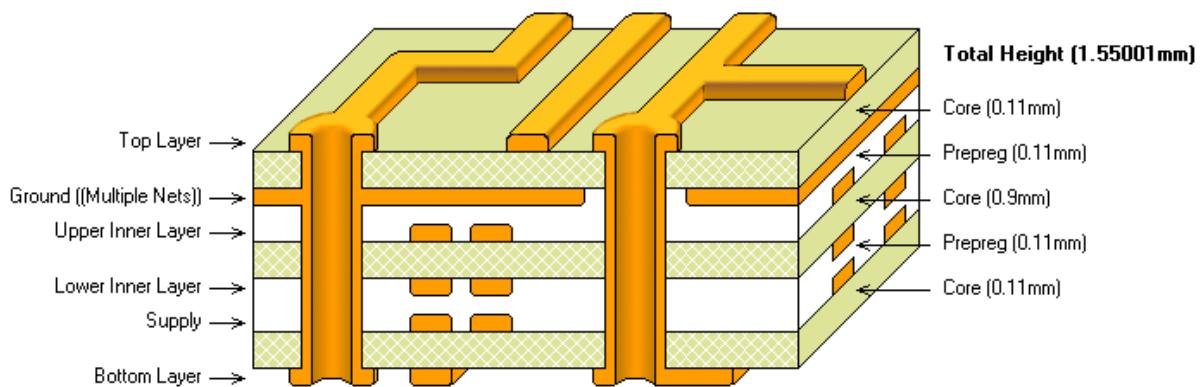


Rysunek 82 – schemat niestabilizowanej przetwornicy DC/DC do zasilania ogniw Peltiera

Aby uniknąć przenikania zakłóceń z przetwornicy impulsowej do napięć ze stabilizatorów liniowych rozdzieleno ścieżki powrotne dla prądu. Masy są połączone ze sobą tylko w jednym punkcie (topologia gwiazdy) i znajduje się on w module stabilizatorów.

4.3 Projekt płytka PCB

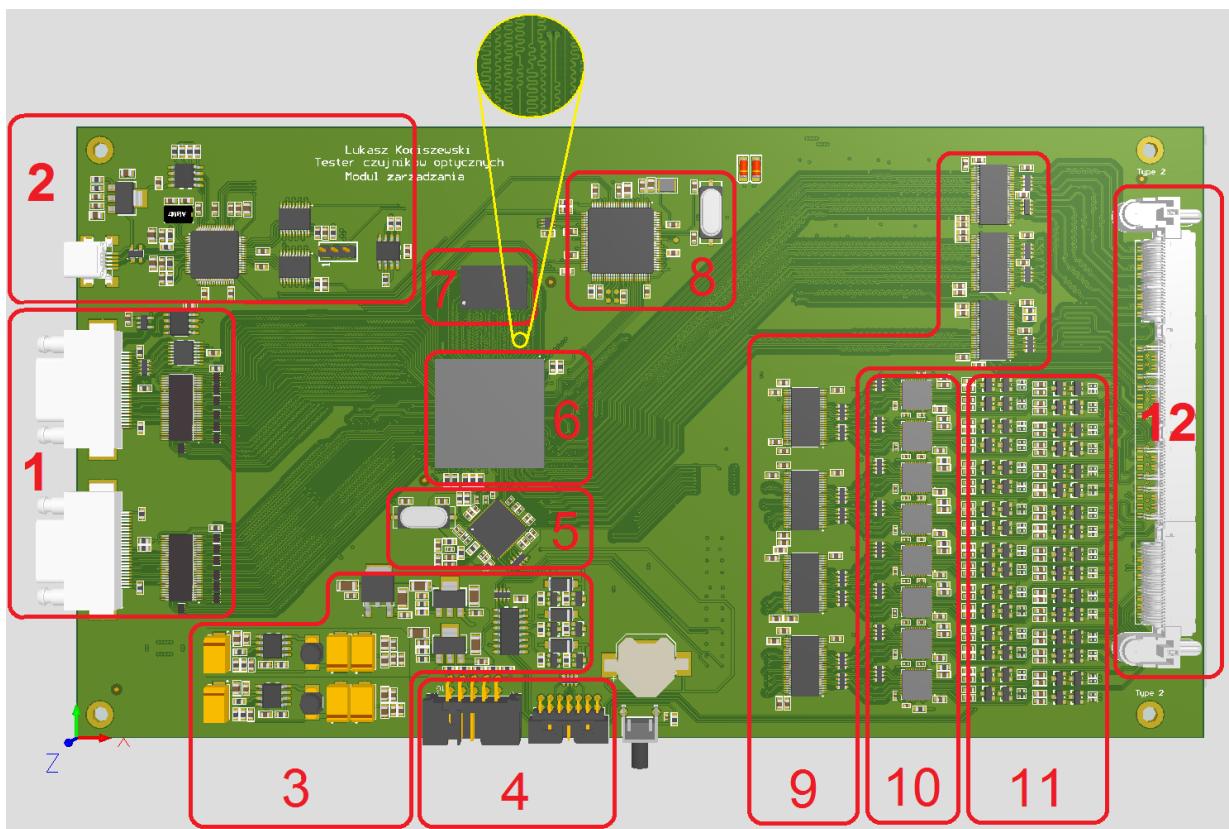
Schematy i obwody drukowane dla testera czujników optycznych zaprojektowano w programie Altium Designer. Urządzenie zrealizowano w postaci trzech oddzielnych obwodów drukowanych na laminacie FR4. Zaprojektowane płytki mają wymiary: moduł zarządzania i stabilizatorów 240 x 130 mm, moduł interfejsu 180 x 130 mm (szerokość x wysokość). Wszystkie trzy płytki mają ten sam układ warstw (*Stackup, Buildup*). Ich przekrój pokazano poniżej.



Rysunek 83 – układ warstw użyty w projekcie obwodów drukowanych testera

Warstwy nr 1, 3, 4 i 6 (odpowiednio *Top Layer*, *Upper Inner Layer*, *Lower Inner Layer*, *Bottom Layer*) to warstwy sygnałowe, warstwy 2 i 5 (*Ground* i *Supply*) przeznaczono do zasilania podzespołów. Układ warstw oraz odległość między nimi wynika z prowadzenia bardzo szybkich linii sygnałowych np. magistrali do pamięci SDRAM DDR3, Camera Link czy par LVDS. Należało zapewnić tym liniom odpowiednią impedancję

charakterystyczną wynoszącą 50Ω dla linii niesymetrycznych i 100Ω różnicowe dla linii symetrycznych. Aby uzyskać takie parametry, ścieżki prowadzono jako linie mikropaskowe o szerokości 0,127 mm. Wszystkie obliczenia wykonano za pomocą kalkulatora Speedstack [96]. Oprócz odpowiednich impedancji, ważne było aby w szybkich liniach transmisyjnych wyrównać długości ścieżek. Taki zabieg zapewnia integralność danych poprzez zbliżone do siebie czasy propagacji w każdej linii. Na poniższych rysunkach przedstawiono wizualizacje 3D gotowych płyt wygenerowanych przez Altium Designer.



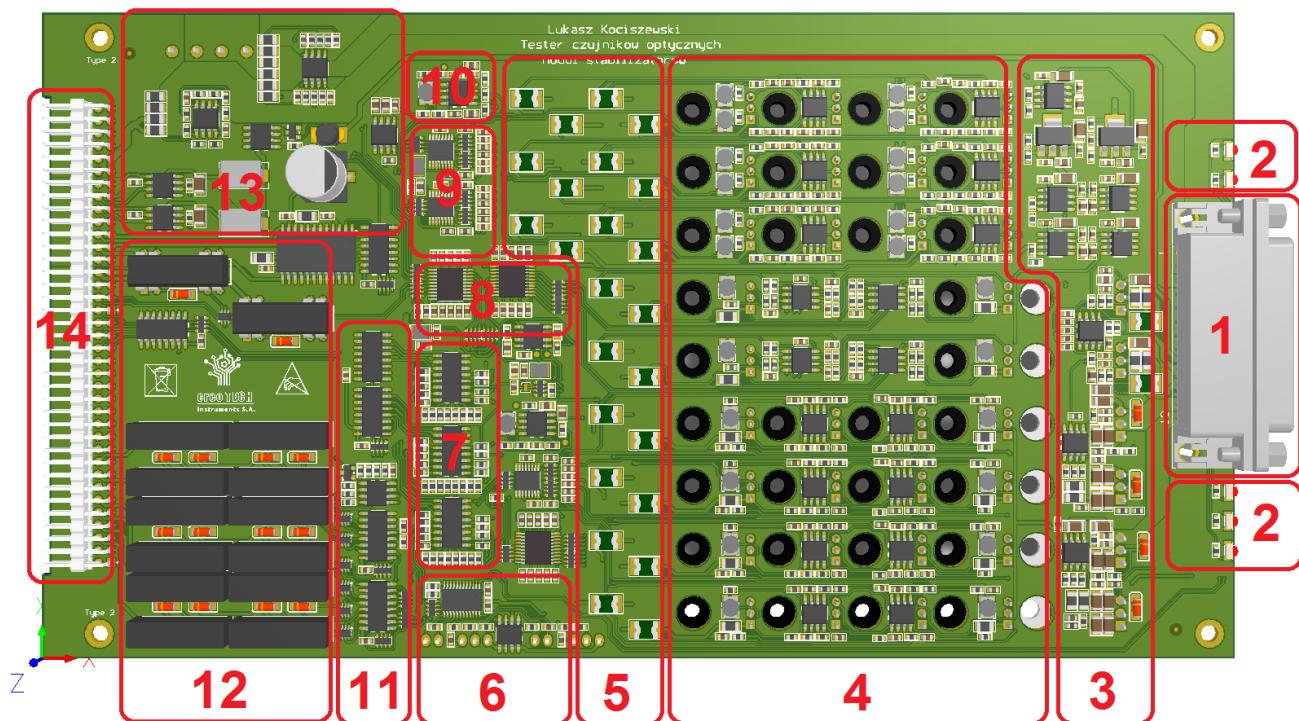
Rysunek 84 – widok gotowego modułu zarządzania

Opis elementów na module zarządzania:

- 1) interfejs Camera Link
- 2) interfejs USB wraz z demultiplekserem
- 3) zasilacz lokalny
- 4) złącza JTAG do programowania FPGA i mikrokontrolera
- 5) układ generacji i dystrybucji sygnałów zegarowych
- 6) FPGA
- 7) pamięć SDRAM DDR3

- 8) mikrokontroler
- 9) bufory LVDS
- 10) przetworniki A/C do sygnału wideo
- 11) zabezpieczenia przeciwprzepięciowe
- 12) złącze do transmisji szybkich sygnałów do i z modułu zarządzania

Dodatkowo na grafice przedstawiono powiększenie obszaru ścieżek prowadzonych do pamięci RAM. Widać tam sposób korekcji długości (*length tuning*) za pomocą ścieżek w kształcie serpentyn. W rogach płytka umieszczono otwory montażowe przewidziane pod śruby z gwintem M3. Od spodu, obok złącz programujących, umieszczono przycisk umożliwiający reset mikrokontrolera.



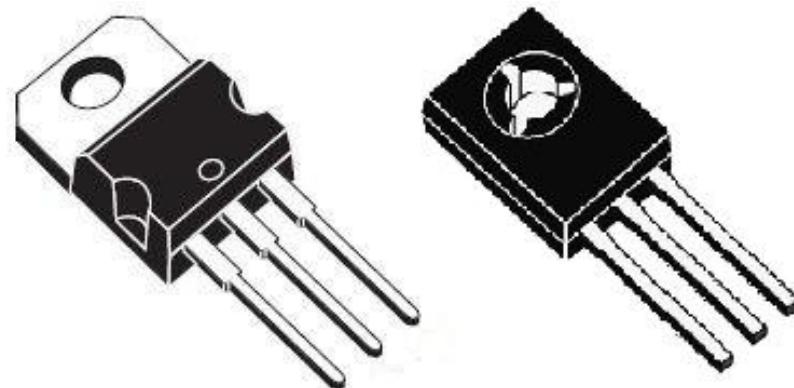
Rysunek 85 – widok gotowego modułu stabilizatorów

Opis elementów na module stabilizatorów:

- 1) złącze zasilające DB-25 do podłączenia zasilacza głównego
- 2) diody LED wskazujące obecność napięć głównych dostarczanych z zasilacza
- 3) układy regulacji napięć pierwszego stopnia
- 4) układy regulacji napięć drugiego stopnia (ze zmiennym napięciem wyjściowym)
- 5) bezpieczniki polimerowe zabezpieczające wyjścia regulatorów
- 6) układ kontroli temperatury i sterownik wiatraków

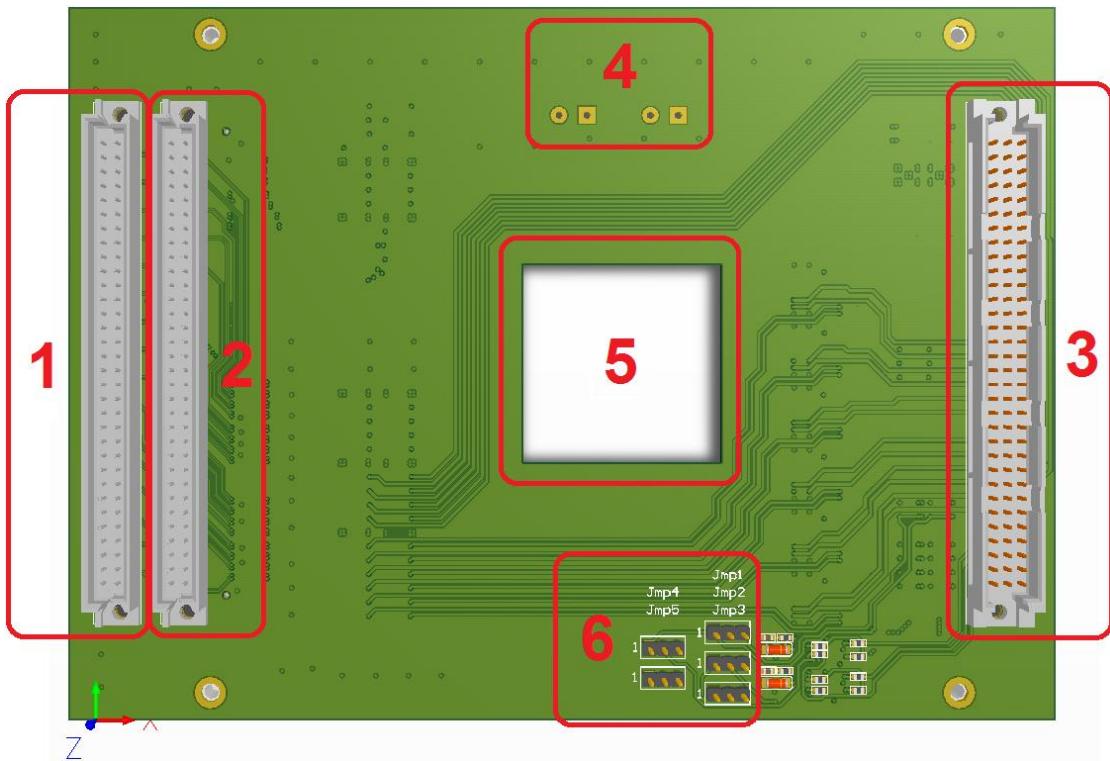
- 7) blok kalibracji napięć wyjściowych regulatorów
- 8) przetworniki A/C do kontroli poboru prądu
- 9) przetworniki C/A ustalające napięcia wyjściowe regulatorów drugiego stopnia
- 10) blok napięć referencyjnych
- 11) sterownik sekwencjonera napięć
- 12) przekaźniki sekwencjonera napięć
- 13) kontroler parametrów pracy ogniw Peltiera
- 14) złącze do modułu interfejsu

Celem przyświecającym przy budowie modułu stabilizatorów było takie rozłożenie elementów, aby proces odprowadzania ciepła z elementów przebiegał jak najwydajniej. Założono pionowe ułożenie modułu oraz pionową cyrkulację powietrza. Układy wydzielające dużą moc (stabilizatory, tranzystory) znajdują się po drugiej stronie (warstwa *Bottom Layer*) płytka po to, aby wypromienowywane ciepło nie podgrzewało pozostałych elementów. Wybrano wersje znajdujące się w obudowach TO-220 i TO-126 przeznaczone do montażu na radiatorach.



Rysunek 86 – obudowa TO-220 (z lewej) i TO-126 (z prawej)

Aby móc przykręcić je do radiatorów, w module stabilizatorów znajdują się otwory o średnicy umożliwiającej przełożenia łyba śruby z gwintem M3. Pomiędzy elementy mocy a radiator należało zastosować nieprzewodzące podkładki izolacyjne aby nie dopuścić do zwarć i niekontrolowanych dróg przepływu prądu.



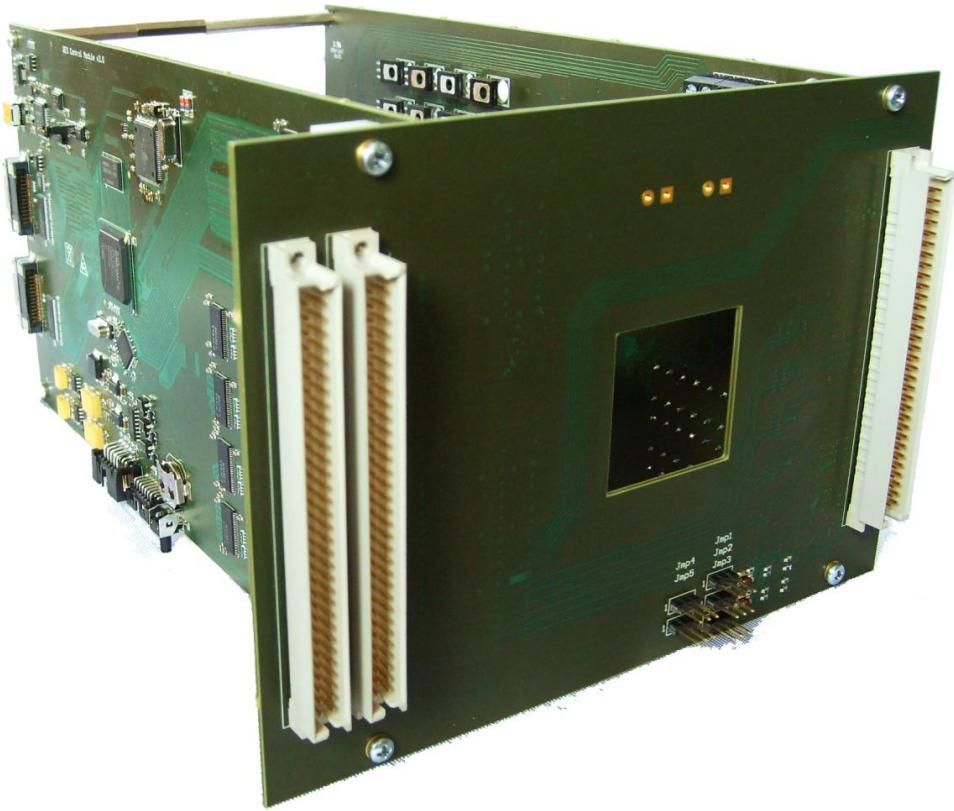
Rysunek 87 – widok gotowego modułu interfejsu czujnika

Opis elementów na module interfejsu:

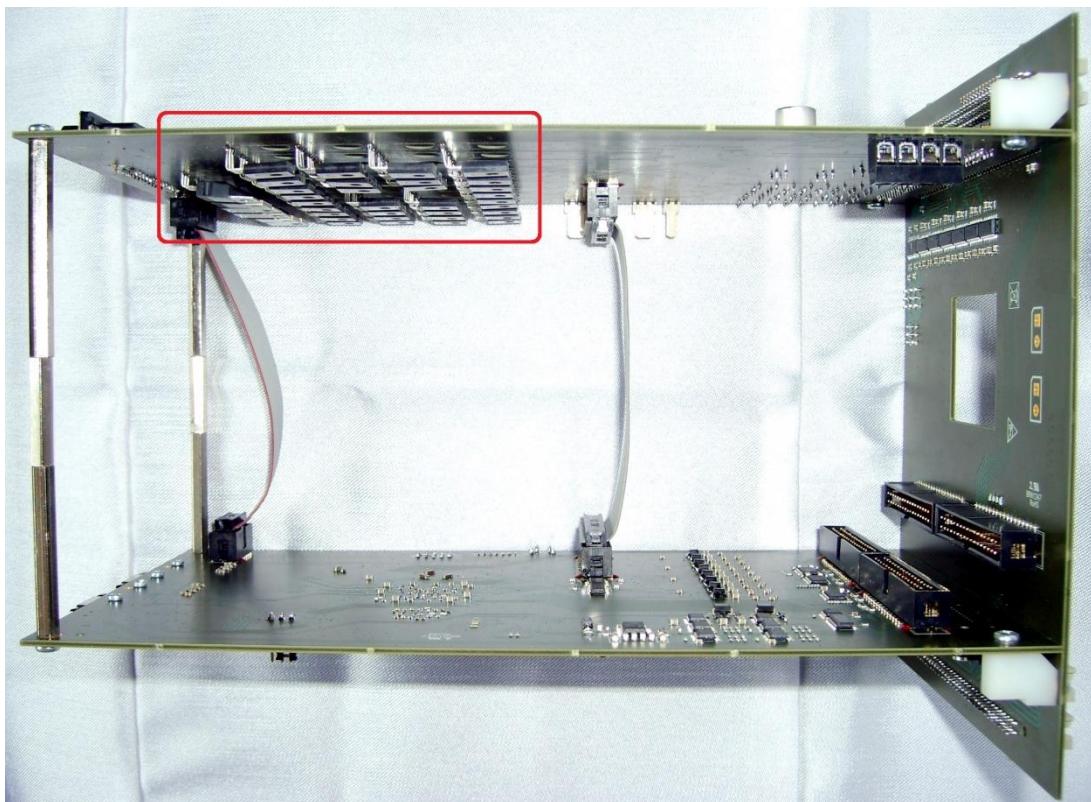
- 1) złącze DIN41612 wariant Q do przesyłania sygnałów analogowych
- 2) złącze DIN41612 wariant Q do przesyłania sygnałów cyfrowych (LVDS)
- 3) złącze DIN41612 wariant R służące do zasilania, przesyłania danych na liniach CMOS oraz sterowania czujnikami CCD
- 4) miejsce do zamontowania czujników temperatury
- 5) otwór wycięty w celu doprowadzenia tzw. *cold finger-a* do chłodzenia czujników
- 6) zworki konfigurujące poziomy napięć sygnałów trójstanowych

Moduł interfejsu montuje się prostopadle do modułów zarządzania i stabilizatorów. Widoczne na rysunku otwory montażowe służą do skręcenia za pomocą śrub M3 wszystkich trzech modułów w całość. Projektując płytę nakładkową z czujnikiem użytkownika testera musi tak umieścić czujnik, aby jego obudowa przylegała jak największą częścią do układu chłodzącego wystającego przez otwór oznaczony na powyższym rysunku numerem 5.

W celu zmniejszenia kosztów produkcji, projekty wszystkich płyt złożono w panel. Dzięki temu uruchomienie produkcji (wykonanie niezbędnej dokumentacji fabrycznej) było znacznie tańsze niż dla trzech płyt oddzielnie.



Rysunek 88 – tester czujników optycznych bez elementów chłodzenia i obudowy



Rysunek 89 – tester czujników optycznych widziany z góry. Czerwoną ramką zaznaczono elementy mocujące montowane do radiatora

Płytki urządzenia złożonego w całość mają kształt litery Π. Na rysunku 89 przedstawiającym wygląd testera z góry, zaznaczono elementy mocy które podczas normalnej pracy mogą osiągać wysoką temperaturę. Zaznaczono też miejsce przewidziane na umieszczenie tam radiatora z wentylatorem.

4.4 Oprogramowanie mikrokontrolera

Oprogramowanie mikrokontrolera sterującego napisano w języku C. Do realizacji użyto środowiska AtmelStudio z kompilatorem AVR-GCC i bibliotekami AVR Libc, obsługę peryferiów zapewniają sterowniki napisane z wykorzystaniem bibliotek dostarczonych przez producenta mikrokontrolera. Do spełnienia wymaganej funkcjonalności (aplikacja + bootloader) napisano dwa programy i umieszczono je w różnych obszarach pamięci FLASH mikrokontrolera.

4.4.1 Aplikacja

Aplikację umieściły pod adresem 0x00. Po uruchomieniu się mikrokontrolera następuje ustawienie lokalizacji wektorów przerwań (funkcja *interruptInit()*) a następnie program przechodzi do funkcji *main()*. Na początku odblokowywane są przerwania a potem uruchamiana jest funkcja *mainInitialization()* odpowiedzialna za inicjalizację peryferiów mikrokontrolera jak i wszystkich współpracujących z nim elementów. Na początku ustawia źródło taktowania – przełącza z wewnętrznego oscylatora RC na generator stabilizowany zewnętrznym oscylatorem kwarcowym. W kolejnych krokach konfigurowane są uniwersalne porty mikrokontrolera, jego licznik F0 i magistrala zewnętrznej pamięci RAM służąca do komunikacji z FPGA. Po tych operacjach mikrokontroler oczekuje bezczynnie jedną sekundę na poprawne uruchomienie się innych elementów na modułach zarządzania i stabilizatorów. Następnie uruchamiane są zewnętrzne interfejsy SPI, IIC oraz konfigurowane przez nie podzespoły:

- przetworniki C/A – ustawianie napięć wyjściowych z układu regulacji napięć drugiego stopnia (regulowane stabilizatory liniowe);
- przetworniki A/C sygnału wideo;
- wyłączone są przekaźniki sekwencjonera napięć;
- wyjścia sterowników matryc CCD są ustawiane w stan wysokiej impedancji;
- włączana jest kontrola temperatury i sterownik wentylatorów;
- rozpoczyna się generacja sygnału taktującego FPGA z układu dystrybucji zegara.

Na koniec procedury startowej inicjalizowany jest sprzętowy interfejs UART oraz używający go protokół komunikacji z komputerem. Po tych czynnościami przygotowawczymi program wchodzi w nieskończoną pętlę w której dokonuje się pomiar prądu oraz obsługa protokołu komunikacyjnego z komputerem.

4.4.1.1 Protokół komunikacji z PC

Mikrokontroler odbiera komunikaty sterujące z komputera oraz odsyła do niego odpowiedzi za pomocą interfejsu UART. Poniżej przedstawiono parametry transmisji:

- Liczba baudów na sekundę (*baud rate*): 115 200
- Bity danych (*data bits*): 8
- Parzystość (*parity*): brak
- Bity stopu (*stop bits*): 1
- Sterowanie przepływem (*handshaking*): brak

Rozmiar bufora wejściowego i wyjściowego wynosi 128 bajtów. Transmisja odbywa się w trybie half – duplex (urządzenia komunikujące się ze sobą mają oddzielne kanały nadawcze i odbiorcze ale nigdy nie nadają i nie odbierają jednocześnie). Na potrzeby niniejszej pracy dyplomowej opracowano protokół komunikacyjny pomiędzy testerem a komputerem sterującym. Tester odbiera i transmituje dane za pomocą pakietów składających się z nagłówka i komend.

Nagłówek wysyła inicjator transmisji i informuje odbiorcę o długości wysyłanego pakietu. Składa się z czterech bajtów: TCOx gdzie TCO (Tester Czujników Optycznych) to nazwa zapisana w kodzie ASCII a x to bajt informujący o długości pakietu (1 – 128 bajtów). Po potwierdzeniu przez adresata gotowości odbioru danych, rozpoczyna się transmisja pakietu z komendami. Przykładowe komendy tekstowe opisane w niniejszej pracy czcionką Courier New są jedynie symbolem, w rzeczywistości komendy są liczbami (ich wartości są przedstawione w pliku *uart_commands.h*). Spacja pomiędzy dwoma komendami np. `UART_TCO_PRESENT` `UART_OK` jest jedynie znakiem drukarskim. Fizycznie są to dwa kolejne bajty (kody komend). Jeżeli częścią komendy są dane binarne (np. `BAJT1` `BAJT2`) to `BAJT1` jest bajtem starszym, `BAJT2` jest bajtem młodszym (tryb *Big Endian*). W pojedynczym pakiecie (czyli do 128 bajtów) możliwe jest wysłanie kilku komend jedna po drugiej, oddzielonych separatorem „|” (kod ASCII – 124).

Poniżej przedstawiono przykładową transmisję:

Numer pakietu	Nadawca	Zawartość
1	PC	TC05
5 oznacza, że w pakiecie znajduje się pięć bajtów		
2	TCO	UART_OK
odbiorca potwierdza jednym bajtem gotowość do odebrania 5 bajtów		
3	PC	komenda1 komenda2 komenda3
5 bajtów, 3 bajty komend i 2 bajty separatorów. Po tym fragmencie tester interpretuje rozkazy, przygotowuje odpowiedź i rozpoczyna transmisję zwrotną		
4	TCO	TC08
8 oznacza, że w pakiecie znajduje się osiem bajtów		
5	PC	UART_OK
odbiorca potwierdza jednym bajtem gotowość do odebrania 8 bajtów		
6	TCO	komenda1 UART_OK komenda2 UART_ERR komenda3 UART_OK
Z powyższej transmisji wynika, że komendy nr 1 i 3 zostały wykonane poprawnie, druga zwróciła błąd.		

Tabela 10 – przykładowa transmisja pomiędzy testerem czujników optycznych i komputerem

Komendy można podzielić na inicjalizacyjne i sterujące. Te pierwsze są używane do detekcji urządzenia przez komputer, drugie do właściwych zadań. Przewidziano sytuację, gdy pojedyncza transmisja byłaby dłuższa niż 128 bajtów. Aby po informować odbiorcę o tym fakcie należy jako ostatnią komendę wysłać UART_WAIT_FOR_NEXT_PACKET. Oznacza to, że reszta danych zostanie przesłana w kolejnej transmisji. Mikrokontroler może zostać zdalnie przełączony w tryb bootloadera za pomocą komendy UART_BOOTLOADER.

4.4.2 Bootloader

Program umożliwiający samoprogramowanie się mikrokontrolera umieszczono pod adresem 0x20000. Jest to wydzielony obszar pamięci FLASH, który do zapisu bądź skasowania wymaga oddzielnego zestawu komend. Program rozpoczyna się od funkcji *interruptInit()* ustawiającej adresy wektorów przerwań na początek sekcji bootloadera. Następnie jest wywoływana funkcja *main()*, w której następuje sprawdzenie przyczyny wejścia mikrokontrolera w tryb bootloadera. Jeśli jest to normalne wywołanie

spowodowane włączeniem zasilania (zawsze pierwszy uruchamia się bootloader, potem aplikacja), program skacze pod adres 0x00 i rozpoczyna się wykonywanie aplikacji głównej. Jeśli jednak wywołanie było spowodowane żądaniem programowania pamięci, włączane są przerwania i uruchamia się procedura inicjalizacji wymaganych podzespołów (ustawienie zegara taktującego rdzeń i peryferia, konfiguracja uniwersalnych portów oraz licznika F0, ustawienie interfejsu UART) i uruchomienie protokołu komunikacyjnego bootloadera z komputerem. Na koniec program przechodzi do nieskończonej pętli obsługującej wspomniany protokół. Po poprawnym zapisaniu pamięci FLASH bootloader kończy pracę, skacze pod adres 0x00 i rozpoczyna się uruchamianie aplikacji głównej.

4.4.2.1 Protokół komunikacji bootloadera z PC

Protokół komunikacyjny jest bardzo podobny do tego, użytego w protokole z aplikacji głównej. Opiera się na tych samych parametrach transmisji (liczba baudów na sekundę, bity danych, parzystości i stopu, sposób sterowania przepływem, tryb half – duplex) za wyjątkiem rozmiarów buforów, które w tym przypadku wynoszą po 517 bajtów (liczba wynika z rozmiaru strony pamięci FLASH mikrokontrolera). Inaczej wygląda też początek transmisji. Nagłówek składa się z sześciu bajtów: BOOTxx gdzie BOOT to nazwa zapisana w kodzie ASCII a xx to dwa bajty informujące o długości pakietu. Komendy wraz z ich kodami znajdują się w pliku *boot_uart_commands.h*. Rozpoczynają się od przedrostka *BOOT_*. Reszta, czyli sposób przesyłania komend, danych binarnych, separatorów oraz sam sposób przesyłania pakietu (nagłówek – odpowiedź – transmisja danych) nie uległy zmianie.

5 Uruchamianie urządzenia

5.1 Zasilacz główny

Uruchamianie testera rozpoczęto od przygotowania zasilacza głównego. Na początku zamocowano do elementów mocy radiator na podkładkach izolacyjnych. Po zainstalowaniu transformatorów sieciowych dołączono je do napięcia 230V AC. Sprawdzono poprawność napięć wyjściowych oraz czy działa włączanie/wyłączanie stabilizatorów (według rysunku 81).

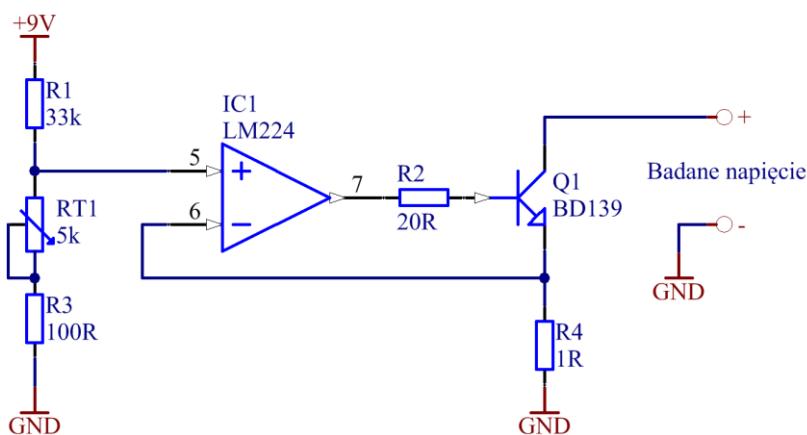
Napięcie nominalne	7 V	18 V	15 V	28 V	-18 V
Napięcie zmierzone	6,98 V	18,12 V	14,91 V	28,10 V	-18,02

Tabela 11 – zmierzone stałe napięcia wyjściowe zasilacza

Następnie przygotowano proste źródło prądowe którym sprawdzono stabilność tychże napięć pod obciążeniu stałym prądem o natężeniu 1A. Źródło zasilono z baterii a tranzystor mocy wyposażono w radiator z wentylatorem. Poniżej przedstawiono wartości napięć pod obciążeniem. Zmieniły się o mniej niż 2% co jest wartością zadowalającą.

Napięcie nominalne	7 V	18 V	15 V	28 V	-18 V
Napięcie zmierzone	6,93 V	18,00 V	14,84 V	27,96 V	-17,96

Tabela 12 – napięcia wyjściowe zasilacza przy obciążeniu ich prądem 1A



Rysunek 90 – schemat źródła prądowego używanego do testów obciążeniowych

Ostatnim testem zasilacza było sprawdzenie zabezpieczeń nadprądowych. W tym celu kolejno zwierano wyjścia na okres około 10 sekund a następnie rozwierano i ponownie sprawdzano napięcia wyjściowe. Żaden ze stabilizatorów nie uszkodził się.

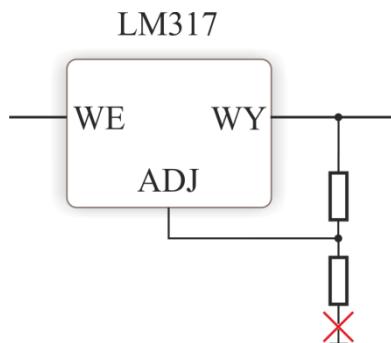
5.2 Moduł stabilizatorów

W drugim kroku uruchomiono płytę modułu stabilizatorów. Tranzystory regulatorów drugiego stopnia przymocowano do radiatora oraz wykonano dwudziestopięciowy przewód łączący moduł z zasilaczem głównym. Po włączeniu napięć głównych przeprowadzono pomiar napięć na wyjściach regulatorów pierwszego stopnia. Wszystkie były poprawne.

Ostatnim elementem wstępniego testu modułu stabilizatorów było zbadanie sekwencjonera napięć a dokładniej obwodu odpowiedzialnego za monitorowanie napięcia +15V. Zmierzono, że układ załączał przekaźniki przy napięciu 14,31 V a wyłączał przy 14,54 V.

5.3 Moduł zarządzania

W trzecim kroku uruchomiono moduł zarządzania. Połączono go taśmami IDC z modułem stabilizatorów i sprawdzono wartości napięć zasilających. Wszystkie za wyjątkiem jednego były poprawne. Okazało się, że rezystor w sprzężeniu zwrotnym stabilizatora został źle przylutowany (efekt nagrobkowy) i w konsekwencji regulator nasyciał się dając na wyjściu zamiast napięcia 1,5V napięcie około 3V.



Rysunek 91 – schemat błędного montażu

Doprowadziło to do nieodwracalnego uszkodzenia układu pamięci SDRAM DDR3. Należało poprawnie przylutować wspomniany rezystor, sprawdzić wartość napięcia i na końcu wymienić pamięć na nową. Kolejnym etapem była próba skomunikowania się z układami programowalnymi. Podłączono zatem debugger AVR Dragon i za pośrednictwem środowiska Atmel Studio odczytano rejestrów konfiguracyjnych mikrokontrolera ATXmega. FPGA dołączono do komputera za pomocą programatora Xilinx Platform Cable USB II. Aplikacja iMPACT (wchodząca w skład pakietu Xilinx ISE) odnalazła układ programowalny i wykazała jego gotowość do zaprogramowania. Wstępne testy modułu zarządzania zakończyła konfiguracja układu interfejsu FT2232H.

Poprzez dedykowaną aplikację FT PROG ustawiono sposób zasilania z magistrali USB, interfejs A skonfigurowana jako UART, interfejs B jako FIFO245.

5.4 Finalne testy złożonego urządzenia

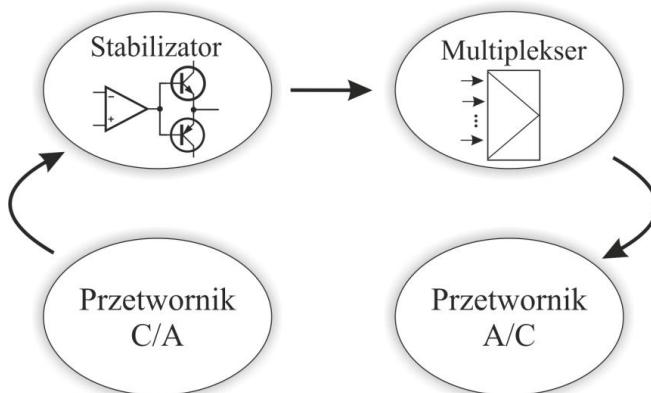
Ostatni, czwarty krok uruchamiania polegał na finalnych testach wszystkich podzespołów. Aby je przeprowadzić należało sukcesywnie dopisywać sterowniki do badanych układów dla mikrokontrolera. Oscylator VCO i dzielniki częstotliwości wbudowane w układ dystrybucji zegara skonfigurowano w taki sposób, że na wyjściach nr 0 i 3 pojawił się sygnał w standardzie LVDS i częstotliwości 100 MHz. Następnie sprawdzono poziomy napięć logicznych interfejsu CMOS. Zmiana standardu z LVCMOS (3,3V) do CMOS (5V) i odwrotnie przebiegała prawidłowo.

Największe problemy sprawiły przetworniki A/C sygnału video typu VSP5621. Okazało się, że nie działają niektóre tryby transmisji SPI opisane przez producenta w nocy katalogowej. Na początku ustalono, że do przesyłania i odczytywania danych konfiguracyjnych użyty będzie standardowy, czteroprzewodowy interfejs z oddzielnymi liniami do odczytu i zapisu (MISO i MOSI). Było to najwygodniejsze z programistycznego punktu widzenia, ponieważ procesor posiada sprzętową obsługę SPI. Próby nawiązania kontaktu z przetwornikami nie przynosiły przez dłuższy czas żadnych efektów, sprawdzano wiele sposobów transmisji włącznie ze zmniejszeniem częstotliwości linii SCLK do pojedynczych kiloherców. Jedynym działającym rozwiązaniem problemu okazało się wykorzystanie transmisji trójprzewodowej gdzie linia danych pracowała w trybie *half-duplex*. Ten rodzaj nie jest wspierany sprzętowo, cała obsługa została zrealizowana w sposób programowy co znacznie spowolniło transmisję pomiędzy mikrokontrolerem i przetwornikami.

Po sprawdzeniu modułu zarządzania należało przetestować podzespoły podłączone pod magistrale na module stabilizatorów. Na początku zaplanowano sprawdzenie komunikacji z przetwornikami C/A sterującymi napięciami wyjściowymi układów regulacji napięć drugiego stopnia. Po napisaniu sterownika okazało się, że przetworniki nie reagują na rozkazy. Dogłębna analiza kodu oraz sprawdzenie sygnałów oscyloskopem wykluczyły błąd po stronie mikrokontrolera. Usterka wystąpiła na obwodzie drukowanym i polegała na błędny podłączeniu linii SCLK i CS (magistrala SPI) do przetworników. Po poprawce przetworniki zaczęły reagować na komendy i zmieniały napięcia wyjściowe. Zmieniając wartości wzmacnienia i napięć

polaryzujących wejścia wzmacniaczy operacyjnych skalibrowano układy regulacji napięć drugiego stopnia.

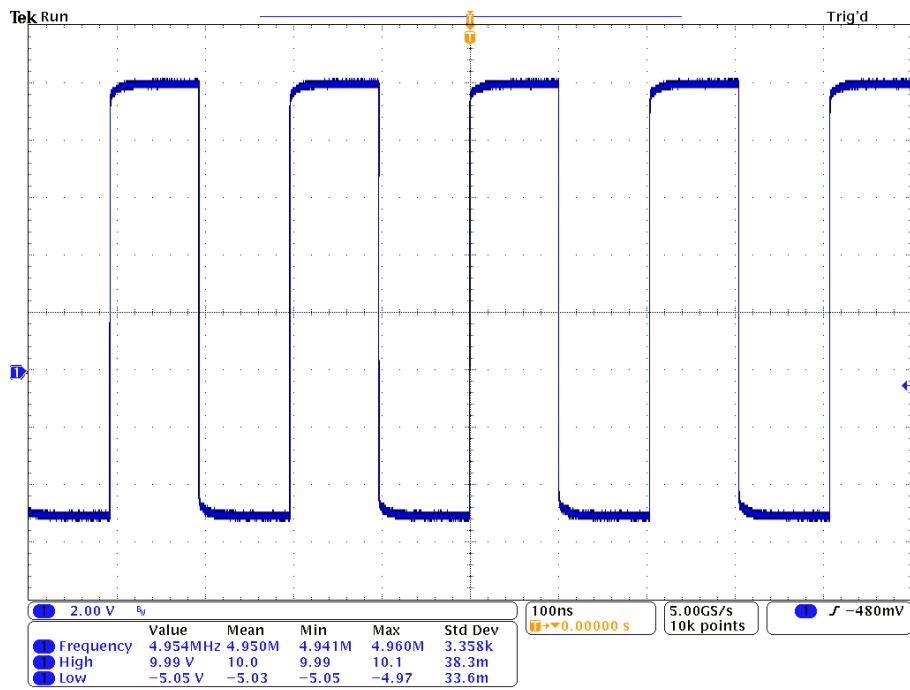
Kolejno uruchomiono pomiar prądu wyjściowego tych regulatorów (należało napisać sterownik do obsługi szybkich przetworników A/C i skontrolować ich wskazania na podstawie amperomierza) oraz blok kalibracji napięć regulatorów drugiego stopnia. Ten ostatni wymagał obsługi multipleksera (załączanie kluczy poprzez rejestr przesuwny) oraz precyzyjnego przetwornika A/C. Po uruchomieniu bloku kalibracji przeprowadzono nim pomiar napięć wyjściowych stabilizatorów. Polegał on na wpisaniu losowej wartości do przetwornika C/A, przełączenia multipleksera na odpowiedni kanał i sczytanie wartości przez precyzyjny przetwornik A/C. Wyniki były bardzo zadowalające, ponieważ odczytane wartości niewiele różniły się od wpisywanych (kilkanaście mV) i co najważniejsze, były to błędy stałe, które w prosty sposób usunięto programowo.



Rysunek 92 – schemat układu korekcji napięć

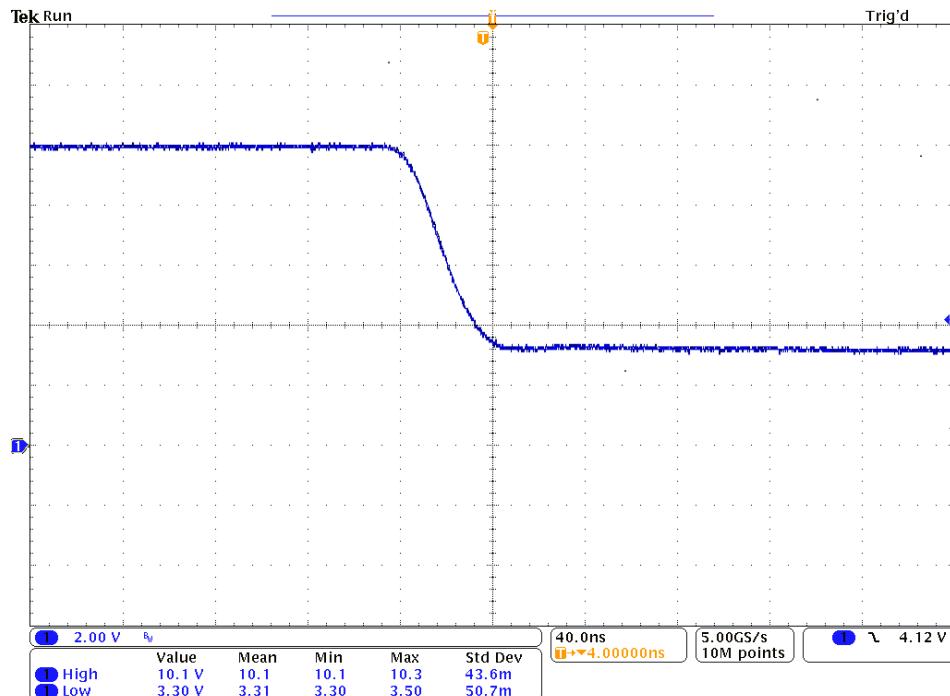
Następnie napisano obsługę i sprawdzono sekwencjoner napięć. Na każdym kanale ustaloniono inne napięcie i zestawem woltomierzy badano kolejność ich pojawiania się na złączu w module interfejsu (złącze nr 3 na rysunku 87). Sprawdzano przy tym czy nie występują przekłamania, czyli nieplanowane włączenia bądź wyłączenia któregoś z przekaźników.

Kontrolę poprawności działania sterowników matryc CCD rozpoczęto od obciążenia ich do masy kondensatorami o wartości 10 nF. Ustawiono maksymalne wartości napięć zasilających stopnie wyjściowe sterowników (-5V i 10V) i wysterowano je przebiegiem prostokątnym o częstotliwości ok. 5 MHz oraz amplitudzie 3,3V. Do wyjścia podłączono oscyloskop na którym zaobserwowano przebieg o takiej samej częstotliwości, niskim poziomie logicznym na poziomie -5V i wysokim na poziomie 10V.



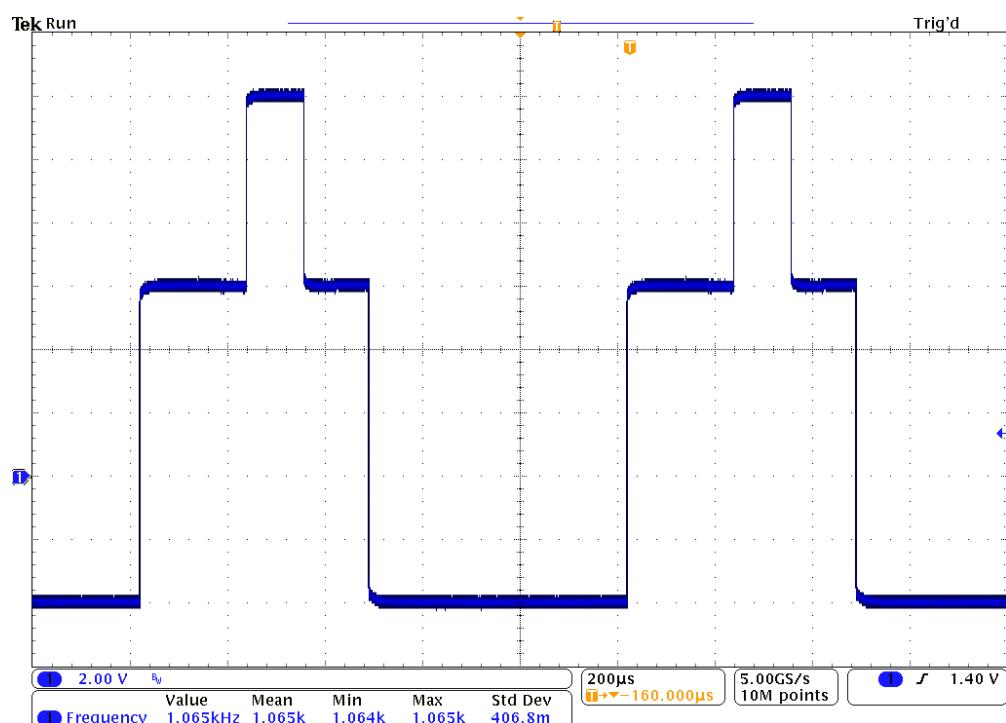
Rysunek 93 – przebieg testowy na wyjściu sterownika matryc CCD

Należało sprawdzić również czy sterowniki poprawnie przechodzą w stan wysokiej impedancji. W tym celu podłączono jeden koniec rezystora $1\text{k}\Omega$ do wyjścia sterownika a drugi do napięcia 3,3V. Wejście sygnałowe sterownika ustawiono w stan wysoki a następnie wejście *Enable* w stan niski. Zaobserwowano monotoniczny spadek napięcia od wartości 10V do napięcia 3,3V.



Rysunek 94 – napięcie na wyjściu sterownika CCD w momencie przejścia w stan wysokiej impedancji

Test sterownika sygnałów trójstanowych rozpoczęto od napisania automatu dla FPGA który steruje trzema kluczami analogowymi K1, K2 i K3. Należało zadbać, aby nie załączyć dwóch z nich naraz (doprowadziłoby to do zwarcia dwóch linii zasilających oraz zadziałania zabezpieczenia nadprądowego). Częstotliwość sygnału trójstanowego ustalono na 1 kHz. Do kluczy analogowych dołączono napięcia zasilające: -4V do klucza odpowiadającego za niski stan logiczny, 6V do klucza tworzącego poziom średni oraz 12 V do klucza załączającego wysoki stan logiczny. Wyjście sterownika obciążono pojemnością 4,7 nF charakterystyczną dla czujników CCD/FPA. Sterownik zadziałał poprawnie.



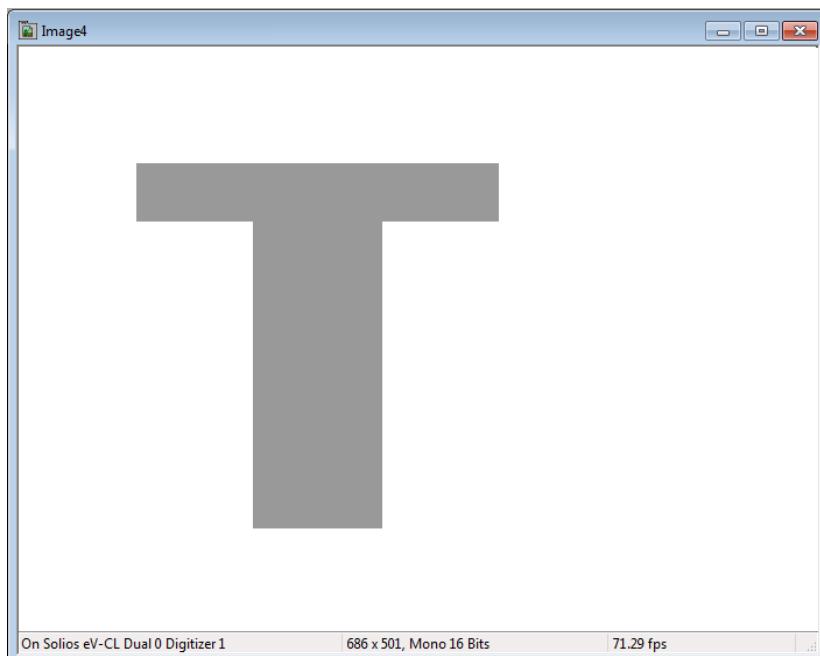
Rysunek 95 – przykładowy sygnał trójstanowy

Kontroler temperatury i wentylatorów LM96000 jest sterowany przez magistralę SMBus 2.0, pochodną interfejsu IIC. Na początku w kodzie mikrokontrolera zaimplementowano obsługę wentylatorów – odczyt oraz regulację obrotów wirników. W tym celu należało wpisać do odpowiedniego rejestru wartość współczynnika PWM oraz komendę START. Drugim krokiem było podłączenie do kontrolera czujników temperatury (dioda, złącze baza-emiter tranzystora MMBT3904) oraz odczytanie jej wartości. Według termometru pokojowego, temperatura w pomieszczeniu wynosiła 22 °C, według kontrolera 23 °C. Wynik mieścił się w granicach błędu, który dla

LM96000 wynosi ± 3 °C. Podobny test przeprowadzono podgrzewając jednocześnie termometr pokojowy i tranzystor za pomocą stacji do lutowania na gorące powietrze. Wówczas ten pierwszy pokazał 65 °C, drugi 67 °C (błąd rośnie wraz ze wzrostem temperatury [88]). Wskazania kontrolera należy zatem uznać za poprawne. Ostatnim testem było włączenie w kontrolerze trybu automatycznego, w którym on sam w zależności od temperatury będzie regulował obroty wentylatorów. Powtórnie podgrzano czujnik temperatury – obroty wentylatorów zwiększały się płynnie wraz ze wzrostem temperatury i zmniejszały w trakcie stygnięcia czujnika.

Pamięć SDRAM DDR3, dołączoną do FPGA, przetestowano poprzez cykliczny zapis i odczyt zawartości jej komórek. W tym celu uruchomiono *Core Generator* (Xilinx ISE) i za pomocą *Memory Interface Generator* wygenerowano kod HDL obsługujący wspomnianą pamięć. Zapisywano do niej szesnastobitowe słowa w postaci 0xDEAD 0xBEEF pod liniowo rosnące adresy. Po zapełnieniu pamięci przeprowadzono proces odwrotny, odczytywano komórki i porównywano ze wzorcem. Pamięć RAM przeszła ten test pomyślnie.

Test interfejsu Camera Link przeprowadzono przy użyciu Frame Grabbera Matrox Solios eV-CL [97] oraz kodu HDL napisanego w ramach innej pracy magisterskiej [28]. Stanowisko testowe składało się z komputera wyposażonego we wspomniany Frame Grabber i oprogramowanie do niego, kabli Camera Link oraz testera czujników optycznych. Po skonfigurowaniu urządzenia przechwytyującego i wgraniu konfiguracji do FPGA na monitorze ukazał się poprawny obraz kontrolny. Przedstawiono go poniżej.



Rysunek 96 – obraz kontrolny potwierdzający poprawność działania interfejsu Camera Link

Należało przetestować zapis konfiguracji FPGA do jego zewnętrznej pamięci FLASH typu M25P16-VMN6P [98]. W tym celu posłużyono się dwiema metodami opisanymi w rozdziale 3.1.1. Pierwsza polegała na podłączeniu programatora i wgraniu zawartości poprzez interfejs JTAG oraz program iMPACT. Druga bazowała na użytym w module zarządzania układzie FT2232, skonfigurowanym do pracy z interfejsem SPI. Od strony komputera zarządzał nim program FlashROM [99]. W obu przypadkach konfiguracja wgrywała się poprawnie a układ FPGA, po wczytaniu jej z pamięci, działał bez zarzutu.

Niektóre podzespoły testera zaraz po włączeniu zasilania zachowywały się niestabilnie i nieprzewidywalnie. Problem ten był szczególnie widoczny po dłuższej przerwie w zasilaniu. Bardzo często nie działał układ dystrybucji zegara, przetworniki C/A czy też kontroler temperatury. Okazało się, że mikrokontroler po uruchomieniu zasilania zbyt szybko przystępował do konfiguracji układów peryferyjnych co w skrajnych przypadkach doprowadzało nawet do jego zawieszania się. Problem rozwiązano w sposób programowy. Po skonfigurowaniu się, mikrokontroler oczekuje jeszcze 500 ms i dopiero wtedy rozpoczyna się procedura inicjacji zewnętrznych podzespołów.

Przeprowadzono pomiar polegający na ustaleniu granicznych parametrów sygnałów które może wytwarzać tester czujników optycznych. Przeanalizowano interfejsy cyfrowe CMOS, LVDS oraz sygnały generowane przez sterowniki matryc CCD i sterowniki sygnałów trójstanowych. Częstotliwości graniczne zmierzono dla następujących kryteriów:

- dla sygnałów CMOS i pochodzących ze sterownika matryc CCD: zmiana współczynnika wypełnienia sygnału prostokątnego o $\pm 5\%$ w stosunku do wypełnienia nominalnego czyli 50%;
- dla sterownika sygnału trójstanowego: brak występowania jednego poziomu logicznego (niskiego, średniego lub wysokiego) lub zmiana współczynnika wypełnienia sygnału prostokątnego o $\pm 5\%$ w stosunku do wypełnienia nominalnego czyli 50% dla sygnału dwustanowego;
- dla interfejsu LVDS: spadek napięcia różnicowego na wyjściach buforów do 300mV.

Poniżej przedstawiono wspomniane parametry:

Interfejs	LVCMOS 3,3V	LVDS	Sterownik sygnału trójstanowego	Sterownik matryc CCD
Częstotliwość maksymalna [MHz]	42,3	405,8	2,4	19,8

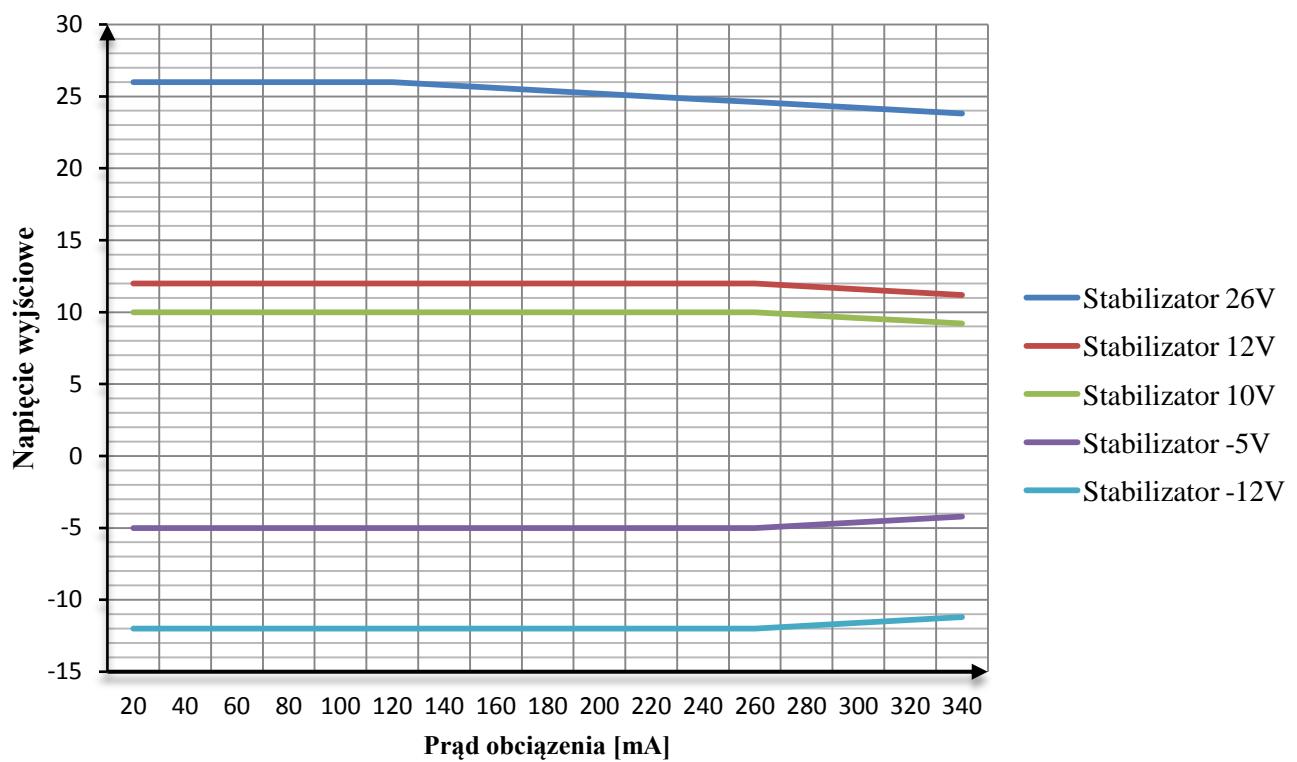
Tabela 13 – maksymalne częstotliwości sygnałów, które może wygenerować uniwersalny tester czujników optycznych

Interfejs	LVCMOS 3,3V	Sterownik sygnału trójstanowego	Sterownik matryc CCD
Czas narastania/opadania dla częstotliwości $f=1\text{kHz}$ [ns]	3/3	110/120	14/16

Tabela 14 – czasy narastania i opadania zboczy sygnałów generowanych przez uniwersalny tester czujników optycznych

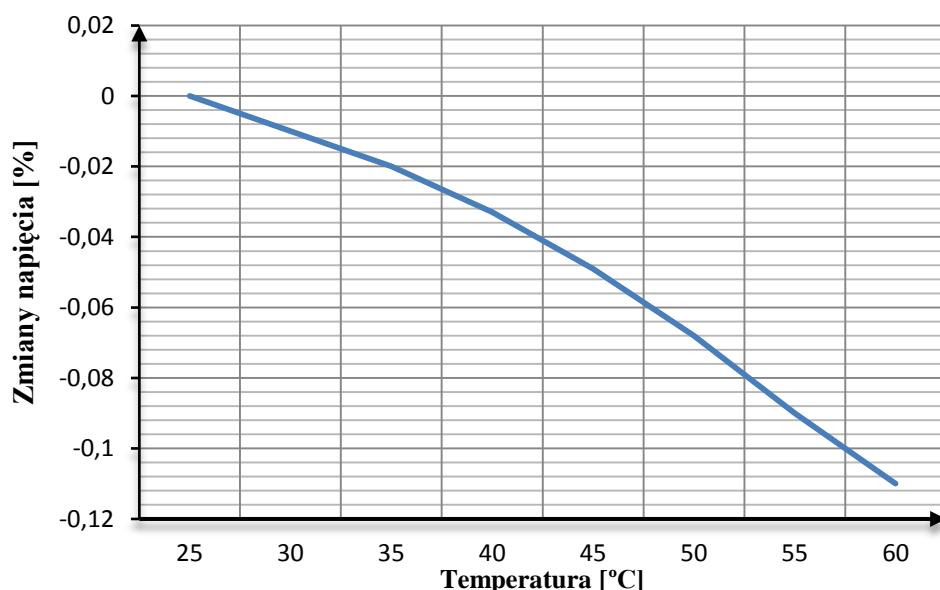
Na koniec przeprowadzono testy wydajnościowe i jakościowe układów regulacji drugiego stopnia. Polegały one na sprawdzeniu wydajności prądowej, stabilności termicznej, impedancji wyjściowej oraz szumów. Wszystkie testy przeprowadzono przy pomocy multimetru Amprobe 37XR-A i oscyloskopu z wbudowanym analizatorem widma Tektronix MDO4104-3.

Pierwszy z tej grupy polegał na przetestowaniu dla jakiego obciążenia wzmacniacze błędu przestają stabilizować napięcia. Przeprowadzono je dla wszystkich typów regulatorów i dla ich maksymalnych dopuszczalnych napięć wyjściowych czyli 28V, 12V, 10V, -5V i -12V. Odwzorowuje to najgorsze warunki pracy tj. wtedy, kiedy wzmacniacz ma najmniejszy zapas napięcia korygującego podawanego na bazę tranzystora stopnia mocy. Elementem obciążającym było regulowane źródło prądowe, którego schemat przedstawiono na rysunku 90. Na czas testu bezpieczniki wyjściowe zostały zwarte.



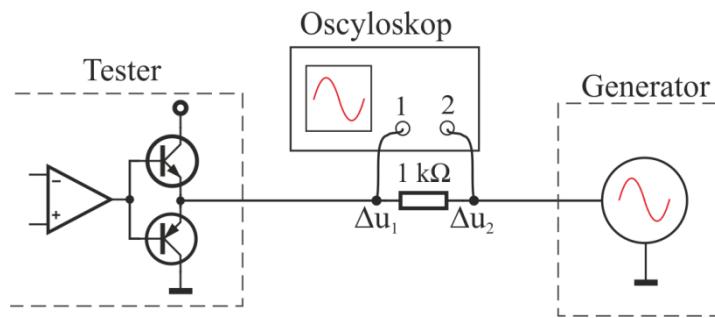
Wykres 1 – zmiany napięcia w funkcji obciążenia

Drugim testem regulatorów był wpływ zmian temperatury na stabilność napięcia wyjściowego. Na potrzeby pomiarów zbudowano komorę termiczną z grzałką i termostatem (aparatura pomiarowa znajdowała się poza komorą). Zachowanie się stabilizatorów badano w zakresie od 25 do 60 °C z krokiem 5 °C. Wszystkie charakterystyki termiczne napięć były ze sobą zbieżne – napięcia na wszystkich zmieniały się w ten sam sposób.

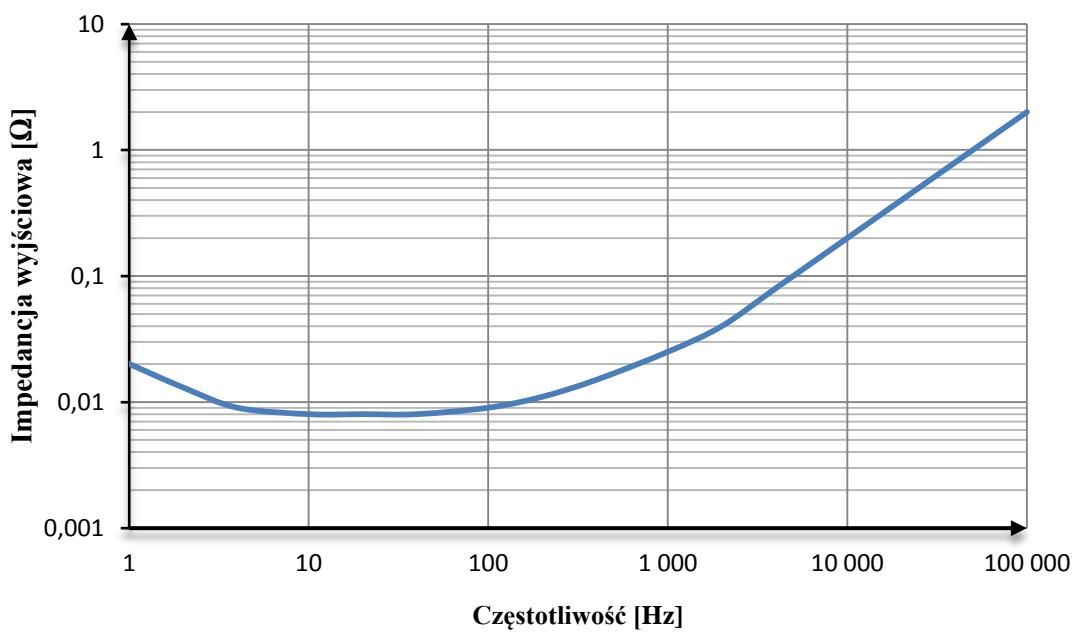


Wykres 2 – wzajemne zmiany napięcia wyjściowego regulatorów drugiego stopnia w funkcji temperatury, napięcie wyjściowe 5 V, prąd obciążenia 50 mA

Trzecim testem był pomiar impedancji wyjściowej stabilizatorów w funkcji częstotliwości. W tym celu wyjście jednego regulatora podłączono poprzez szeregowy rezystor $1\text{ k}\Omega$ do generatora funkcyjnego Voltcraft MXG-9810A. Generator wytwarzał przebieg sinusoidalny o stałej amplitudzie 5V i częstotliwości w zakresie 1 Hz – 100 kHz. Impedancję określono na podstawie zmian napięcia i prądu wyjściowego. Stabilizator nie był obciążony żadną pojemnością filtrującą.



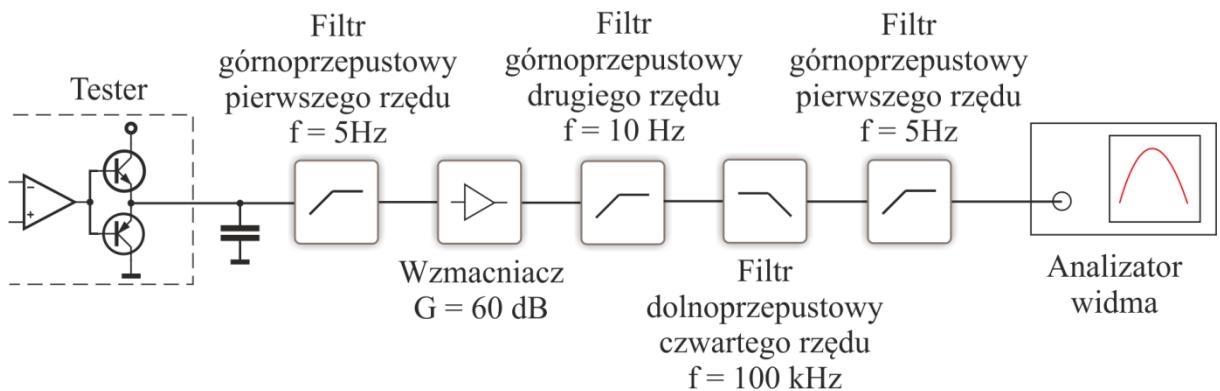
Rysunek 97 – stanowisko pomiarowe do badania impedancji wyjściowej regulatorów drugiego stopnia



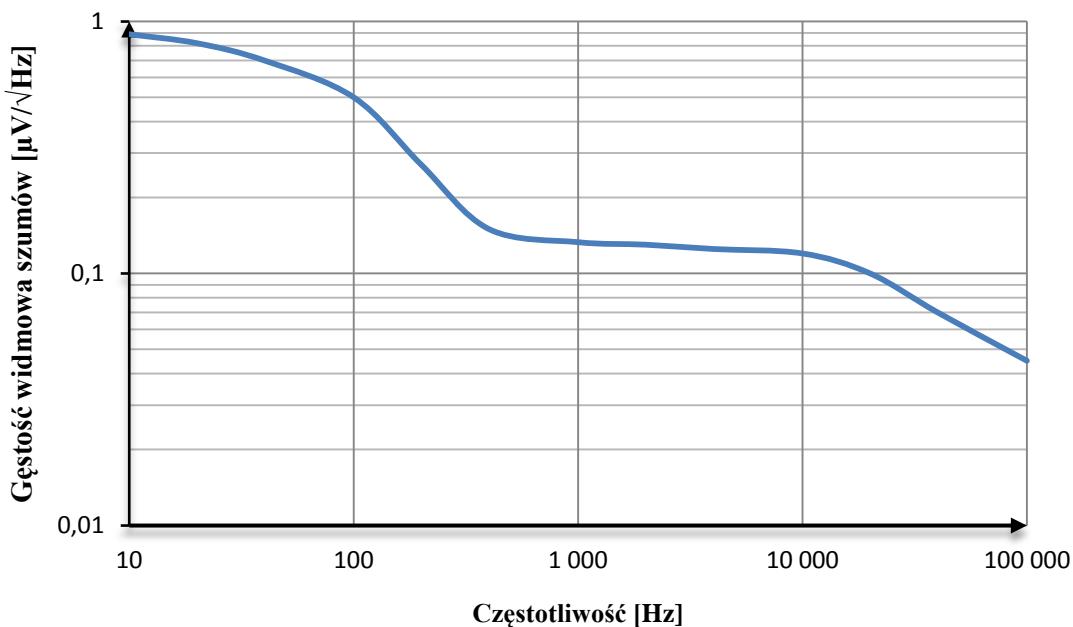
Wykres 3 – impedancja wyjściowa regulatorów drugiego stopnia w funkcji częstotliwości, napięcie wyjściowe 5 V, prąd obciążenia 5 mA, bez kondensatora wyjściowego

Ostatnim, czwartym testem układów regulacji drugiego stopnia był pomiar parametrów szumowych [100]. Stanowisko pomiarowe składało się z użytej wcześniej komory termicznej (zaekranowanej), wzmacniacza i filtrów oraz z analizatora widma. Badany obiekt został umieszczony w klatce Faradya w celu odseparowania go od zakłóceń zewnętrznych. Układ wzmacnienia i filtrów zrealizowano na niskoszumnych

wzmacniaczach operacyjnych LT1028 [101]. Odfiltrowałały one niepożądane sygnały poniżej 10 Hz oraz powyżej 100 kHz (filtry czwartego rzędu) i wzmacniły szum o 60 dB. Tak uformowany sygnał podano na wejście analizatora widma.



Rysunek 98 – stanowisko pomiarowe do badania parametrów szumowych regulatorów drugiego stopnia



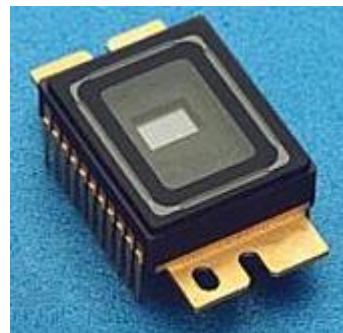
Wykres 4 – gęstość widmowa szumów regulatora drugiego stopnia, napięcie wyjściowe 5V, prąd obciążenia 50 mA, pojemność na wyjściu stabilizatora 100 nF

Badania regulatorów drugiego stopnia były ostatnim testem podzespołów elektronicznych. Na koniec należało sprawdzić jeszcze komunikację pomiędzy mikrokontrolerem i komputerem PC. W tym celu wykorzystano program Bray's Terminal [102] służący jako terminal do wysyłania i odbierania danych binarnych przez wirtualny port COM. Aby uprościć testy, wszystkie możliwe do wysłania komendy zdefiniowano jako makra. Badanie prawidłowości komunikacji polegało na dokładnym odwzorowaniu protokołu transmisyjnego (rozdział 4.4.1.1) oraz sprawdzeniu, jak

zachowa się program w sytuacjach awaryjnych związanych np. z błędnie zinterpretowanym znakiem bądź przerwaniem transmisji. Program po modyfikacjach doprowadzono do wersji stabilnej. Poprawnie reagował na wszystkie wysłane mu polecenia oraz potrafił rozpoznać błędy transmisji.

6 Wzorcowa aplikacja czujnika na przykładzie badania przetwornika Texas Instruments TC253 [37]

Zmontowany i przetestowany tester czujników optycznych posłużył do zbadania przetwornika TC253. Jest to dwufazowy czujnik CCD typu *Frame Transfer* (z transferem klatki), *front illuminated* (oświetlany z przodu), o rozdzielczości 680×500 pikseli i o przekątnej matrycy $1/3$ cala. Na jego wyjściu otrzymuje się czarno-biały obraz. Posiada piksele o rozdzielczości $7,4 \times 7,4 \mu\text{m}$, elektroniczną migawkę oraz powielanie elektronowe, którego wielkość zależy od amplitudy sygnału sterującego bramką powielającą. Przetwornik obrazu posiada wbudowane ogniwo Peltiera.



Rysunek 99 – czujnik TC253 [103]

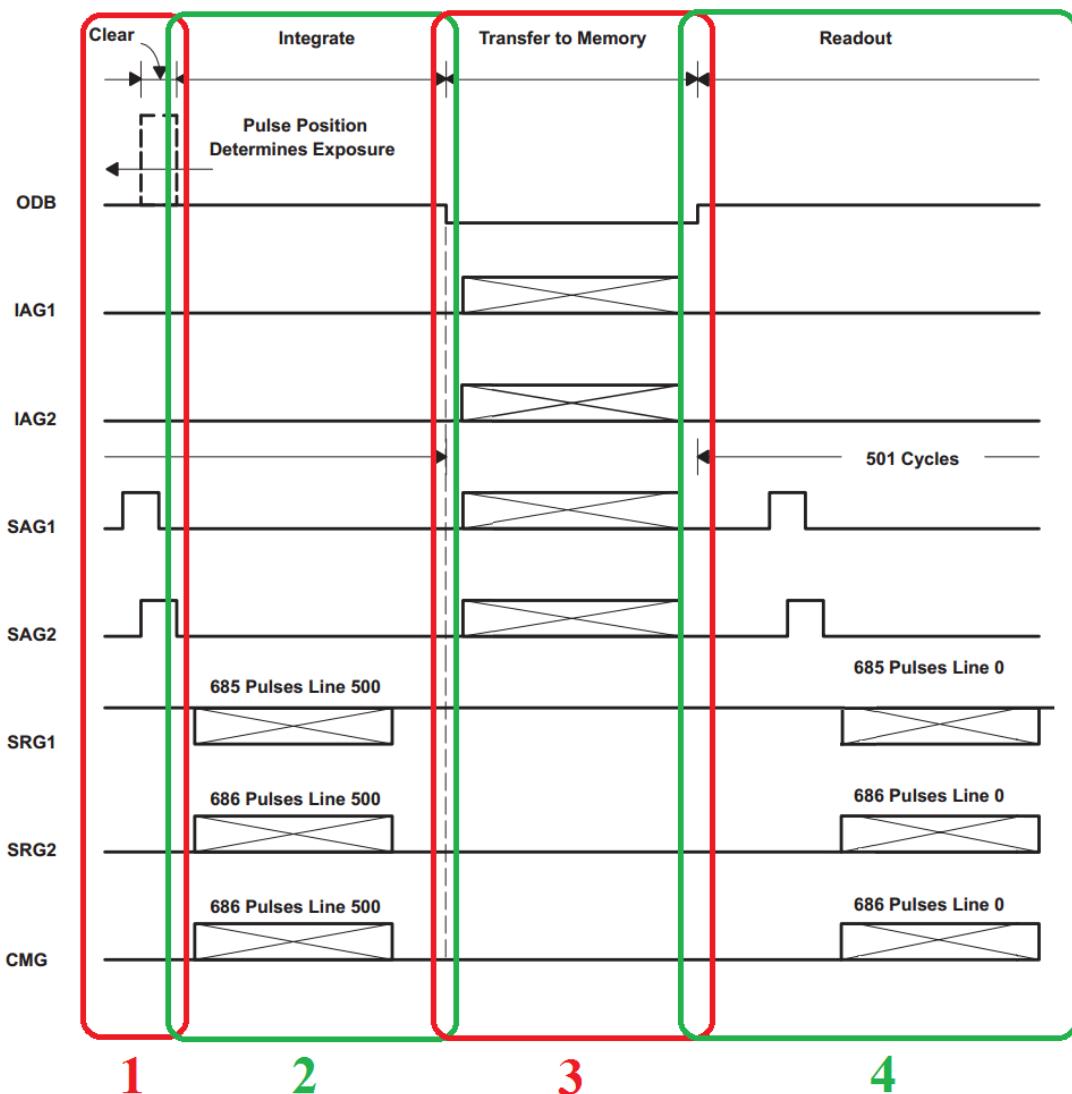
6.1 Sterowanie czujnikiem TC253

Czujnik steruje się za pomocą dwóch bramek obszaru obrazowania (IAG – *Image Area Gate*), dwóch bramek obszaru przechowywania obrazu (SAG – *Storage Area Gate*), dwóch bramek analogowego rejestrów przesuwnych (SRG – *Serial Register Gate*) oraz bramki mnożącej elektrony (CMG – *Charge Multiplication Gate*). Aby uzyskać maksymalną ilość klatek na sekundę należy sterować bramkami SAG i IAG z częstotliwością 3,125 MHz oraz bramkami SRG i CMG z częstotliwością 12,5 MHz.

Przechwycenie klatki obrazu rozpoczyna się od wyczyszczenia zawartości czujnika poprzez dodatni impuls na linii ODB. Wówczas z obszaru światłoczułego i obszaru przechowywania zgromadzonych ładunków usuwane są wszystkie nośniki. Koniec impulsu i przejście linii ODB w średni stan logiczny (linia ODB jest trójstanowa) jest momentem rozpoczęcia integracji czyli gromadzenia nowych fotolektronów w obszarze matrycy. Czas trwania tego procesu można zmieniać swobodnie w zakresie od 1/5000 s do 1/30 s.

Koniec integracji wyznacza moment przejścia linii ODB w niski stan logiczny. Następnie zgromadzone ładunki transferuje się do obszaru przechowywania za pomocą pięciuset impulsów podanych na każdą z linii IAG1, IAG2, SAG1 i SAG2. Po zakończeniu transferu linię ODB ustawia się w średni stan logiczny i rozpoczyna się odczyt zawartości.

Proces ten polega na przesunięciu pojedynczej linii obrazu z obszaru przechowywania do szeregowego rejestru odczytu (po jednym impulsie na liniach SAG1 i SAG2) a następnie na odczycie jej za pomocą 686 impulsów na liniach SRG1 i SRG2. Jednocześnie, w przeciwnieństwie do linii SRG2, należy sterować impulsami ujemnymi bramką CMG, która odpowiada za powielanie ładunków. Przesłanie na zewnątrz czujnika całej klatki obrazu wymaga odczytu wszystkich linii. Należy zatem wspomnianą procedurę odczytu pojedynczej linii powtórzyć 501 razy.

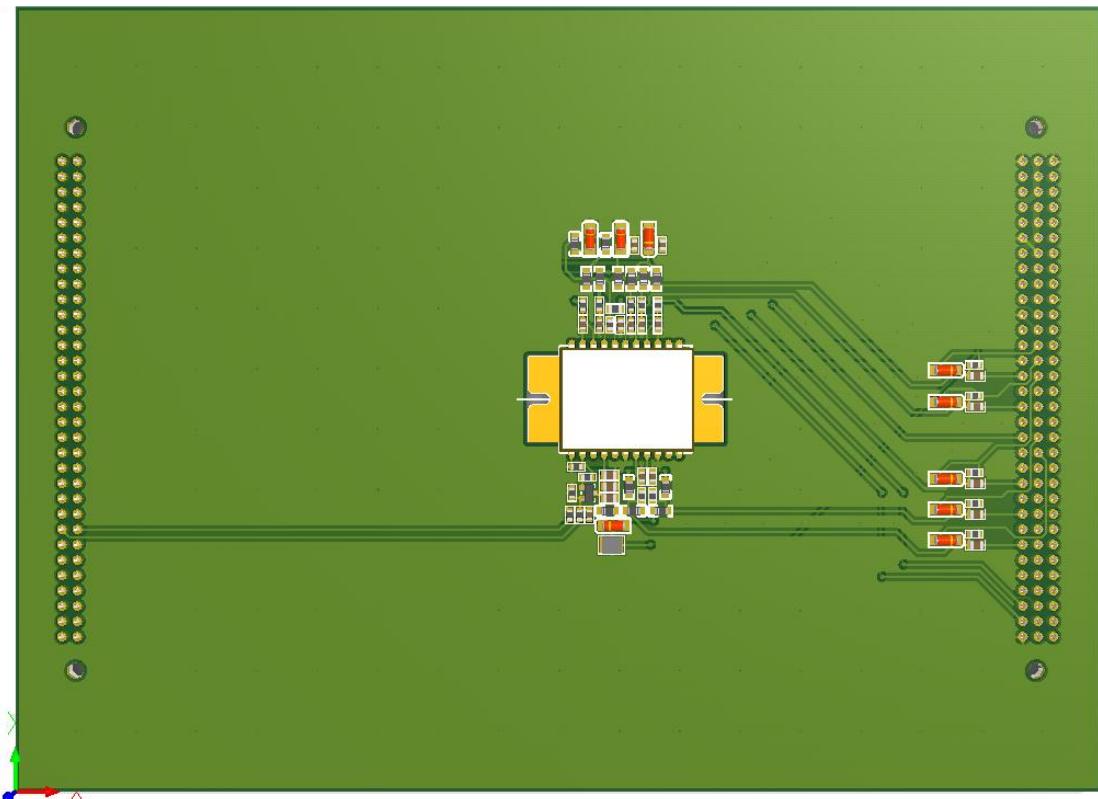


Rysunek 100 – schemat sterowania czujnikiem TC253 z zaznaczonymi obszarami pracy:
1 – czyszczenie, 2 – integracja, 3 – transfer do obszaru przechowywania, 4 – odczyt [37]

6.2 Przygotowanie testera czujników optycznych do pracy z czujnikiem TC253

Aby odczytać obraz z czujnika należało:

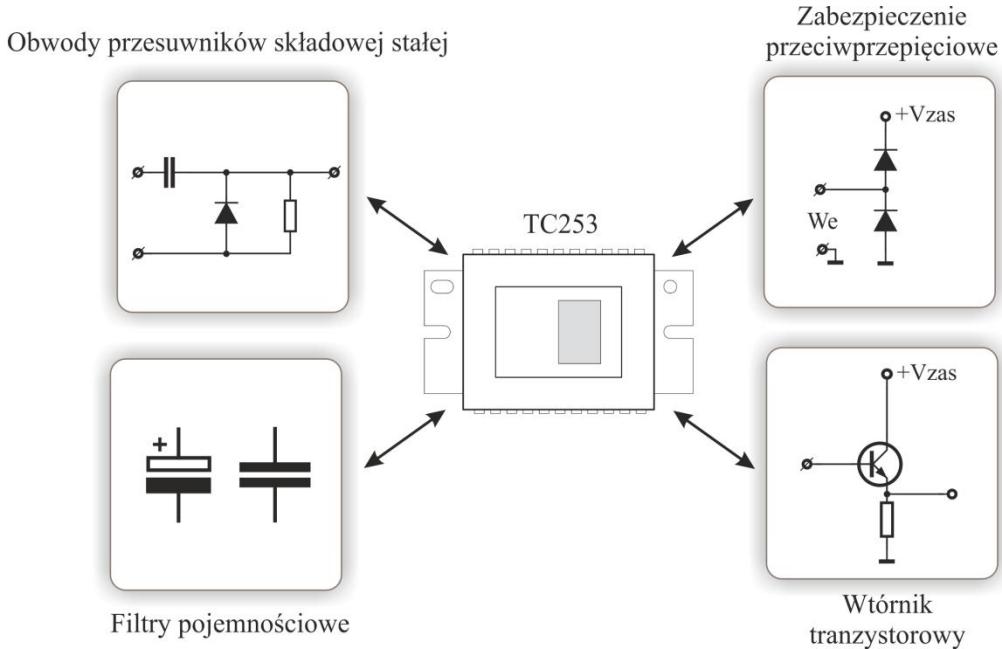
- zaprojektować i wykonać odpowiednią płytę nakładową;
- ustawić właściwe napięcia polaryzujące;
- skonfigurować automat sterujący kontaktami czujnika i odbierający dane z przetwornika A/C sygnału wideo.



Rysunek 101 – widok płytki nakładowej z czujnikiem TC253

Płytkę nakładową, podobnie jak całe urządzenie, zaprojektowano w programie Altium Designer. Pełni ona rolę przejściówki pomiędzy interfejsem testera a samym czujnikiem. Wyposażono ją dodatkowo w obwody zabezpieczające przed mogącymi powstać przepięciami oraz nieprawidłowo ustawionymi napięciami zagrażającymi czujnikowi, filtry pojemnościowe, opcjonalny wtórnik tranzystorowy oraz obwody przesuwników napięć. Ochrona przed przepięciami została dodana w celu zniwelowania przepływu dużych prądów w momencie umieszczania płytki w testerze oraz w celu ochrony samego czujnika przed ładunkami statycznymi w momencie dotknięcia go obiektem o znacznie innym potencjale (np. ręką). Elementami zabezpieczającymi są szybkie diody LL4148. Obok czujnika umieszczono kondensatory. Filtrują one dodatkowo napięcia polaryzujące. Wtórnik na tranzystorze BFR92A pełni rolę

dodatkowego bufora zmniejszającego jedynie impedancję wyjściową czujnika optycznego. Umieszczono go na wypadek gdyby wtórnik wbudowany w TC253 miał za małą wydajność prądową. Podczas testów dodatkowy wtórnik nie był używany. Obwody przesuwników dopasowują poziomy napięć stałych i amplitudy przebiegów sterujących.



Rysunek 102 – schemat blokowy płytka nakładowej z czujnikiem TC253

Czujnik wymaga stałych napięć polaryzujących ustalających jego punkt pracy oraz prostokątnych przebiegów o określonym poziomie piedestału i amplitudzie. Producent nie podaje jednego, ściśle określonego napięcia dla każdego z sygnałów. Zaleca jedynie używanie napięć w pewnym zakresie, pozostawiając użytkownikowi samodzielne dobranie ich optymalnej wartości. Od amplitudy na linii CMG zależy wielkość powielania elektronowego. Zalecane zakresy napięć dla czujnika TC253 przedstawiono na rysunku 39. Podczas testów czujnika ustawiono napięcia:

- linia ADB: 12V;
- linia ODB (trójstanowa): stan niski: 4.8V, stan średni: 5.3V, stan wysoki: 12.5V;
- linia IAG1: stan niski: -6V, stan wysoki: 5,2V;
- linia IAG2: stan niski: -6,7V, stan wysoki: 3,1V;
- linia SAG1: stan niski: -6V, stan wysoki: 3,1V;
- linia SAG2: stan niski: -6,7V, stan wysoki: 3,1V;
- linia SRG1: stan niski: -4,3V, stan wysoki: 4,9V;
- linia SRG2: stan niski: -5,5V, stan wysoki: 4,9V;
- linia CMG: stan niski: -2,8V, stan wysoki: 7V.

Aby odczytać dane z czujnika należało w układzie FPGA zaimplementować prostą maszynę stanów która, zgodnie z opisem z rozdziału 6.1, steruje w odpowiedni sposób liniami sygnałowymi czujnika optycznego. W takt generowanych sygnałów automat ten odbiera również spróbkowane dane z przetwornika A/C sygnału video. Maszyna jest taktowana zegarem o częstotliwości 100 MHz. Każdy ze stanów maszyny odpowiada za generowanie sekwencji sterujących właściwych dla danej operacji na czujniku (czyszczenie zawartości, integracja, transfer do pamięci, transfer obrazu na zewnątrz czujnika optycznego).

6.3 Odczyt obrazu z czujnika TC253 za pomocą uniwersalnego testera czujników optycznych

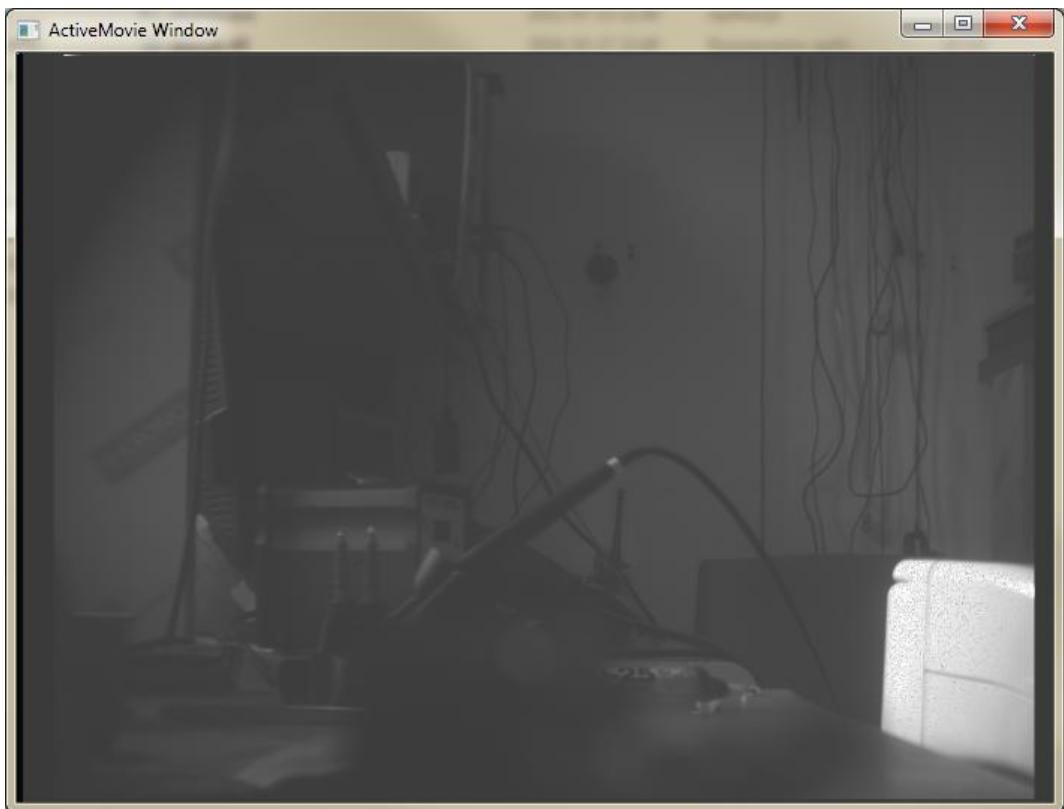
Testy przeprowadzono z użyciem obiektywu Helios-44-2. Procedura uruchamiająca czujnik wyglądała następująco:

- połączenie testera z Frame Grabberem;
- uruchomienie zasilacza głównego;
- wgranie konfiguracji FPGA przez interfejs JTAG;
- ustawienie wartości napięć polaryzujących i zasilających sterowniki matryc CCD oraz wyłączenie wszystkich przekaźników w sekwencjonerze. Żadne napięcia nie mogły pojawić się na złączach modułu interfejsu przed włożeniem tam płytki nakładowej;
- włożenie w złącza modułu interfejsu płytki nakładowej z czujnikiem TC253;
- zasilenie czujnika poprzez włączenie odpowiednich przekaźników w sekwencjonerze;
- wysłanie z mikrokontrolera do FPGA komendy rozpoczynającej pracę maszyny stanów.

Aby zakończyć testy przeprowadzono procedurę odwrotną do wspomnianej powyżej.

W trakcie uruchamiania czujnika natrafiono na kilka problemów. Najpoważniejszym był błędny odbiór danych z przetwornika A/C sygnału video. Polegał on na utracie synchronizacji po zakończeniu treningu łączy LVDS. Rozwiązano go zmieniając tryb treningu przetworników VSP5621. Inną trudnością były zakłócenia radiowe pochodzące od wszelkiego rodzaju anten umieszczonych na wysokich budynkach sąsiadujących z Wydziałem Elektroniki i Technik Informacyjnych Politechniki Warszawskiej. Moc niepożądanych sygnałów była tak duża, że autor przeniósł stanowisko testowe do swojego domu pod Warszawą.

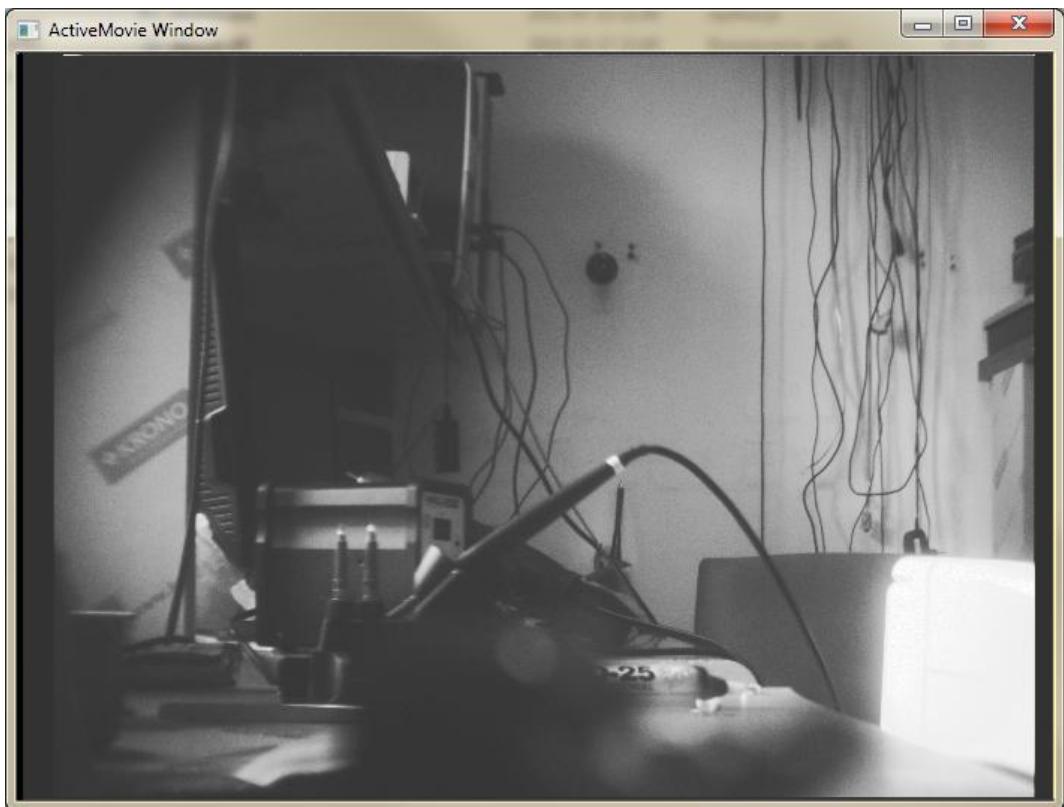
Poniżej przedstawiono zdjęcia wykonane za pomocą tegoż czujnika.



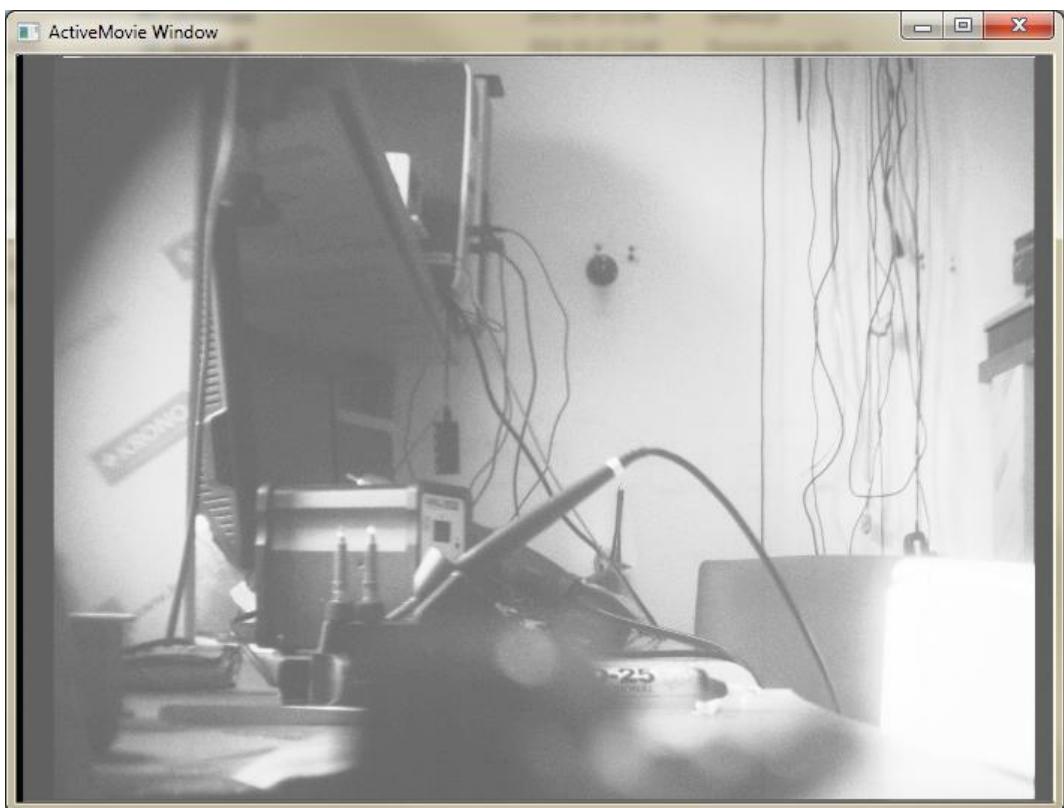
Rysunek 103 – migawka 1/60 s, wzmacnienie 1



Rysunek 104 – migawka 1/60 s, wzmacnienie 30



Rysunek 105 – migawka 1/60 s, wzmacnienie 1



Rysunek 106 – migawka 1/30 s, wzmacnienie 30

Przedstawione zdjęcia są jedynie małym zbiorem wszystkich fotografii. Podczas testów urządzenia wykonano ich setki, służyły sprawdzeniu poprawności konstrukcji testera oraz modyfikacjom sekwencji sterujących generowanych przez FPGA.

W celu poprawy jakości zdjęć należałyby zapewnić inne warunki oświetleniowe. W tym celu niezbędne jest zaprojektowanie i wykonanie dedykowanej obudowy wyposażonej w stół optyczny oraz osłonę przed niechcianym światłem docierającym do czujnika spoza obiektywu.

Jakość otrzymywanego obrazu można również poprawić ustawiając odpowiednią długość migawki elektronicznej oraz wielkość powielania elektronowego. Należałyby opracować dla tego czujnika algorytm, podobny do tych używanych w komercyjnych kamerach i aparatach, który na podstawie pomiaru ilości światła automatycznie dobierałby wspomniane oba parametry. Każdy czujnik używany w testerze powinien mieć dobrany optymalny zakres napięć zasilających. Jak już wspomniano producent podaje tylko zalecane zakresy, użytkownik danego egzemplarza powinien samodzielnie dopracować punkt pracy uzyskując maksimum wydajności z testowanego czujnika. W tym celu pomocna może być również korekcja zapewniana przez przetwornik A/C w postaci kompensacji napięcia stałego (*offset*) oraz wzmacnienia napięciowego sygnału analogowego.

Do pomiaru wartości wzmacnienia oraz szumu wykorzystano metodę opisaną w [104]. Przeprowadzono ją w pięciu krokach:

- uzyskano wartość prądu ciemnego;
- uzyskano 20 obrazów przy różnych poziomach oświetlenia i odjęto od nich wartość prądu ciemnego (czas naświetlania dla prądu ciemnego i obrazów był identyczny);
- wyliczono wartość sygnału (wartość średnia) oraz szum (odchylenie standardowe). Kwadrat wartości szumu dla każdego poziomu oświetlenia to wariancja;
- metodą najmniejszych kwadratów na podstawie wartości sygnału i wariancji wyznaczono prostą;
- należało znaleźć nachylenie prostej. Wzmocnienie to wartość tego nachylenia.

Wartość wzmacnienia dla badanego egzemplarza wyniosła $5,4 \text{ e}^-/\text{ADU}$ a szum 35 e^- .

7 Podsumowanie

Cel pracy, czyli opracowanie i wykonanie uniwersalnego testera czujników optycznych, został osiągnięty – spełniono założenia stawiane przed projektem. Stworzone urządzenie wykorzystuje niszę rynkową występującą pomiędzy tanimi, dedykowanymi układami odczytu i drogimi, modułowymi testerami o ogromnych możliwościach konfiguracji. Jest skierowane dla producentów oraz konfekcjonerów czujników optycznych potrzebujących w relatywnie krótkim czasie wybrać właściwy dla danego rozwiązania czujnik bądź wytypować z danej serii ten o pożądanych parametrach. Stanowi wartościowe narzędzie dla konstruktorów projektujących niskoszumne kamery z matrycami CCD.

W ramach niniejszej pracy autor zdobył ogromną wiedzę z zakresu działania i sterowania czujnikami optycznymi – zarówno tymi, które są już u schyłku swojej świetności jak i nowoczesnymi, pojawiającymi się dopiero w sprzedaży. Zapoznano się z najnowszymi rozwiązaniami elementów przetwarzających światło widzialne i podczerwień na sygnały elektryczne oraz z trendami w ich rozwoju. Niebotyczne znaczenie ma również zdobycie ogromnego doświadczenia podczas projektowania, montażu i uruchamiania testera. Zapoznano się z dostępnymi na rynku podzespołami elektronicznymi i mechanicznymi, zgłębiono zasady rysowania schematów i projektowania obwodów PCB (w tym prowadzenia sygnałów o wysokiej częstotliwości), poznano narzędzia wspierające pracę elektronika i programisty (Speedstack, Si8000 Quick Solver, Altium Designer, Atmel Studio, Vivado Design Suite) oraz wykorzystano w praktyce umiejętność programowania mikrokontrolerów w asemblerze i języku C oraz układów programowalnych FPGA w języku VHDL.

Zaprojektowane urządzenie nie jest z pewnością ostatnią stworzoną wersją. Dynamiczny rozwój technologii półprzewodnikowych i optoelektronicznych powoduje, że bardzo szybko do sprzedaży wprowadzane są czujniki o coraz lepszych parametrach, wymagające coraz bardziej rozbudowanego środowiska pracy. W planach jest rozbudowa poszczególnych modułów systemu: zwiększenie ilości i zakresu napięć regulatorów drugiego stopnia, użycie szybszych przetworników A/C i wprowadzenie nadpróbkowania, użycie układu FPGA o większej liczbie zasobów, który umożliwia implementację cyfrowej obróbki obrazu, podłączenie większej ilości przetworników A/C, linii CMOS i LVDS, wprowadzenie interfejsu Camera Link w wariantie Full lub całkowitą zmianę interfejsu na 10 Gb Ethernet. Przydatną cechą może być przerobienie zasilacza głównego aby ten mógł być zasilany z gniazda zapalniczki 12V DC lub akumulatora samochodowego.

8 Literatura

- [1] Krzysztof Candrowicz: Historia fotografii
- [2] Gerald C. Holst, Terrence S. Lomheim: CMOS/CCD SENSORS and CAMERA SYSTEMS
- [3] Raport IC Insights
<http://www.icinsights.com/data/articles/documents/526.pdf>
- [4] Materiały z przedmiotu „Podstawy mikroelektroniki”, prof. dr hab. Wiesław Kuźmicz, Instytut Mikroelektroniki i Optoelektroniki Politechniki Warszawskiej
- [5] Nota katalogowa układu Aptina MT9M131
<http://www.aptina.com/assets/downloadDocument.do?id=806>
- [6] Materiały reklamowe automatu Pick & Place MC-385V1V firmy Manncorp
<http://www.manncorp.com/smt/product-info.php?pick-and-place-med-high-volume-mc385V1V-pid185.html>
- [7] Nota katalogowa czujnika LUPA 1300-2
<http://www.onsemi.com/PowerSolutions/product.do?id=LUPA1300-2>
- [8] Nota katalogowa czujnika IA-DJ-02084
<http://www.teledynedalsa.com/imaging/products/sensors/area-scan/IA-DJ-02084/>
- [9] Nota katalogowa mikrobolometru Ulis Pico1024E-UL05251
<http://www.ulis-ir.com/uploads/Products/Pico1024E-UL05251.pdf>
- [10] Zasada działania matryc CCD, Kodak
<http://www.kodak.com/ek/uploadedfiles/chargecoupleddevice.pdf>
- [11] Materiały z przedmiotu „Podstawy fotoniki”, prof. dr hab. Michał Malinowski, Instytut Mikroelektroniki i Optoelektroniki Politechniki Warszawskiej
- [12] Materiały edukacyjne firmy Hamamatsu
<http://hamamatsu.magnet.fsu.edu/>
- [13] Observing Photons in Space , International Space Science Institute, rozdział 23
<http://www.issibern.ch/forads/sr-009-23.pdf>
- [14] Geoffrey Stanley Hobson: Przyrządy z przenoszeniem ładunku
- [15] S. Ramaswami, S. Agwani, L. Loh, N. Bossemeyer: Characterization of Pixel Response Time and Image Lag In CMOS Sensors
- [16] Image Sensor Architectures for Digital Cinematography
http://www.teledynedalsa.com/public/dc/documents/Image_Sensor_Architecture_Whitepaper_Digital_Cinema_00218-00_03-70.pdf

- [17] <http://gatan.com/resources/knowhow/Answer9.php>
- [18] Arnaud Darmont: Spectral Response of Silicon Image Sensors
www.aphesa.com/downloads/download2.php?id=1
- [19] James R. Janesick: Scientific Charge-coupled Devices
books.google.pl/books?isbn=0819436984
- [20] Materiały z przedmiotu „Szумy i zakłócenia w aparaturze elektronicznej”, prof. dr hab. Janusz Marzec, Instytut Radioelektroniki Politechniki Warszawskiej
- [21] Strona internetowa stowarzyszenia MIPI
<http://www.mipi.org/>
- [22] Materiały reklamowe firmy Pulse Instruments
<http://www.pulseinstruments.com>
- [23] Materiały reklamowe firmy Santa Barbara Infrared
<http://www.sbir.com>
- [24] Strona projektu Pi of the Sky
<http://www.pi.fuw.edu.pl/>
- [25] Grzegorz Kasprowicz, Praca Dyplomowa Magisterska, temat: Zintegrowany moduł kamery CCD z układem FPGA i interfejsem USB do profesjonalnych badań astronomicznych, Politechnika Warszawska, 2005r.
- [26] Projekt BRITE-PL
<http://www.brite-pl.pl/>
- [27] Władysław Orlik: Egzamin kwalifikacyjny elektryka w pytaniach i odpowiedziach
- [28] Tomasz Kuźma, Praca Dyplomowa Magisterska, temat: Uniwersalny moduł akwizycji obrazu zaimplementowany w układzie FPGA, Politechnika Warszawska 2013r.
- [29] Strona organizacji Digital Cinema Initiatives
<http://www.dcimovies.com/>
- [30] Opis standardu JEDEC DDR3 SDRAM
<http://www.jedec.org/standards-documents/docs/jesd-79-3d>
- [31] Dokumentacja układów FPGA Xilinx Spartan 6
<http://www.xilinx.com/products/silicon-devices/fpga/spartan-6/>
- [32] Texas Instruments, Application Report - Reducing Electromagnetic Interference (EMI) With Low Voltage Differential Signaling (LVDS)
www.ti.com/lit/pdf/SLLA030

- [33] National Semiconductor: LVDS Owner's Manual, Low-Voltage Differential Signaling, Spring 2004, 3rd Edition
- [34] Nota katalogowa generatora sygnału zegarowego AD9522-0
http://www.analog.com/static/imported-files/data_sheets/AD9522-0.pdf
- [35] Nota katalogowa czujnika CMV4000
http://www.cmosis.com/products/standard_products/cmv4000
- [36] Nota katalogowa czujnika VITA 25K
http://www.onsemi.com/pub_link/Collateral/NOIV1SN025KA-D.PDF
- [37] Nota katalogowa czujnika TC253SPD-B0
<http://pdf.datasheetcatalog.com/datasheet2/9/0picjwsxcsk35w9cs6kxf06q29ky.pdf>
- [38] Nota katalogowa czujnika KAI-11002
<http://www.truesenseimaging.com/products/interline-transfer-ccd/42-KAI-11002>
- [39] Achieving Higher ADC Resolution Using Oversampling
<http://ww1.microchip.com/downloads/en/AppNotes/Achieving%20Higher%20ADC%20Resolution%20Using%20Oversampling%2001152A.pdf>
- [40] Stephan Baier, CCD Imaging Systems, Burr-Brown
- [41] Nota katalogowa czujnika CCD STA1600LN
http://www.sta-inc.net/wp-content/uploads/2010/08/STA1600LN_011614_v3.pdf
- [42] Xilinx Power Estimator
http://www.xilinx.com/products/design_tools/logic_design/xpe.htm
- [43] Elementy i układy elektroniczne wokół mikroprocesora – kondensatory ceramiczne. Elektronika dla Wszystkich, numery: 5, 6, 7, 8 /2011
- [44] Standard Camera Link
<http://www.visiononline.org/vision-standards-details.cfm?id=171&type=6>
- [45] National Instruments: What Are The Differences Between Base, Medium, and Full Camera Link Configurations?
<http://digital.ni.com/public.nsf/allkb/2EE80B8C381D61D286257B1F005674A5>
- [46] Nota katalogowa układu FT2232H
<http://www.ftdichip.com/Products/ICs/FT2232H.htm>
- [47] Nota katalogowa układu PRTR5V0U2X
http://www.nxp.com/documents/data_sheet/PRTR5V0U2X.pdf
- [48] Nota katalogowa układu LM1117
<http://www.ti.com.cn/lit/ds/symlink/lm1117-n.pdf>

- [49] Nota katalogowa układu AT93C46D
<http://www.atmel.com/Images/doc5193.pdf>
- [50] Oprogramowanie FT PROG
http://www.ftdichip.com/Support/Utilities/FT_Prog_v2.8.2.0.zip
- [51] Nota katalogowa układu SN74CB3Q3244
<http://www.ti.com.cn/cn/lit/ds/symlink/sn74cb3q3244.pdf>
- [52] Nota katalogowa układu VSP5621
<http://www.ti.com/product/vsp5621>
- [53] Nota katalogowa układu FIN1108
<https://www.fairchildsemi.com/ds/FI/FIN1108.pdf>
- [54] Nota katalogowa układu P82B96
http://www.nxp.com/documents/data_sheet/P82B96.pdf
- [55] Nota katalogowa układu TXB0104D
<http://www.ti.com/lit/ds/symlink/txb0104.pdf>
- [56] Nota katalogowa układu 74LVC8T245
http://www.nxp.com/documents/data_sheet/74LVC_LVCH8T245.pdf
- [57] Nota katalogowa układu ATxmega128A1
<http://www.atmel.com/devices/atxmega128a1.aspx>
- [58] Dokumentacja debugera AVR JTAGICE mkII
<http://www.atmel.com/tools/avrjtagicemkii.aspx>
- [59] Nota katalogowa kabla programującego Xilinx Platform Cable USB II
http://www.xilinx.com/support/documentation/data_sheets/ds593.pdf
- [60] Spartan-6 FPGA PCB Design and Pin Planning Guide
http://www.xilinx.com/support/documentation/user_guides/ug393.pdf
- [61] Nota katalogowa układu MT41J128M16HA-15E
<https://www.micron.com/partsdram/ddr3-sdram/mt41j128m16ha-15e-ait?pc={338582DE-C8D6-4594-91B4-B3E86A5D5374}>
- [62] Dokumentacja złącz 12226-8250-00FR firmy 3M
http://solutions.3m.com/wps/portal/3M/en_WW/Distributor_Catalog/Home/Products/Interconnect/Catalog/?PC_Z7_RJH9U5230O1G6023JAV2EM1KE5000000_nid=F8WXNJS020itPBF9SM2BBQglH3Q8RFLKM8bl&soloMode=true&soloMode=true
- [63] Nota katalogowa układu DS90CR287MTD
<http://www.ti.com/product/ds90cr287>

- [64] Nota katalogowa układu DS90LV048A
<http://www.ti.com/product/ds90lv048a>
- [65] Nota katalogowa układu DS90LV011A
<http://www.ti.com/product/ds90lv011a>
- [66] Nota katalogowa układu DS90LV018A
<http://www.ti.com/product/ds90lv018a>
- [67] Nota katalogowa układu AD9522-0
<http://www.analog.com/en/clock-and-timing/clock-generation-and-distribution/ad9522-0/products/product.html>
- [68] Program ADIsimCLK, Analog Devices
<http://www.analog.com/en/rf-tools/adisimclk/topic.html>
- [69] Nota katalogowa układu NCP3170A
http://www.onsemi.com/pub_link/Collateral/NCP3170-D.PDF
- [70] Symulator GreenPoint
<https://onsemi.transim.com/>
- [71] Nota katalogowa układu LM1086
<http://www.ti.com.cn/lit/ds/symlink/lm1086.pdf>
- [72] Nota katalogowa układu REF5050
<http://www.ti.com/product/ref5050>
- [73] Nota katalogowa układu OPA2277
<http://www.ti.com/product/opa2277>
- [74] Nota katalogowa złącza QMS-064-01-SL-D-DP-RA
<http://www.samtec.com/technical-specifications/Default.aspx?SeriesMaster=QMS-DP>
- [75] Raport z testu integralności sygnałowej złącza QMS-064-01-SL-D-DP-RA
http://www.samtec.com/Documents/WebFiles/testrpt/hsc-report-SMA_QMSDP-QFSDP-10mm_web.pdf
- [76] Dokumentacja złącz D-subminiature
www.ninigi.com
- [77] Nota katalogowa układu LM317
<http://www.fairchildsemi.com/pf/LM/LM317.html>
- [78] Nota katalogowa układu LM337
<http://www.fairchildsemi.com/pf/LM/LM337.html>
- [79] Nota katalogowa układu OP07

- <http://www.analog.com/en/all-operational-amplifiers-op-amps/operational-amplifiers-op-amps/op07/products/product.html>
- [80] Nota katalogowa układu LT1884
<http://www.linear.com/product/LT1884>
- [81] Nota katalogowa układu TLE2022
<http://www.ti.com/product/tle2022>
- [82] Nota katalogowa tranzystora BD139
<http://www.fairchildsemi.com/pf/BD/BD139.html>
- [83] Nota katalogowa tranzystora BD140
<http://www.fairchildsemi.com/pf/BD/BD140.html>
- [84] Nota katalogowa układu LTC2600
<http://www.linear.com/product/LTC2600>
- [85] Nota katalogowa układu 74HC4051
http://www.nxp.com/documents/data_sheet/74HC_HCT4051.pdf
- [86] Nota katalogowa układu 74HCT4094
http://www.nxp.com/documents/data_sheet/74HC_HCT4094.pdf
- [87] Nota katalogowa układu ADS7844
<http://www.ti.com/product/ads7844>
- [88] Nota katalogowa układu LM96000
<http://www.ti.com/product/lm96000>
- [89] Nota katalogowa złącza QFS-064-04.25-X-D-DP-A
<http://www.samtec.com/technical-specifications/default.aspx?seriesMaster=QFS>
- [90] Nota katalogowa złącza typu DIN41612 wariant Q
<https://b2b.harting.com/ebusiness/pl/din-signal-q064ms-40c1-2/09721646903>
- [91] Nota katalogowa złącza typu DIN41612 wariant R
<https://b2b.harting.com/ebusiness/pl/din-signal-r096ms-40c1-2/09731966903>
- [92] Nota katalogowa układu DG452
www.vishay.com/docs/74470/dg451.pdf
- [93] Nota katalogowa układu EL7457
<http://www.intersil.com/content/dam/Intersil/documents/el74/el7457.pdf>
- [94] Nota katalogowa układu IRS2004
<http://www.irf.com/product-info/datasheets/data/irs2004pbf.pdf>
- [95] Nota katalogowa tranzystora IRLR2905
<http://www.irf.com/product-info/datasheets/data/irlr2905pbf.pdf>

- [96] Program Speedstack
<http://www.polarinstruments.com/products/stackup/Speedstack.html>
- [97] Frame Grabber Matrox Solios eV-CL
http://www.matrox.com/imaging/en/products/frame_grabbers/solios/solios_ev_cl/
- [98] Nota katalogowa pamięci FLASH
<http://www.micron.com/parts/nor-flash/serial-nor-flash/m25p16-vmn6p>
- [99] Program FlashROM
<http://flashrom.org>
- [100] Nota aplikacyjna poświęcona pomiarom szumów stabilizatorów liniowych
www.linear.com/docs/4172
- [101] Nota katalogowa układu LT1028
<http://www.linear.com/product/LT1028>
- [102] Program Bray's Terminal
<https://sites.google.com/site;braypp/terminal>
- [103] <http://phoenix.kougaku.jp/CCD/Impactron.html>
- [104] Maciej Rafałowski: Problemy przetwarzania sygnału fotometrycznego na elektryczny w matrycach CCD, Politechnika Białostocka 2006