



**Politechnika Warszawska**

Wydział Elektroniki i Technik Informacyjnych

Instytut Systemów Elektronicznych

**Piotr Zdunek**

Nr albumu: 229417

Praca inżynierska

# **Rekonfigurowalny akcelerator obliczeniowy z procesorami DSP i FPGA w standardzie AMC**

Praca wykonana pod kierunkiem:

**Dr inż. Grzegorza Kasprowicza**  
Instytut Systemów Elektronicznych  
Politechnika Warszawska

WARSZAWA 2013



## Rekonfigurowalny akcelerator obliczeniowy z procesorami DSP i FPGA w standardzie AMC

Poniższa praca przedstawia opis projektu akceleratora obliczeniowego z dwoma ośmiordzeniowymi procesorami DSP TMS320C6678 firmy *Texas Instruments* oraz układem FPGA *Xilinx XC7A200T* w standardzie AMC (*Advanced Mezzanine Card*), służącego do przetwarzania danych z systemu pomiarowego detektora GEM (*Gas Electron Multiplier*) z możliwością modyfikacji połączeń interfejsów szeregowych dzięki zastosowaniu przełączników układów ADN4604 firmy *Analog Devices* i PEX8616 firmy *PLX*. Wstęp zawiera opis istniejącego systemu pomiarowego wykorzystywanego w eksperymentach *JET* (*Joint European Torus*) i *WEST* (*W Environment in Steady-state Tokamak*) do których moduł znajdzie zastosowanie oraz zestawienie urządzeń tego samego typu dostępnych na rynku. W kolejnych rozdziałach przedstawiona została koncepcja poszczególnych systemów, projekt schematów oraz obwodów drukowanych. Końcowa część stanowi prezentację efektów działania zaprojektowanego urządzenia oraz nakreślenie dalszego kierunku rozwoju projektu.

### Słowa kluczowe

FPGA, DSP, PCB, AMC, GEM

## Reconfigurable high performance processing AMC module with DSP and FPGA processors

The aim of this Bachelor Thesis was to design a high performance processing AMC (*Advanced Mezzanine Card*) module, consisting of a modern FPGA processor *Xilinx Artix-7 XC7A200T* and two 8-core DSPs *Texas Instruments TMS320C6678*. Additionally, high speed SRIO and PCIe links reconfigurability between chips is possible due to the use of switches ADN4604 and PEX8616. The first chapter describes existing measurement system used in *JET* (*Joint European Torus*) and *WEST* (*W Environment in Steady-state Tokamak*) experiments in which developed device will be used and also similar data-processing devices were reviewed. Next chapters present module's units specification, schematics and PCB design. In the end, tests were carried out in order to present working device.

### Keywords

FPGA, DSP, PCB, AMC, GEM



*Pragnę złożyć serdeczne podziękowania:*


*Rodzicom za wiarę,*

*Dr inż. Grzegorzowi Kasprowiczowi za cenne uwagi,*

*Koleżankom i kolegom, za atmosferę i współpracę w laboratoriach  
PERG/ELHEP ISE PW*



# Spis treści

<b>1</b>	<b>Wstęp</b>	<b>13</b>
1.1	System pomiarowy detektora GEM . . . . .	13
1.2	Przegląd urządzeń dostępnych na rynku . . . . .	15
<b>2</b>	<b>Geneza, cel i założenia pracy</b>	<b>17</b>
<b>3</b>	<b>Koncepcja konstrukcji</b>	<b>19</b>
3.1	Opis funkcjonalny akceleratora obliczeniowego . . . . .	19
3.1.1	Zasada działania . . . . .	20
3.2	Opis standardu MTCA i AMC . . . . .	20
3.2.1	MTCA . . . . .	20
3.2.2	AMC . . . . .	21
3.3	Koncepcja konstrukcji modułu akceleracji sprzętowej . . . . .	23
3.4	Koncepcja modułów przetwarzania . . . . .	23
3.5	Koncepcja modułu przełączania interfejsów szeregowych . . . . .	24
3.6	Pozostałe moduły i peryferia . . . . .	25
<b>4</b>	<b>Realizacja konstrukcji akceleratora obliczeniowego</b>	<b>27</b>
4.1	Moduł akceleracji sprzętowej . . . . .	27
4.1.1	Układ FPGA XC7A200T . . . . .	27
4.1.2	Pamięć SDRAM . . . . .	31
4.2	Moduły przetwarzania danych . . . . .	31
4.2.1	Procesor DSP . . . . .	31
4.2.2	Pamięć SDRAM . . . . .	35
4.2.3	Interfejs Gigabit Ethernet . . . . .	35
4.3	Moduł przełączania interfejsów . . . . .	36
4.3.1	Układ przełącznika interfejsu <i>Serial Rapid IO</i> . . . . .	36
4.3.2	Układ przełącznika interfejsu <i>PCI Express 2.0</i> . . . . .	36
4.4	System dystrybucji sygnałów zegarowych . . . . .	37
4.4.1	Generacja sygnałów zegarowych interfejsu <i>PCI Express 2.0</i> . . . . .	38
4.4.2	Generacja sygnałów zegarowych dla układu FPGA . . . . .	39
4.4.3	Generacja sygnałów zegarowych procesora DSP . . . . .	39
4.5	IPMI i zarządzanie peryferiami . . . . . 	42
4.5.1	I2C - konfiguracja układów . . . . .	42
4.5.2	Zarządzanie peryferiami . . . . .	43
4.6	Złącza wejść/wyjść . . . . .	44
4.6.1	miniSAS . . . . .	44
4.6.2	RJ45 . . . . .	44

4.6.3	HDMI . . . . .	44
4.7	MLVDS . . . . .	44
4.8	JTAG . . . . .	45
4.9	Zasilanie . . . . .	46
4.9.1	Estymacja poboru mocy . . . . .	46
4.9.2	Linie zasilania P1V0, P1V2, P1V8, P1V5, P3V3, VTT . . . . .	46
4.9.3	Linia zasilania P2V5 . . . . .	46
4.9.4	Regulowane napięcie zasilania rdzenia procesora DSP - CVDD . . . . .	48
4.9.5	Proces uruchamiania zasilania . . . . .	48
<b>5</b>	<b>Projekt obwodów drukowanych</b>	<b>51</b>
5.1	Wstęp . . . . .	51
5.2	Wymagania producenta . . . . .	51
5.3	Oprogramowanie EDA . . . . .	51
5.4	Projekt warstw . . . . .	51
5.5	Rozmieszczenie elementów . . . . .	53
5.6	Zasady prowadzenia ścieżek szybkich interfejsów . . . . .	54
5.6.1	Dobór szerokości ścieżek . . . . .	54
5.7	Podsumowanie . . . . .	55
<b>6</b>	<b>Oprogramowanie uruchamiające moduł</b>	<b>59</b>
<b>7</b>	<b>Wnioski końcowe</b>	<b>61</b>
<b>A</b>	<b>Dodatki</b>	<b>63</b>
A.1	Płyta CD . . . . .	63
	<b>Bibliografia</b>	<b>68</b>



# Spis rysunków

1.1	Detektor GEM w JET . . . . .	14
1.2	Struktura systemu pomiarowego GEM . . . . .	14
1.3	Akcelerator obliczeń firmy Commagility . . . . .	15
1.4	Akcelerator obliczeń firmy 4DSP w formacie FMC . . . . .	15
1.5	Akcelerator obliczeń firmy Advantech . . . . .	16
1.6	Akcelerator obliczeń firmy Prodrive . . . . .	16
3.1	Schemat blokowy akceleratora obliczeniowego . . . . .	19
3.2	Schemat blokowy systemu MTCA i zdjęcie kraty z modułami AMC . . . . .	21
3.3	Zdjęcie różnych wymiarów kart AMC . . . . .	21
3.4	Rodzaje złącz krawędziowych w standardzie AMC . . . . .	22
3.5	Schemat blokowy modułu akceleracji sprzętowej . . . . .	23
3.6	Schemat blokowy modułów przetwarzania . . . . .	24
3.7	Schemat blokowy modułu przełączania interfejsów szeregowych . . . . .	24
4.1	Rozmieszczenie banków w układzie FPGA XC7A200T . . . . .	27
4.2	Połączenia banków układu FPGA z peryferiami . . . . .	29
4.3	Sposób dołączenia pamięci SDRAM do układu FPGA . . . . .	31
4.4	Schemat napięć zasilających procesora DSP . . . . .	34
4.5	Szczegółowy schemat blokowy systemu dystrybucji sygnałów zegarowych . . . . .	37
4.6	Rodzaje dystrybucji sygnału zegarowego interfejsu <i>PCI Express 2.0</i> . . . . .	38
4.7	Projekt pętli sprzężenia zwrotnego PLL układu AD9522 . . . . .	40
4.8	Konfiguracja częstotliwości i typów wyjść zegarowych . . . . .	41
4.9	Konfiguracja filtra pętli sprzężenia zwrotnego układu CDCM6208 . . . . .	41
4.10	Schemat blokowy połączeń interfejsu I2C . . . . .	42
4.11	Schemat blokowy połączeń sygnałów sterujących układu LPC1764 . . . . .	43
4.12	Schemat blokowy połączeń pozostałych sygnałów sterujących układu LPC1764 . . . . .	43
4.13	Złącze miniSAS firmy MOLEX . . . . .	44
4.14	Schemat blokowy połączeń złącz HDMI . . . . .	45
4.15	Schemat blokowy połączeń protokołu JTAG . . . . .	45
4.16	Schemat blokowy sekcji zasilania akceleratora obliczeniowego . . . . .	46
4.17	Sekwencja uruchamiania linii zasilających . . . . .	49
5.1	Standardowa konfiguracja warstw dla obwodu 16 warstwowego firmy Brandner . . . . .	52
5.2	Konfiguracja warstw akceleratora obliczeniowego . . . . .	53
5.3	Podział części analogowej i cyfrowej akceleratora obliczeniowego . . . . .	54
5.4	Program Saturn PCB Toolkit . . . . .	55

# Spis tablic

1.1	Zestawienie komercyjnych systemów przetwarzania . . . . .	16
3.1	Zestawienie wymiarów modułów AMC . . . . .	22
4.1	Napięcia zasilające i pobór prądu przez układ FPGA . . . . .	30
4.2	Sygnały zegarowe procesora DSP . . . . .	33
4.3	Napięcia zasilające i pobór prądu przez procesor DSP . . . . .	33
4.4	Estymacja pobieranej mocy przez akcelerator obliczeniowy . . . . .	47
5.1	Podstawowe reguły projektowe . . . . .	51
5.2	Reguły prowadzenia ścieżek szybkich interfejsów szeregowych . . . . .	55
5.3	Szerokości ścieżek szybkich interfejsów szeregowych dla impedancji $100\Omega$ . . .	57
5.4	Szerokości ścieżek szybkich interfejsów szeregowych dla impedancji $80\Omega$ . . .	57





# Słownik terminów

**AC** Alternating Current  
**AMC** Advanced Mezzanine Card  
**BGA** Ball Grid Array  
**DC** Direct Current  
**DDR** Double Data Rate  
**DSP** Digital Signal Processor  
**EDA** Electronic Design Automation  
**EMIF** Extended memory interface  
**FCLK** Fabric Clock  
**FMC** FPGA Mezzanine Card  
**FPGA** Field Programmable Gate Array  
**GB** Gigabyte  
**Gbps** Gigabits per second  
**GEM** Gas Electron Multiplier  
**GFLOPs** Giga Floating Point Operations Per Second  
**GTP** Gigabit Transceiver Port  
**HCSL** High Speed Current Steering Logic  
**I2C** Inter Integrated Circuit  
**IC** Integrated Circuit  
**IPMI** Intelligent Platform Management Interface  
**JET** Joint European Torus  
**JTAG** Joint Test Action Group  
**LVDS** Low Voltage Differential Signaling  
**MIL**  $\frac{1}{1000}cala = 0.254mm$   
**MTCA** Micro Telecommunications Computing Architecture  
**PCB** Printed Circuit Board  
**PCie** Peripheral Component Interconnect Express  
**PERG** Photonics and Web Engineering Group  
**PICMG** PCI Industrial Computer Manufacturers Group  
**ppm** points per milion  
**SAS** Serial Attached SCSI  
**SFP+** Small form-factor pluggable transceiver  
**SGMII** Serial Gigabit Media Interconnect Interface  
**SPI** Serial Peripheral Interconnect  
**SRIO** Serial Rapid IO  
**TCLK** Telecom Clock  
**WEST** W Environment Stedy-state Tokamak



# Rozdział 1

## Wstęp

Współczesne systemy pomiarowe w eksperymentach fizyki wysokich energii są zaawansowanymi systemami analogowo-cyfrowymi o niestandardowych parametrach. Eksperymenty fizyczne JET [1] czy WEST [2] podczas pracy generują terabajty danych na sekundę i aby móc obsłużyć taką ilość danych potrzebne są rozwiązania dedykowane, nierzadko przełomowe. Przykładem takiego systemu może być system pomiarowy służący do detekcji promieniowania X z detektora GEM [3] wykorzystywany w eksperymencie JET i pozwalający na analizę plazmy w reaktorze termojądrowym. System został zbudowany od podstaw przez zespół PERG Instytutu Systemów Elektronicznych Wydziału Elektroniki i Technik Informacyjnych Politechniki Warszawskiej i posiada 256 kanałów wejściowych oraz trzy warstwy układów FPGA wyliczających histogram widma energii promieniowania X z detektora.

Niniejsza praca stanowi opis projektu urządzenia służącego do przetwarzania danych - **akceleratora obliczeniowego**, rozszerzającego możliwości obecnie stosowanego systemu pomiarowego detektora GEM.

W pierwszym rozdziale opisany został istniejący system pomiarowy detektora GEM oraz przegląd i porównanie dostępnych na rynku urządzeń do przetwarzania danych. Następnie przedstawiona została koncepcja projektu akceleratora obliczeniowego oraz standardu AMC. W dalszej części znajduje się opis projektu schematów elektrycznych oraz projekt obwodów drukowanych. Na koniec opisano przeprowadzone testy elektryczne i uruchomieniowe.

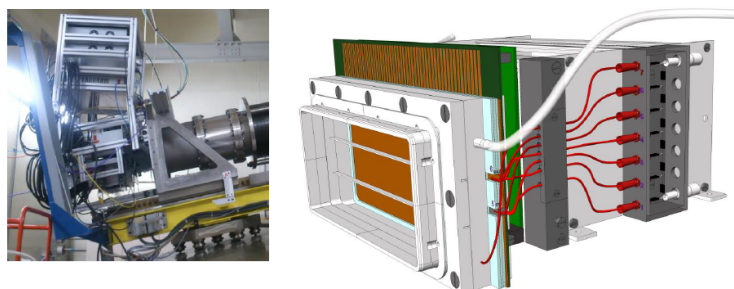
### 1.1. System pomiarowy detektora GEM

Detektor GEM służy do pomiaru promieniowania w eksperymentach fizycznych. Zjonizowane cząstki o określonej energii w przepływającym przez detektor gazie są powielane przez specjalne płyty z otworami, do których przyłożone jest wysokie napięcie. Wewnątrz odbywa się pomiar energii przepływających elektronów. Pomiar promieniowania jest możliwy dzięki wzmocnieniu jakie można uzyskać w detektorze. Przykładem wykorzystania takiego detektora jest eksperyment JET gdzie detektor GEM jest częścią detekcyjną spektrometru X.

Do analizy danych z detektora zaprojektowany został system pomiarowy przez zespół PERG z Instytutu Systemów Elektronicznych Wydziału Elektroniki i Technik Informacyjnych Politechniki Warszawskiej. System pomiarowy składa się z:

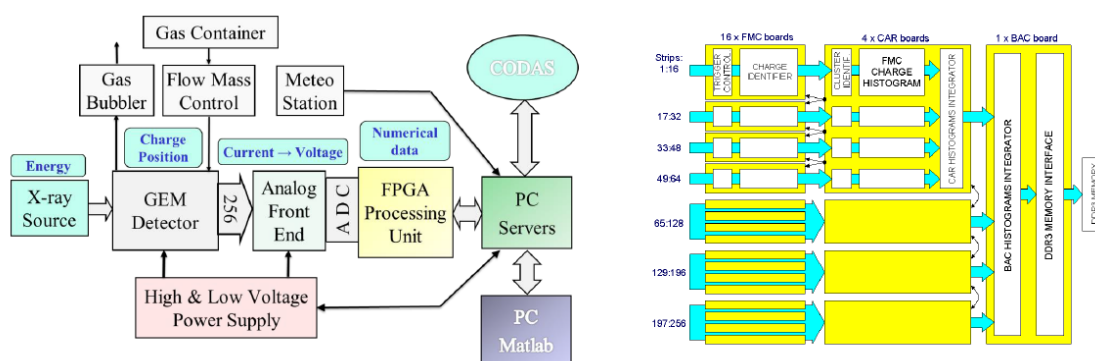
- detektora GEM
- analogowych kart pomiarowych Analog Front End (AFE)
- kart FMC z przetwornikami ADC dołączonymi do płyty-matki (*Carrier-board*)

- płyty głównej w standardzie Mini ITX z procesorem x86 i systemem operacyjnym Linux
- jednostki zasilającej



Rysunek 1.1: Detektor GEM w JET

System posiada 256 wejściowych kanałów pomiarowych, które zamienia w jeden wyjściowy będący histogramem energii widma fotonów w czasie ustalonym podczas pomiaru. Przetwarzanie danych w systemie pomiarowym GEM odbywa się w kilku etapach. Początkowo dane zebrane przez analogowe karty pomiarowe (AFE) są zamieniane na postać cyfrową za pomocą kart FMC z przetwornikami ADC. Na kartach odbywa się również kontrola *Trigger*’ów oraz identyfikacja ładunków wykonana w FPGA. Następnie dane z kart są analizowane w układach FPGA znajdujących się na *Carrier Board*, których zadaniem jest integracja histogramów. Ostatnim etapem jest finalna integracja w *Backplane* oraz zapis pomiaru do pamięci DDR. Cały system jest podłączony do komputera PC gdzie dane mogą być diagnozowane za pomocą oprogramowania Matlab firmy Mathworks [4].



Rysunek 1.2: Struktura systemu pomiarowego GEM

Pomiar promieniowania odbywa się poprzez pomiar napięcia z detektora. Aby rozróżnić energię fotonów, które nakładają się na siebie, potrzebna jest dokładniejsza analiza sygnału z zastosowaniem cyfrowego przetwarzania sygnałów. Obecny system pozwala na to w ograniczonym zakresie i wiele pomiarów jest odrzucanych. Dlatego zdecydowano się na zaprojektowanie dedykowanego urządzenia, które będzie służyło do przetwarzania i analizy danych pomiarowych z detektora w czasie rzeczywistym.



## 1.2. Przegląd urządzeń dostępnych na rynku

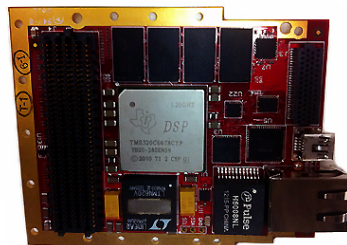
Obecnie dostępne jest wiele urządzeń, które można wykorzystać w systemie pomiarowym jako akceleratory numeryczne do przetwarzania danych. Poniżej przedstawiono charakterystyki kilku takich urządzeń dostępnych na rynku.

**AMC V7-2c6678 firmy CommAgility** AMC-V7-C6678 [5] jest kartą przetwarzania danych zawierająca dwa procesory DSP TMS320C6678 i układ FPGA Xilinx XC7VX415T-2 zamkniętą w formacie AMC pojedynczej szerokości i pełnej wysokości. Posiada złącze SFP+ oraz złącze miniSAS. Procesory DSP, układ FPGA, złącza na panelu oraz złącze krawędziowe są połączone ze sobą siecią połączeń interfejsu SRIO. Koszt tego urządzenia to 16 tys. EUR.



Rysunek 1.3: Akcelerator obliczeń firmy Commagility

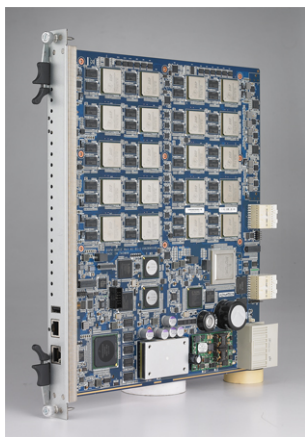
**FMC6678** Firma 4DSP specjalizuje się w projektowaniu modułów FMC i posiada w swojej ofercie kartę z jednym procesorem TMS320C6678 i 1 GB pamięci dynamicznej DDR3. Na module znajdziemy również gniazdo Gigabit Ethernet, USB oraz pełne 60-pinowe złącze *Trace* do programowania procesora poprzez dedykowany debugger. Interfejsy komunikacyjne SRIO i PCIe są dołączone do złącza FMC. Koszt modułu FMC to 2900 EUR.



Rysunek 1.4: Akcelerator obliczeń firmy 4DSP w formacie FMC

**Urządzenia firmy Advantech** Firma Advantech jest twórcą modułu ewaluacyjnego do procesora TMS320C6678 i posiada w swojej ofercie szereg urządzeń z tym procesorem. Są to karty PCIe z wieloma procesorami DSP. Przykładem jest karta PCIe - 8 procesorowa DSPC-8682 (64 rdzenie) albo karta ACTA z 20 procesorami (80 rdzeni).

**PDAK2H** Moduł PDAK2H jest modulem AMC z najnowszymi układami SoC firmy *Texas Instruments* z rodziny Keystone II zawierającymi 8 rdzeni DSP C66x oraz czterordzeniowy procesor ARM Cortex-A15. Twórcą modułu jest firma Prodrive. Do procesora może być dołączone do 26 GB pamięci DDR3-1333. Do złącza AMC doprowadzone jest 12 linii SRIO a na przednim panelu zamontowano złącza Gigabit Ethernet oraz UART.



Rysunek 1.5: Akcelerator obliczeń firmy Advantech



Rysunek 1.6: Akcelerator obliczeń firmy Prodrive

**Podsumowanie** W tabeli [1.1] zestawiono wymienione wcześniej moduły wraz z porównaniem peryferiów i ceny.

Urządzenie	Procesor główny	Standard	Złącza	Interfejsy doł. do CB	Cena
AMC V7-2C6678	Xilinx XC7VX415T-2 2xTMS320C6678	AMC Single width, full size	SFP, SAS	SRIO	16 000 USD
FMC6678 DSPC-8682	TMS320C6678 TMS320C6678, Xilinx XC3S200AN	FMC single width PCIe	GbE SFP, SAS	SRIO, PCIe, EMIF16 GbE	2900 EUR BD
PDAK2H	66AK2H12	AMC Single width, full size	GbE, UART	SRIO, PCIe	BD

Tablica 1.1: Zestawienie komercyjnych systemów przetwarzania

Na podstawie analizy dostępnych urządzeń (COTS - Commercial of the shelf) zdecydowano się na projekt własnego modułu do przetwarzania obliczeń. Głównym powodem jest minimalizacja kosztów oraz zwiększenie funkcjonalności w porównaniu do urządzeń oferowanych na rynku.

## Rozdział 2

# Geneza, cel i założenia pracy

Przetwarzanie danych w systemie pomiarowym detektora GEM wymaga urządzenia o dużej mocy obliczeniowej. Istotną kwestią jest również kompatybilność z dostępnym sprzętem i oprogramowaniem w laboratorium PERG. Dostępne na rynku urządzenia nie posiadają odpowiednich wejść/wyjść, nie pozwalają na modyfikację połączeń między układami wewnątrz urządzenia tj. nie są elastyczne; ponadto są one bardzo kosztowne. Dlatego zdecydowano się na zaprojektowanie dedykowanego urządzenia.

Celem niniejszej pracy inżynierskiej było zaprojektowanie modułu w formacie AMC pozwalającego na akwizycję i analizę dużej ilości danych pomiarowych w czasie rzeczywistym, na co składa się:

- projekt schematów elektrycznych
- projekt obwodów drukowanych
- napisanie oprogramowania uruchamiającego
- przetestowanie i uruchomienie urządzenia



Akcelerator będzie rozszerzeniem obecnie istniejącego systemu pomiarowego w eksperymentach JET i WEST oraz pozwoli na przetwarzanie i analizę danych z zastosowaniem zaawansowanych technik cyfrowego przetwarzania sygnałów.

Urządzenie zaprojektowano przy następujących założeniach:

- duża moc obliczeniowa, pozwalająca na analizę i wykorzystanie algorytmów przetwarzania danych w 2D/3D
- duża ilość pamięci operacyjnej
- kompatybilność z istniejącym systemem pomiarowym
- elastyczność systemu



## Rozdział 3

# Koncepcja konstrukcji

Poniższy rozdział zawiera opis koncepcji konstrukcji akceleratora obliczeniowego. W pierwszej części przedstawiono opis funkcjonalny projektowanego urządzenia oraz jego zasadę działania. Następnie opisano standard MTCA i AMC oraz wyszczególniono funkcje poszczególnych modułów.

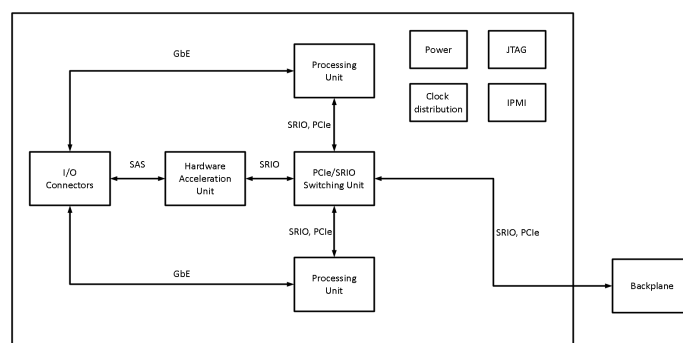
### 3.1. Opis funkcjonalny akceleratora obliczeniowego

Systemy wbudowane dedykowane przetwarzaniu sygnałów o dużej wydajności obliczeniowej wykorzystują układy scalone, jako jednostki obliczeniowe, charakteryzujące się korzystnym stosunkiem wydajności do pobieranej mocy. Przykładem takich układów są procesory DSP i FPGA. Procesory DSP posiadają statyczną architekturę sprzętową, zaprojektowaną specjalnie dla aplikacji przetwarzania sygnałów. Natomiast układy FPGA posiadają setki tysięcy bramek logicznych, z których można zbudować bardzo złożone systemy cyfrowe np. filtry.

Poza modułami służącymi *stricto* do przetwarzania danych istotną kwestią jest również komunikacja między układami. Najważniejszym aspektem w tym przypadku jest przepustowość interfejsów komunikacyjnych oraz ich elastyczność.

Kolejnym aspektem jest zapewnienie poprawnej pracy układów, która nie byłaby możliwa, bez odpowiedniego systemu dystrybucji sygnałów zegarowych, sekcji zasilania oraz możliwości programowania układów. Ponadto jako urządzenie elektroniczne pracujące w gotowym systemie pomiarowym akcelerator obliczeniowy musi spełniać jego wymagania.

Mając na uwadze powyższe przygotowana została koncepcja projektu akceleratora obliczeniowego z wyszczególnieniem poszczególnych modułów.



Rysunek 3.1: Schemat blokowy akceleratora obliczeniowego

Każdy z modułów posiada następujące zadanie:

- **Hardware Acceleration Unit** akceleracja sprzętowa
- **Processing Unit** przetwarzanie danych
- **PCIe/SRIO Switching Unit** przełączanie i przekierowywanie interfejsów szeregowych pomiędzy układami i *Backplane*
- **Clock distribution** dystrybucja sygnałów zegarowych
- **Power Supply** zasilanie
- **IPMI** obsługa standardu IPMI i zarządzanie sygnałami kontrolnymi
- **JTAG** programowanie i testowanie układów scalonych

### 3.1.1. Zasada działania

Akcelerator obliczeniowy jest kartą w formacie AMC działającą w systemie MTCA. Moduł **akceleracji sprzętowej** zajmuje się akwizycją i wstępnym przetwarzaniem danych. Następnie przesyła dane do **jednostek przetwarzania**, w których następuje dalsza obróbka sygnałów wymagająca dużej mocy obliczeniowej. Przetworzone dane mogą zostać przesłane do *Backplane* znajdującego się w kracie MTCA.

Komunikacja między układami i kratą odbywa się za pomocą szybkich interfejsów szeregowych. Dzięki zastosowaniu inteligentnych przełączników dodano funkcję rekonfiguracji połączeń interfejsów pomiędzy układami.

System dystrybucji zegara, IPMI, JTAG oraz sekcja zasilania zapewniają poprawną pracę urządzenia.

## 3.2. Opis standardu MTCA i AMC

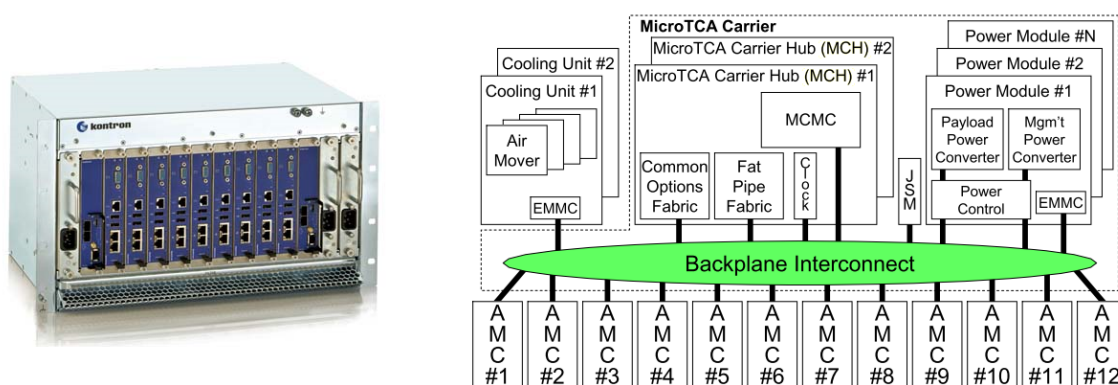
### 3.2.1. MTCA

MTCA (*Micro Telecommunication Computing Architecture*) jest platformą, której głównym zastosowaniem są systemy sieciowe w telekomunikacji. Jest to standard związany z ATCA (*Advanced Telecommunication Computing Architecture*), który jest szeroko wykorzystywany w telekomunikacji do systemów wymagających bardzo wysokiej wydajności. MTCA celuje w dziedzinę gdzie koszt i wymagania na wydajność nie są aż tak duże aby wykorzystywać ATCA. MTCA zawiera większość zalet standardu ATCA i jest znacznie tańszy. Dzięki modułowości MTCA pozwala na zbudowanie systemu dokładnie dopasowanego do potrzeb.

System składa się z kraty (*Shelf, Rack*), do której wpinane są karty rozszerzeń AMC (*Advanced Mezzanine Card*). W kracie znajduje się szereg systemów wymagany do poprawnej pracy kart rozszerzeń:

- *Backplane* - łączy ze sobą karty i systemy wewnątrz kraty
- MCH (*MicroTCA Carrier Hub*) - kontrola, zarządzanie, dystrybucja sygnałów zegarowych i interfejsów szeregowych
- JTAG Switching Module (JSM) - testowanie kart rozszerzeń podczas produkcji, jak również podczas pracy w systemach HA (*High Availability*)

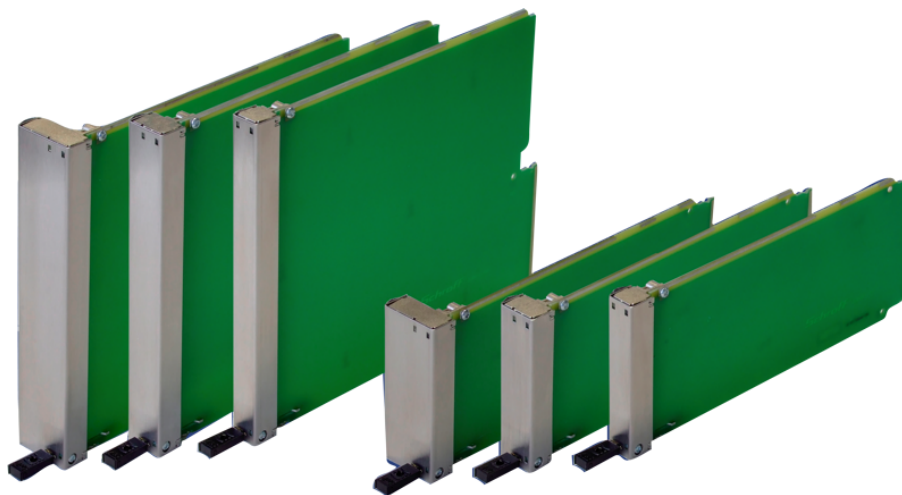
- Zasilanie (*Power Module*)
- Chłodzenie



Rysunek 3.2: Schemat blokowy systemu MTCA i zdjęcie kraty z modułami AMC

### 3.2.2. AMC

Standard AMC specyfikuje wymagania kart rozszerzeń wykorzystywanych w systemach ATCA i MTCA. Bazowa specyfikacja dotyczy wymagań elektrycznych, mechanicznych, temperaturowych, mocowych i dotyczących zarządzania dla karty AMC. W standardzie ATCA karta AMC jest wpinana do *Carrier Board* natomiast w standardzie MTCA karty wpinane są bezpośrednio w *Backplane*. Karty AMC mogą zawierać procesory x86, DSP, FPGA, NPU i inne, a nawet dyski twarde.



Rysunek 3.3: Zdjęcie różnych wymiarów kart AMC

Standard podzielony jest na pięć części:

- AMC.0 - specyfikacja bazowa
- AMC.1 - PCI Express i Advanced Switching
- AMC.2 - Gigabit Ethernet/10 Gigabit XAUI Ethernet

- AMC.3 - specyfikacja dla systemów danych (Storage)
- AMC.4 - Serial RapidIO

Standard specyfikuje różne wielkości modułów. Karta AMC może być pojedynczej (*Single width*) lub podwójnej wielkości (*Double width*) i może mieć jedną z trzech wysokości: *Compact*, *Mid-size* i *Full-size*. Poniższe tabele zawierają wymiary kart AMC.

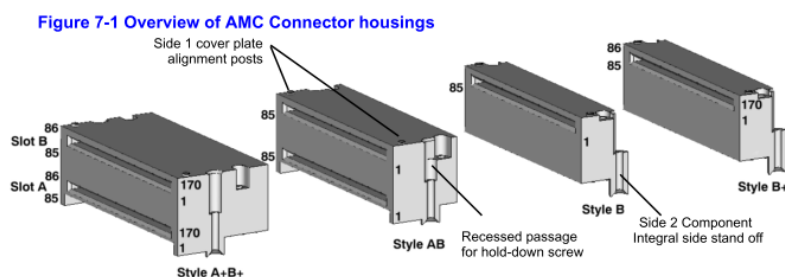
Rodzaj modułu	Wysokość [mm]	Szerokość [mm]	Długość [mm]	Moc [W]
Compact, Single-width	5.58	73.5	180.6	20
Compact, Double-width	5.58	148.5	180.6	40
Mid-size, Single-width	Patrz. rys. 2-15 [6]	73.5	180.6	20
Mid-size, Double-width	Patrz. rys. 2-15 [6]	148.5	180.6	40
Full-size, Single-width	21.05	73.5	180.6	60
Full-size, Double-width	21.05	148.5	180.6	60

Tablica 3.1: Zestawienie wymiarów modułów AMC

**Złącze krawędziowe AMC** Standard specyfikuje cztery rodzaje złącz krawędziowych:

- B
- B+
- AB
- A+B+

Connector Style	Interface to AMC Module	Number of Module Slots	Number of contact positions to Carrier	Number of contact rows on Carrier	Differential pairs	General purpose contacts	Power contacts	Ground contacts
B	Basic	1	85	1	19	11	8	28
B+	Extended	1	170	2	45	16	8	56
AB	Basic	2	170	2	38	22	16	56
A+B+	Extended	2	340	4	90	32	16	112



Rysunek 3.4: Rodzaje złącz krawędziowych w standardzie AMC

Projektowana karta jest typu **Double width** ze złączem **B+**. Złącze typu B+ zawiera szereg interfejsów szeregowych oraz wyjść/wejść sygnałów zegarowych.

- **FCLK** - *Fabric Clock* - sygnał zegarowy dedykowany interfejsowi PCI Express

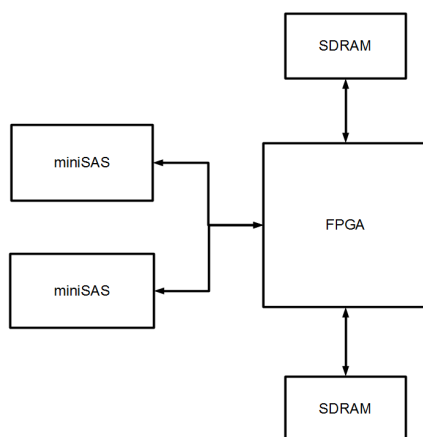


- **TCLK[A:D]** - *Telecom Clock* - cztery wejścia/wyjścia zegarowe służące do synchronizacji w systemach telekomunikacyjnych
- **PORT[0:3]** - cztery linie dedykowane interfejsom zarządzającym (*Control*) i dotyczącym zapisu danych np. SAS
- **FAT\_PIPE** - cztery linie dedykowane interfejsom PCI Express, SRIO, Advanced Switching
- **ADD** - *GA[0:3]* piny ustalające adres karty
- **MLVDS** - interfejs komunikacyjny typu *Multipoint* - dystrybuca sygnałów zegarowych, interlock'ów i triggerów
- **JTAG** - protokół do testowania i programowania kart
- **I2C** - interfejs komunikacyjny wykorzystywany przez IPMI

Powyższy opis standardów AMC i MTCA umożliwi dokładne zrozumienie założeń i realizacji projektu akceleratora obliczeniowego.

### 3.3. Koncepcja konstrukcji modułu akceleracji sprzętowej

Moduł akceleracji sprzętowej *Hardware Acceleration Unit* składa się z układu FPGA oraz szybkiej pamięci SDRAM. Do układu dołączone są złącza miniSAS oraz pośrednio *Backplane* poprzez moduł przełączania interfejsów. Zebrane dane mogą zostać zapisane na dołączonej pamięci podręcznej i poddane przetwarzaniu. Bardziej skomplikowane operacje przekazywane są dalej do jednostek przetwarzania *Processing Units* lub do *Backplane*.



Rysunek 3.5: Schemat blokowy modułu akceleracji sprzętowej

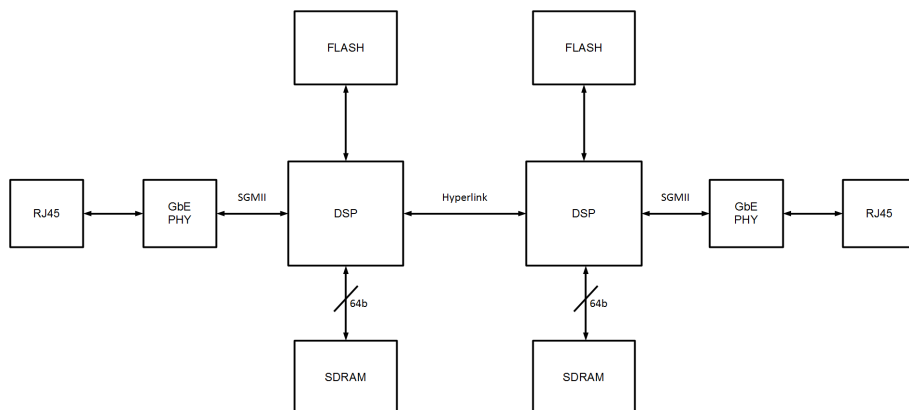
### 3.4. Koncepcja modułów przetwarzania

Projektowana karta zawiera dwa bliźniacze moduły przetwarzania, których sercem jest procesor DSP. Każdy z procesorów jest wyposażony w pamięć dynamiczną SDRAM, jak

również PHY interfejsu Gigabit Ethernet. Dodatkowo procesory wyposażono w szereg pamięci nieulotnych, które pozwalają na uruchomienie oprogramowania przygotowanego przez producenta; przykładem jest dedykowany system operacyjny Linux OS [7].

Razem z układem FPGA znajdującym się w jednostce akceleracji sprzętowej moduły przetwarzania tworzą system pozwalający na bardzo elastyczne podejście do przetwarzania sygnałów i posiadają wystarczającą moc obliczeniową do zaawansowanych obliczeń w czasie rzeczywistym.

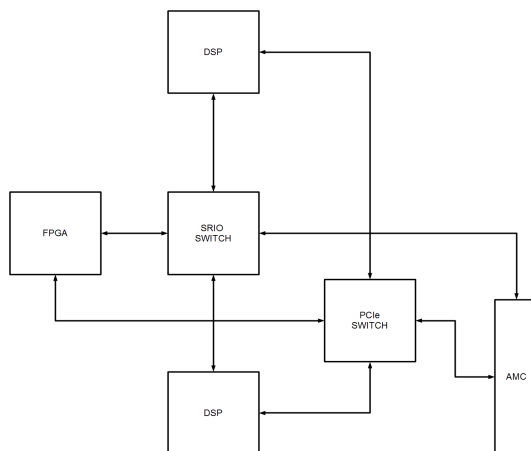
Moduły połączone ze sobą szybkim interfejsem *Hyperlink* o przepustowości 50 Gbps.



Rysunek 3.6: Schemat blokowy modułów przetwarzania

### 3.5. Koncepcja modułu przełączania interfejsów szeregowych

Moduły akceleracji sprzętowej i przetwarzania oraz *Backplane* są połączone ze sobą dwoma nowoczesnymi przełącznikami interfejsów szeregowych, statycznym SRIO oraz inteligentnym PCIe. Dzięki takiemu rozwiązaniu możliwa jest transparentna transmisja z dużą przepustowością pomiędzy układami jak i *Backplane*.



Rysunek 3.7: Schemat blokowy modułu przełączania interfejsów szeregowych

### 3.6. Pozostałe moduły i peryferia

System dystrybucji sygnałów zegarowych generuje sygnały zegarowe o odpowiedniej częstotliwości wymagane do poprawnej pracy układów znajdujących się na karcie. Zarządzaniem sygnałami sterującymi zajmuje się mikrokontroler, który również obsługuje standard IPMI wymagany do pracy karty w systemie *MTCA*.

Komunikacja ze światem zewnętrznym odbywała się poprzez złącza znajdujące się na panelu przednim oraz za pomocą złącza krawędziowego.

Jak każde urządzenie elektroniczne akcelerator obliczeniowy zawiera układy zasilające generujące odpowiednie napięcia. Programowanie procesorów DSP, układu FPGA i mikrokontrolera wykonuje się poprzez zewnętrzny programator dołączony do złącz JTAG znajdujących się na układzie.



# Realizacja konstrukcji akceleratora obliczeniowego

#### 4.1. Moduł akceleracji sprzętowej

Moduł akceleracji sprzętowej oparty jest o nowoczesny układ FPGA firmy Xilinx [8] z serii 7 - Artix 7 XC7A200T w obudowie FFG1156, posiadający 16 transceiver'ów GTP, 215 tys. komórek logicznych oraz 10 banków udostępniających 600 wejść/wyjść (IO) dla projektanta.



27

Projekt schematów elektrycznych został wykonany w oparciu o projekt *AMC FMC Carrier* gdzie został wykorzystany ten sam układ. Projekt jest dostępny na *Open Hardware Repository* [9].

## Konfiguracja układu FPGA

Układy Xilinx FPGA z serii 7 konfiguruje się poprzez załadowanie programu do wewnętrznej pamięci po doprowadzeniu zasilania. Źródłem programu może być zewnętrzna pamięć nieulotna bądź inny układ scalony np. mikrokontroler lub procesor DSP. Tryb konfiguracji jest zależny od stanu pinów **M[2:0]** znajdujących się w banku 0, który ustala się poprzez rezystory podciągające do zasilania albo masy (*ang. pull-up, pull-down*).

Układ FPGA w akceleratorze jest uruchamiany w trybie *Slave-serial* gdzie piny **M[2:0]** są podciągnięte do zasilania 3.3 V (**M[2:0] = 111**). W tym stanie wymagane jest doprowadzenie zewnętrznego zegara **CCLK**, w akceleratorze obliczeniowym jest on doprowadzony z mikrokontrolera zarządzającego, układu LPC1764, który steruje załadowaniem programu do układu FPGA z pamięci FLASH. Wykorzystane zostały dwa układy pamięci nieulotnej firmy Micron [10] M25P128 [11] w obudowie DFN8, zawierające po 16 MB pamięci typu NOR FLASH i komunikujących się poprzez interfejs SPI. Zastosowano dwa układy pamięci aby mieć dostęp do niej zarówno z FPGA jak i mikrokontrolera oraz w celu umieszczenia tam danych konfiguracyjnych np. tablic kalibracyjnych. Istnieje również możliwość wykorzystania drugiej pamięci jako pamięci konfiguracyjnej FPGA fail-safe. Dodano również alternatywny footprint w razie problemów z dostępnością pamięci w obudowie DFN8. Układ FPGA jest dołączony do pamięci poprzez piny z banku 14: **MOSI, DIN, D2, D3 i FCS\_B**.

Załadowanie pamięci programu FPGA w trybie Slave-Serial jest wykonywane przy pomocy mikrokontrolera (LPC1764), który przesyła sygnał zegarowy CCLK do FPGA. Pamięć programu jest załadowana bit po bit'cie zgodnie z narastającym zboczem CCLK.

Pin **CFGBVS** (*ang. Configuration Banks Voltage Select Pin*) w banku 0 jest ustawiony w stan wysoki, co determinuje dozwolone napięcia zasilania banków 0 oraz 14 i 15 gdzie znajdują się dodatkowe piny konfiguracyjne. Gdy **CFGBVS** jest w stanie wysokim, dozwolone napięcia to 3.3 V oraz 2.5 V; gdy w niskim odpowiednio 1.8 V oraz 1.5 V. W projekcie bank 0 oraz 14 są zasilane z 3.3 V, natomiast bank 15 z napięcia 2.5 V.

Dodatkowo układ FPGA można zaprogramować (załadować pamięć programu) poprzez interfejs JTAG za pomocą programatora i komputera PC z odpowiednim oprogramowaniem. Interfejs JTAG składa się z wejść/wyjść: **TMS, TCK, TDI** oraz **TDO** (opcjonalnie **TRST**).

Piny **PROGRAM\_B** oraz **INIT\_B** są, zgodnie z dokumentacją, dołączone do zasilania poprzez rezystory 4.7 kΩ. Dodatkowo **INIT\_B** jest dołączony do mikrokontrolera w celu możliwości wykonania ponownego załadowania programu bez konieczności resetowania całego urządzenia. Pin **DONE** jest dołączony do rezystora podciągającego 330 Ω oraz do obwodu diody LED indykującego poprawną aktualizację zawartości pamięci flash z konfiguracją FPGA.

Pin **PUDC\_B** jest dołączony do masy przez 10kΩ rezystor, pin ten uruchamia wewnętrzne podciągnięcie do zasilania pinów (*SelectIOs*) po dołączeniu zasilania i podczas konfiguracji.

Bank 0 zawiera również piny **DXP, DXN** które są wyjściami czujnika temperatury. Dołączone zostały do układu firmy Maxim [12], MAX6642ATT90 [13] kontrolowanego przez mikrokontroler LPC1764 poprzez interfejs I2C.

Więcej informacji dotyczących konfiguracji układów FPGA firmy Xilinx z serii 7 można

znaleźć w dokumentacji producenta [14].

### Opis połączeń banków 14, 15, 17, 34

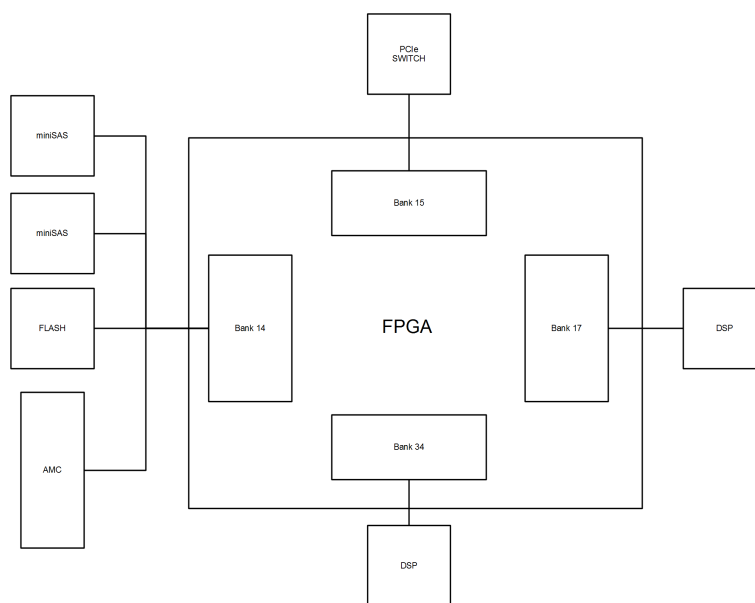
**Bank 14** Bank 14 jest zasilany z napięcia 3.3 V i dołączono do niego następujące peryferia:

- interfejs komunikacyjny ze złącz miniSAS
- MLVDS
- I2C (dwa oddzielne interfejsy dla pamięci flash i LPC1764)
- diody LED

**Bank 15** Bank 15 jest zasilany z napięcia 2.5V i dołączone są do niego sygnały kontrolne z układu przełącznika PCIe PEX8616 [15] firmy PLX [16].

**Bank 17 i 34** Banki 17 i 34 służą do komunikacji z procesorami DSP. Banki są zasilane z napięcia 1.8 V. Dołączone interfejsy to:

- Piny GPIO sterujące trybem uruchomienia procesora
- Piny resetu
- Timer
- SPI



Rysunek 4.2: Połączenia banków układu FPGA z peryferiami

### Połączenia transceiverów GTP

Układ XC7A200T w obudowie FFG1156 zawiera 4 tzw. GTP Quads [17] 113, 116, 213 oraz 216 każdy zawierający po 4 linie szybkich interfejsów szeregowych **GTP** (*Gigabit Transceiver Port*). Do Quadów dołączone są interfejsy szeregowy SAS, SRIO i PCIe oraz sygnały zegarowe.

- Quad 113 - SRIO
- Quad 213 - PCIe Gen. 2
- Quad 216 - SAS
- Quad 116 - SAS

## Sygnały zegarowe

Układ FPGA potrzebuje do poprawnej pracy 9 sygnałów zegarowych:

- sygnał zegarowy PCIe dołączony do GTP Quad 213
- 2 sygnały zegarowe do interfejsu SAS dołączone do GTP Quad 216 i 116
- sygnał zegarowy interfejsu SRIO dołączony do GTP Quad 213
- 2 sygnały zegarowe dla kontrolerów pamięci SDRAM
- zegar CCLK (tylko podczas konfiguracji)

Sygnały zegarowe są wygenerowane przez układy CDCUN1208 [18] oraz AD9522 [19].

## Zasilanie

Układ Xilinx Artix 7 jest zasilany z napięć 1.0 V, 1.2 V, 1.8 V, 2.5 V oraz 3.3 V, gdzie napięcia 1.0 V, 1.2 V i 3.3 V służą do zasilania wewnętrznych systemów układu, a pozostałe zasilają poszczególne banki [20].

Linia	Opis	Napięcie [V]	Prąd [A]
VCCINT	Internal supply voltage	1.0	2.926
VCCAUX	Auxiliary supply voltage	1.8	0.303
VCCBRAM	Block RAM supply voltage	1.0	0.043
VCCO	Supply voltage for 3.3 V HR I/O banks	3.3	0.003
VIN	Input voltage	(-0.2, VCCO+0.2)	0.003
VCCBATT	Battery voltage	1.8	BD
VMGTAVCC	Analog supply voltage for GTP transceivers	1.0	1.116
VMGTAVTT	Analog supply voltage for GTP termination	1.2	0.952
VDCADC	XADC supply relative to GNDADC	1.8	0.025
VREFP	Externally supplied reference voltage	1.25	BD

Tablica 4.1: Napięcia zasilające i pobór prądu przez układ FPGA

Wrażliwe napięcia zostały oddzielone przez zastosowanie filtrów. Ilość i wielkość kondensatorów blokujących jest zgodna z zaleceniami producenta [21]. Projekt zasilania układu FPGA został zaadaptowany z projektu *AMC FMC Carrier*. Zmienione zostały napięcia zasilające poszczególnych banków i wraz z nimi kondensatory blokujące.

## Nie używane banki

Banki 16, 35, 36 nie zostały wykorzystane w projekcie.





TMS320C6678 wykonany przez firmę Advantech [24] oraz o dokumentację producenta [25].

## PCIe

Procesor zawiera dwie linie *PCIe Gen. 2.0*. Oba dołączone są do układu PEX8616. Połączenie ma sprzężenie pojemnościowe. Interfejs jest bardzo popularny w systemach wbudowanych jako ewolucja magistrali równoległej PCI. Maksymalna przepustowość interfejsu to 2.5 Gbps na linię.

## Serial Rapid IO

Układ posiada 4 interfejsy SRIO (*Serial Rapid IO*), które są dołączone do układu przełącznika gigabitowego firmy Analog Devices [26], układu ADN4604 [27]. SRIO jest to szybki interfejs szeregowy pozwalający na przesył danych z prędkością 5 Gbps na linię, czyli sumarycznie 20 Gbps.

## Gigabit Ethernet

Procesor dysponuje dwoma interfejsami SGMII, które pozwalają na komunikację w sieciach lokalnych z prędkością 1 Gbps. Jeden interfejs jest dołączony do gniazda RJ45 poprzez PHY firmy Vitesse [28] układ VSC8221 [29]. Pozwala to na komunikację z procesorami DSP bezpośrednio poprzez sieć lokalną.

## Hyperlink

Hyperlink jest szybkim interfejsem szeregowym obsługiwanym przez procesory DSP firmy *Texas Instruments*. Przepustowość tego interfejsu to aż 12.5 Gbps na linię. Zgodnie ze specyfikacją [25] interfejs ten ma sprzężenie DC, jednak według informacji umieszczonej na oficjalnym forum *Texas Instruments* <http://e2e.ti.com/> [30] interfejs może również pracować ze sprzężeniem AC. Hyperlink w akceleratorze obliczeniowym służy do przesyłu danych pomiędzy procesorami, maksymalna przepustowość to 50 Gbps (4 x 12.5 Gbps). Przydatną właściwością interfejsu jest możliwość dowolnego zamieniania linii oraz par różnicowych w celu ułatwienia prowadzenia połączeń na PCB. Poza liniami przesyłającymi dane, interfejs zawiera dodatkowe linie dedykowane specjalnemu protokołowi komunikacyjnemu.

## Pozostałe interfejsy

Procesor posiada ponadto interfejsy TSIP, AIF, I2C, SPI, oraz liczniki. TSIP oraz AIF nie są wykorzystane w projekcie. Wyprowadzenia pozostałych interfejsów zostały dołączone bezpośrednio do układu FPGA.

## SPI

DSP komunikuje się z pamięcią NOR oraz FPGA za pomocą interfejsu SPI. Sygnał zegara jest rozdzielony za pomocą bufora SN74AUC2G07 [31]. Sygnał zegarowy do układu FPGA jest dołączony do wejścia MRCC, które jest dedykowanym wejściem zegarowym [32]. Schemat połączeń pozwala na uruchomienie DSP z pamięci NOR (*Second Level Bootloader*) oraz na komunikację z FPGA poprzez interfejs SPI.

## Sygnały zegarowe

Procesor DSP TMS320C6678 potrzebuje do pracy, w zależności od wykorzystywanych peryferiów, 6 sygnałów zegarowych.

Sygnał	Opis	Częstotliwość [MHz]
CORECLK	sygnał zegarowy rdzenia procesora	100
DDRCLK	sygnał zegarowy kontrolera pamięci DDR3	66.67
SRIOSGMIICLK	sygnał zegarowy kontrolera interfejsów SGMII oraz SRIO	312.5
PCIECLK	sygnał zegarowy dla kontrolera magistrali PCI Express Gen 2	100
MCMCLK	sygnał zegarowy magistrali Hyperlink	312.5
PASSCLK	sygnał zegarowy dla koprocesora sieciowego	100

Tablica 4.2: Sygnały zegarowe procesora DSP

Wszystkie sygnały zegarowe są typu LVDS o sprzężeniu pojemnościowym. Możliwe jest też dołączenie zegarów HCSL przy zastosowaniu odpowiedniej terminacji. Sygnały zegarowe są generowane przez system dystrybucji zegara, a dokładniej przez układy CDCM6208 [33] i 5V41068A [34]. Dokładny opis wejść zegarowych procesora DSP można znaleźć w dokumentacji producenta [35].

## Zasilanie

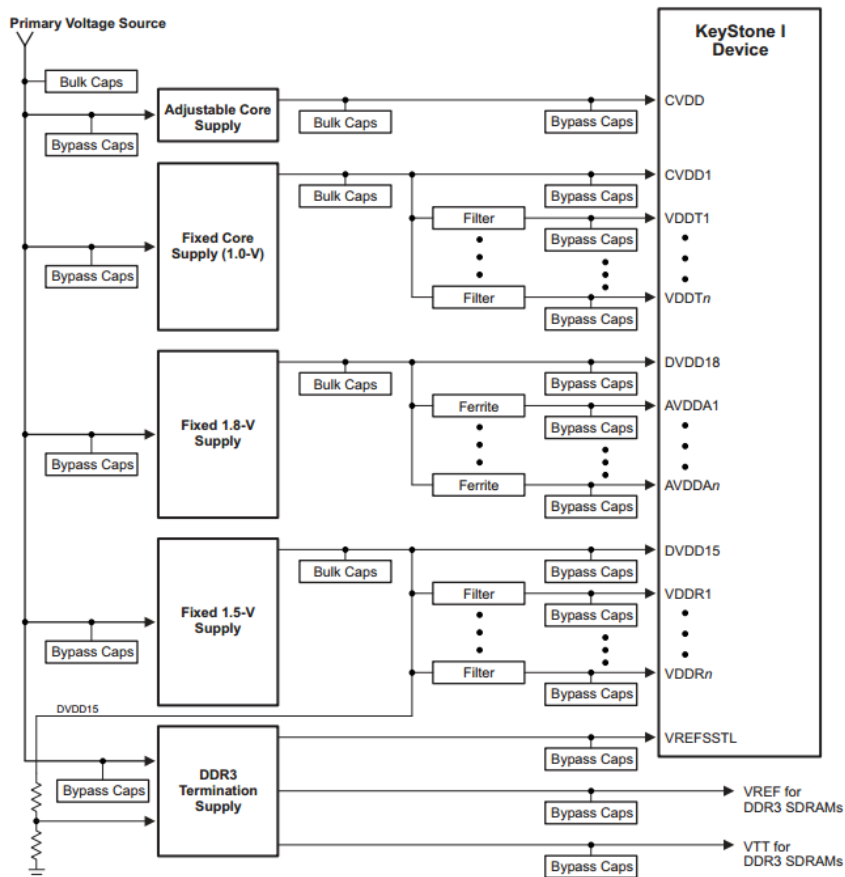
Do pracy procesor DSP TMS320C6678 wymaga 4 podstawowych napięć zasilających oraz dodatkowych wymagających filtracji.

Linia	Opis	Napięcie [V]	Prąd [A]
CVDD	core logic adjustable supply	(0.9 - 1.05)	7.3
CVDD1	fixed internal supply	1.0	1.5
VDDTn	filtered SerDes termination voltage	1.0	BD
DVDD18	LVC MOS buffers and PLL supply	1.8	0.021
AVDDAn	filtered PLL supply	1.8	BD
DVDD15	DDR3 buffers supply	1.5	0.414
VDDRn	filtered SerDes supply	1.5	BD
VTT	DDR3 termination supply	0.75	BD
VREF	DDR3 reference supply	0.75	BD

Tablica 4.3: Napięcia zasilające i pobór prądu przez procesor DSP

Sekcja zasilania procesora DSP tj. ilość i wielkość kondensatorów odsprężających, wykorzystane filtry typu T zostały zaadaptowane z modułu ewaluacyjnego procesora TMS320C6678.

Figure 1 KeyStone I Power Supply Planes (Rails)



Rysunek 4.4: Schemat napięć zasilających procesora DSP

## Smartreflex

Napięcie rdzenia procesora DSP wykorzystuje specjalny interfejs **SmartReflex** typu C, który reguluje napięcie rdzenia po wyjściu procesora ze stanu resetu. W przypadku procesorów TMS320C6678 napięcie rdzenia jest uzależnione od procesu produkcji i może zawierać się w przedziale od 0.9 V do 1.05 V. Stan pinów VID[0:3] określa napięcie rdzenia. Do obsługi tego interfejsu zostały wyprodukowane dedykowane układy kontrolerów przetwornic oraz samych tranzystorów przełączających z serii UCD92xx oraz UCD72xx. W akceleratorze zastosowano te same układy jak w module ewaluacyjnym z tą różnicą iż oba wyjścia UCD7242 [36] generują napięcie regulowane rdzenia (*adjustable core voltage supply*) do każdego z procesorów (w module ewaluacyjnym UCD7242 generuje napięcie CVDD i CVDD1). Ponieważ układ UCD9222 [37] pracuje z napięciem zasilania 3.3 V, a procesor DSP 1.8 V wymagany jest translator poziomów, zastosowano układ firmy *Texas Instruments* SN74AVC4T [38]. CVDD1 w projekcie akceleratora obliczeniowego odpowiada linii P1V0.

## Pamięci flash procesora DSP

Każdy z procesorów DSP posiada dostęp do trzech układów pamięci nieulotnej FLASH: EEPROM, NOR i NAND. Dostęp do pamięci EEPROM jest zapewniony poprzez interfejs I2C, do NOR poprzez SPI, a NAND wykorzystuje specjalny interfejs komunikacyjny EMIF16. Konfiguracja pamięci została zaadaptowana z modułu ewaluacyjnego TMS320C6678. Dodatkowo piny **WRITE\_PROTECT** są dołączone do układu FPGA w celu zabezpieczenia

zmiany pamięci nieulotnej. Taka konfiguracja pozwala na uruchamianie procesora w różnych trybach pracy, jak również na uruchomienie systemu operacyjnego Linux z pamięci NAND. Możliwe konfiguracje uruchamiania procesora są szczegółowo opisane w dokumentacji producenta [39].

### **Pamięć SPI NOR FLASH**

Pamięcią NOR jest układ N25Q128 [40] o pojemności 16 MB. Układ komunikuje się z procesorem za pomocą interfejsu SPI.

### **Pamięć EEPROM**

Zastosowana pamięć EEPROM jest to układ M24M01 [41] firmy STMicroelectronics [42]. Układ wykorzystuje interfejs I2C do komunikacji z procesorem DSP.

### **Pamięć NAND FLASH**

Zastosowano pamięć NAND FLASH MT29F2G16 [43] o pojemności 64 MB. Różni się ona od tej zastosowanej w module ewaluacyjnym szerokością szyny danych (16 linii zamiast 8). Taka zmiana będzie wymagała modyfikacji kodu uruchamiającego procesor z EMIF16 udostępnionego przez producenta. Powodem zmiany był brak kompatybilnej pamięci o 8 liniach danych na rynku.

#### **4.2.2. Pamięć SDRAM**

Procesor DSP ma możliwość zapisu danych na szybkiej pamięci dynamicznej SDRAM-1333 o częstotliwości pracy 667 MHz. Szyna adresowa ma 16 bitów, natomiast szyna danych 64 bity. Istnieje możliwość dołączenia piątej kości w celu dodania funkcji ECC. Schemat połączeń został zaadaptowany z modułu ewaluacyjnego procesora TMS320C6678 [44].

#### **4.2.3. Interfejs Gigabit Ethernet**

##### **PHY Vitesse VSC8221**

Układ Vitesse VSC8221 [29] jest tzw. PHY (*ang. OSI PHYSical layer*) interfejsu Gigabit Ethernet. Układ łączy warstwę MAC procesora DSP ze światem zewnętrznym poprzez złącze RJ45. Komunikacja między procesorem DSP a układem realizującym warstwę fizyczną odbywa się przez interfejs SGMII (*Serial Gigabit Media Independent Interface*) wraz z dodatkowymi informacjami przesyłanymi liniami **MDI**, **MDO**.

Zdecydowano się na ten układ ze względu na kompaktową obudowę i mały pobór mocy (<700 mW). Dodatkowym czynnikiem była dostępność układu wykorzystanego w module ewaluacyjnym procesora TMS320C6678, 88E1111 [45] firmy Marvell [46], którego zamówienie w małej ilości jest problematyczne.

Układ jest zasilany z napięcia 3.3 V i posiada wewnętrzne stabilizatory generujące napięcie 1.2 V eliminując tym samym konieczność podłączenia kolejnego obciążenia do linii 1.2 V akceleratora. Istnieje możliwość dołączenia nieulotnej pamięci EEPROM, którą przewidziano w projekcie jako opcjonalną. Układ jest skonfigurowany do pracy w trybie SGMII bez sygnału zegara referencyjnego; tryb jest ustalany za pomocą pinów **CMODE[0:3]**. Dodatkowo w

celu kontroli pracy układu piny **MODEDEF0**, **SIGDET** i **SRESETz** zostały dołączone do mikrokontrolera LPC1764.

Pin **MODEDEF0** jest pinem wyjściowym sygnalizującym poprawną inicjalizację układu, **SIGED** jest sygnałem wyjściowym indukującym stan transmisji. **SRESET** natomiast resetuje PHY z zachowaniem konfiguracji rejestrów wewnętrznych.

## 4.3. Moduł przełączania interfejsów

### 4.3.1. Układ przełącznika interfejsu *Serial Rapid IO*

Istnieje możliwość modyfikacji połączeń pomiędzy jednostkami przetwarzania, akwizycji i *Backplane* dzięki zastosowaniu w akceleratorze przełącznika gigabitowego (*gigabit crosspoint switch*), układu ADN4604 [27]. Przełącznik posiada 16 wejść i wyjść różnicowych, pomiędzy którymi można się przełączać na zasadzie każdy z każdym oraz jeden do wszystkich. Układ jest zasilany z napięcia 3.3 V, przełączanie jest sterowane za pomocą mikrokontrolera LPC1764 poprzez interfejs I2C.

Procesory DSP są dołączone do ADN4604 za pomocą interfejsu SRIO (4 linie), natomiast FPGA wykorzystuje 4 linie GTP, które również obsługują interfejs SRIO. Do przełącznika jest ponadto dołączona magistrala Fat Pipe 2 ze złącza AMC. Fat Pipe jest grupą portów na złączu AMC służącą połączeniu wielo-liniowych interfejsów, takich jak np. PCIe czy SRIO [patrz 3.2.2]. Na złączu AMC znajdują się dwie grupy Fat Pipe po cztery linie Tx i cztery linie Rx. Taka sieć połączeń pozwala na elastyczną komunikację o dużej przepustowości między układami.

Jako przykład można podać sytuację kiedy FPGA przetwarza wstępnie dane otrzymane z interfejsu SAS i przesyła je do jednej jednostki przetwarzania za pomocą wszystkich linii gdyż wymagane przetwarzanie potrzebuje dużej przepustowości (4 linie SRIO), z drugiej strony może zdarzyć się sytuacja kiedy przepustowość nie będzie istotna a moc obliczeniowa będzie kluczowym parametrem. Wtedy jednostka akwizycji ma możliwość przesłania danych do obu procesorów DSP, jak również jednocześnie do DSP i płyty matki. Zastosowanie tego układu zwiększa elastyczność i uniwersalność akceleratora.

### 4.3.2. Układ przełącznika interfejsu *PCI Express 2.0*

Inteligentny przełącznik PCI Express (*PCIe Switch*) to układ PEX8616 [15], który posiada 4 porty *PCIe Gen 2.0*, co pozwala na dołączenie do niego obu procesorów DSP, układu FPGA i złącza AMC. Układ TMS320C6678 przesyła dane do przełącznika za pomocą dwóch linii, FPGA za pomocą 4 portów GTP, które mogą być skonfigurowane do pracy w interfejsie *PCIe*. Czwarty port jest podłączony do złącza AMC, do portu Fat Pipe 1. Na złączu krawędziowym znajdują się cztery linie interfejsu *PCIe*. Układ pozwala na transparentną transmisję danych między portami.

Schematy przełącznika zostały zaprojektowane w oparciu o referencyjny moduł ewaluacyjny **PEX8616 RDK** oraz o projekt OHWR *Beam Position Monitor, Digital Back End* [47] gdzie został wykorzystany podobny układ jednak o większej ilości portów.

Porty są skonfigurowane jako 4 liniowe, za pomocą rezystorów podciągających dołączonych do pinów **STRAP\_STN0\_PORTCFG1**, **STRAP\_STN1\_PORTCFG0**. Mimo tego że DSP są dołączone za pomocą dwóch linii do przełącznika, układ PEX8616 dzięki funkcji autonegocjacji sam zmniejszy ilość pracujących linii. Funkcja ta przydatna jest również

podczas prowadzenia połączeń na PCB gdyż kolejność linii oraz polaryzacja par różnicowych może być dowolna.

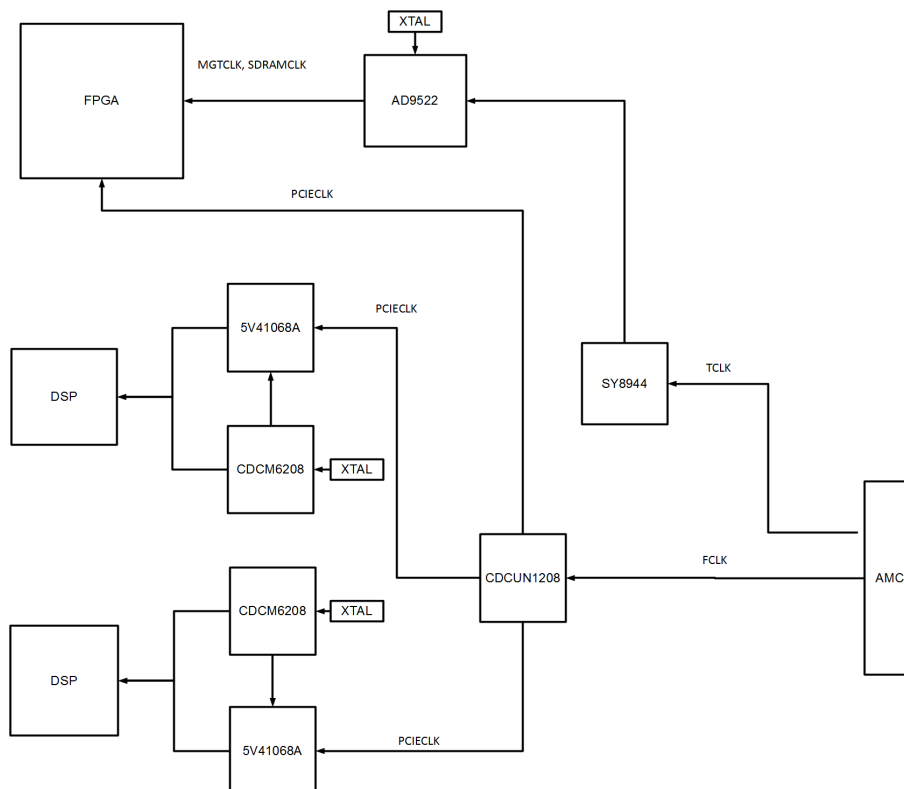
Układy DSP, FPGA oraz złącze AMC są węzłami typu *End Point*, a PEX8616 jest węzłem typu *Root Complex*. Do układu jest doprowadzony referencyjny sygnał zegarowy o częstotliwości  $f_{clk} = 100MHz$  z układu CDCUN1208LP.

Istnieje możliwość konfiguracji wewnętrznych rejestrów układu poprzez interfejs I2C (z FPGA) oraz zapis konfiguracji w opcjonalnie montowanej pamięci nieulotnej. Zaawansowane funkcje układu są dostępne jedynie poprzez EEPROM. Układ będzie spełniał swoją funkcję bez konfiguracji jednak warto mieć możliwość rozszerzenia funkcjonalności.

Układ ponadto pozwala na obsługę funkcji *Hot Plug* pozwalającej na dołączanie oraz odłączanie układów do niego dołączonych podczas pracy. Ta funkcja może być szczególnie przydatna gdy wystąpi konieczność aktualizacji oprogramowania, nie będzie wtedy konieczny reset systemu operacyjnego kontrolera karty.

## 4.4. System dystrybucji sygnałów zegarowych

Dystrybucja i generacja sygnałów zegarowych na karcie jest wykonana za pomocą szeregu układów dedykowanych takim zastosowaniom. Sygnały zegarowe są krytyczne dla poprawnej pracy układów scalonych, dlatego zastosowano sprawdzone i wcześniej wykorzystywane w innych projektach układy aby zapewnić poprawność działania systemu. Zamieszczony diagram przedstawia system dystrybucji sygnałów zegarowych na akceleratorze obliczeniowym.



Rysunek 4.5: Szczegółowy schemat blokowy systemu dystrybucji sygnałów zegarowych

Sygnały zegarowe można podzielić na te dedykowane interfejsowi PCIe, układowi FPGA i procesorom DSP.

#### 4.4.1. Generacja sygnałów zegarowych interfejsu *PCI Express 2.0*

Sygnały zegarowe interfejsu PCIe są generowane z jednego źródła, aby umożliwić pracę układów w trybie *common refclk* zsynchronizowanego z sygnałem zegarowym MCH. Standard PCIe specyfikuje również sposób dystrybucji sygnału zegarowego *separate refclk* oraz *data clocked refclk*. Pierwszy występuje wtedy kiedy układy posiadają lokalne źródło sygnału zegara PCIe; korzysta się w tym przypadku z faktu, że standard PCIe specyfikuje iż przesunięcie między sygnałami zegarowymi może zawierać się w przedziale  $\pm 300ppm$ . Minusem tego rozwiązania jest brak możliwości korzystania z *SSC* (*Spread Spectrum Clocking*). Ostatni tryb, jak sama nazwa wskazuje, zaszywa zegar w przesyłanych danych. Częstotliwość sygnału zegarowego PCIe to  $100MHz$ .

SSC jest to metoda zmniejszania generowanych zakłóceń elektromagnetycznych z linii zegarowej (EMI) oraz redukcję wpływu szumów na linię poprzez modulację sygnału zegara wokół częstotliwości nośnej. Częstotliwość modulacji jest niska (33 kHz).

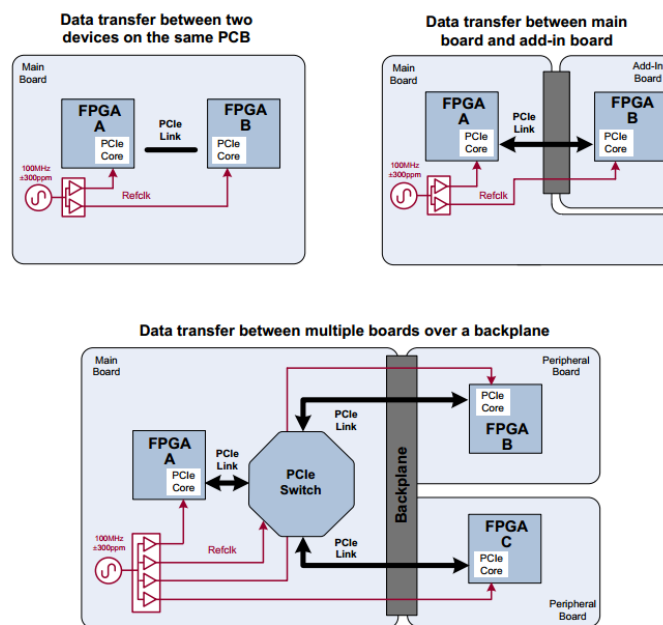


Figure 2. System Applications of PCIe Interconnects

Rysunek 4.6: Rodzaje dystrybucji sygnału zegarowego interfejsu *PCI Express 2.0*

Warunkiem poprawnej pracy systemu dystrybucji *common refclk* jest dopasowanie sygnałów zegarowych do 12 ns przesunięcia (*skew*) [48] między liniami. W przypadku modułu AMC trudno jest nie spełnić tego wymogu, ze względu na małe wymiary mechaniczne.

Dedykowanym wyjściem zegarowym dla interfejsu PCIe na złączu AMC jest wyjście FCLK [6]. Zegar ten (typu HCSL) dołączony jest do bufora 1:8 układu CDCUN1208, który powiela sygnał zegarowy do wszystkich układów obsługujących interfejs PCIe. Do układu FPGA i przełącznika PCIe zegary są dołączone bezpośrednio, natomiast do procesorów DSP poprzez przełącznik (multiplexer) zegarowy 2:1 interfejsu PCIe układ 5V41068A sterowany za pomocą mikrokontrolera LPC1764. Pozostałe zegary zostały wyprowadzone na panel przedni modułu AMC do złącz HDMI i służą jako wyjście nieużywanych sygnałów zegarowych. Sygnał zegarowy dołączony do przełącznika PCIe jest typu HCSL i dlatego należało zastosować odpowiednią terminację.



Układ CDCUN1208, jest konfigurowany za pomocą pinów wyjściowych:

- **OE** - uruchomienie wyjść, stan wysoki, wyjścia uruchomione
- **MODE** - tryb programowania, stan open drain, tryb pracy układu *pin programming mode*
- **DIVIDE** - dzielnik częstotliwości na wyjściu, stan open drain, dzielnik = 1
- **ERC** - szybkość narastania zboczy sygnałów wyjściowych, stan open drain, tryb *FAST*
- **ITTP** - rodzaj wejścia zegara referencyjnego, stan wysoki, wejście **HCSL**
- **INSEL** - wybór wejścia referencyjnego, stan niski, wejście **IN1** aktywne
- **OTTP** - tryb pracy wyjść, stan niski, wyjścia typu **LVDS**

#### 4.4.2. Generacja sygnałów zegarowych dla układu FPGA

Złącze AMC poza wyjściem zegarowym FCLK posiada cztery wejścia/wyjścia zegarowe TCLK[0:3]. Zgodnie ze specyfikacją standardu AMC [6] są to sygnały zegarowe o niskiej częstotliwości, które mogą służyć jako zegary referencyjne bądź *wyjściowe* tj. generowane na module i przesyłane do *MCH*. Oryginalnym zastosowaniem tych sygnałów jest synchronizacja w systemach telekomunikacyjnych. W przypadku akceleratora obliczeniowego zegary TCLK[0:3] uznane zostały za wyjściowe i dołączone do multiplexera 4:1 układu SY89544U [49] firmy *Micrel Inc.* [50], którego wyjście zostało dołączone do jednego z wejść referencyjnych układu AD9522 [19]. Wyjście układu SY89544U jest sterowane za pomocą mikrokontrolera.

Układ AD9522 generuje sygnały zegarowe wymagane przez układ FPGA. Dodatkowo aby uniezależnić się od parametrów zegarów TCLK, do układu dołączono oscylator TCXO 10 MHz. Konieczne było również dodanie filtra pętli PLL. Filtr zaprojektowano za pomocą oprogramowania udostępnionego przez producenta ADIsimCLK. Ustalono maksymalną częstotliwość wyjściową na 600 MHz (*maximum bandwidth*), taka jest maksymalna częstotliwość pracy wejść zegarowych transceiver'ów GTP układu XC7A200T.

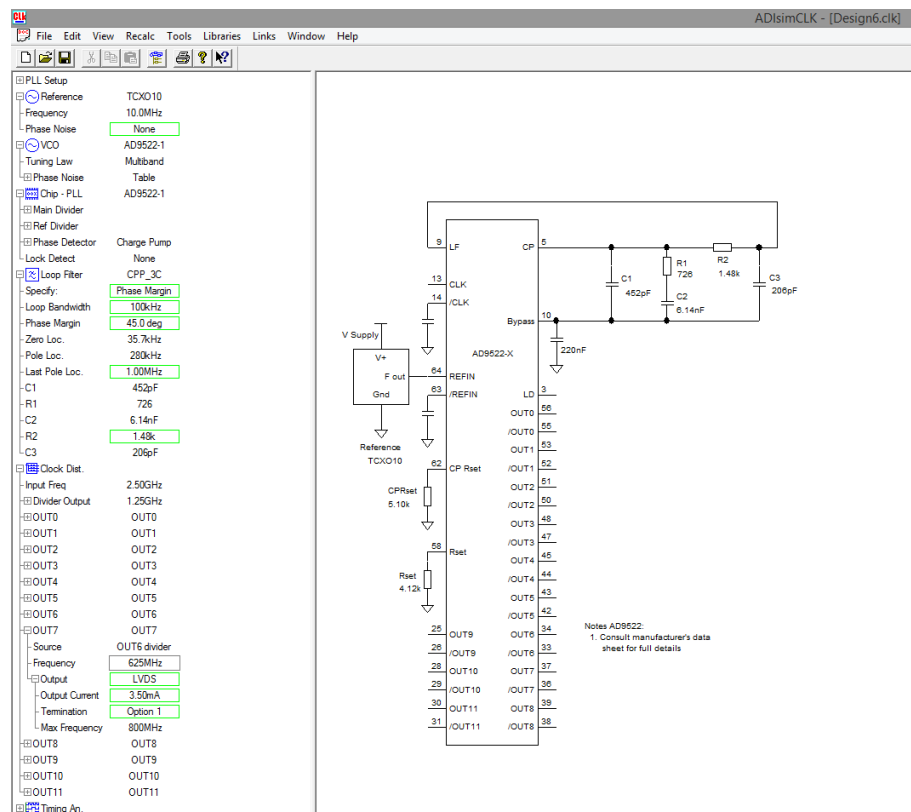
Sygnały zegarowe generowane przez układ to:

- 6 zegarów do transceiverów GTP układu XC7A200T
- 2 zegary kontrolerów pamięci SDRAM FPGA
- 4 zegary wyjściowe dołączone do gniazd HDMI

Wyjścia/wejścia kontrolne **STATUS**, **SYNC** i **RESET**, zostały dołączone do układu LPC1764.

#### 4.4.3. Generacja sygnałów zegarowych procesora DSP

Procesor DSP wymaga do poprawnej pracy 6 sygnałów zegarowych [patrz 4.2]; do ich generacji w module zastosowano układy CDCM6208 oraz 5V41068A.



Rysunek 4.7: Projekt pętli sprzężenia zwrotnego PLL układu AD9522

## Dobór układu generującego sygnały zegarowe

Dedykowanymi układami dystrybucji zegara dla procesorów DSP z rodziny TMS320C66x są układy CDCE6205, CDCL6010 i CDCM6208. Zdecydowano się na wykorzystanie układu CDCM6208 gdyż pozwala on na generację wszystkich potrzebnych sygnałów zegarowych do DSP. Dla porównania, moduł ewaluacyjny TMDXEVM6678L [24] posiada system generacji sygnałów zegarowych zbudowany na dwóch układach CDCE62005 oraz zewnętrznym multiplekserze sygnałów zegarowych PCIe 2:1 ICS557. Wykorzystanie układu CDCM6208 pozwala uprościć ten system. Generuje on 6 sygnałów zegarowych, z czego 5 doprowadzonych jest bezpośrednio do procesora DSP, a jeden PCIECLK do multipleksa sygnału zegarowego interfejsu PCIe układu 5V41068A (dedykowanego PCIe Gen. 2.0).

## Schemat elektryczny układu dystrybucji sygnałów zegarowych CDCM6208

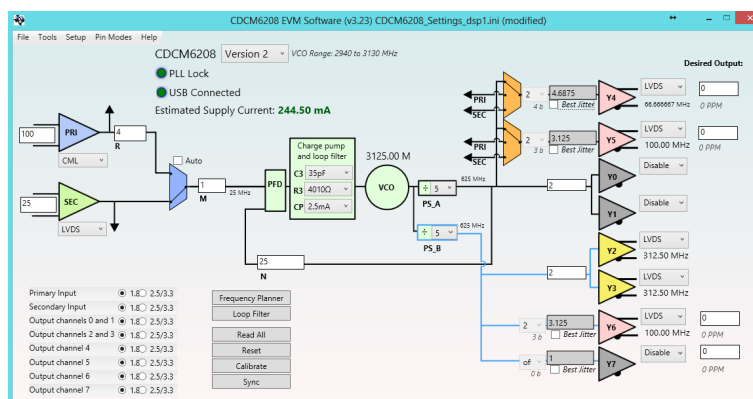
Układ jest zasilany z napięcia 1.8 V. Źródłem referencyjnym sygnału zegara jest oscylator kwarcowy 25 MHz dołączony do wejścia **PRI\_REFP/N** (wejście różnicowe), wybierany pinem **REF\_SEL** (stan niski). Pin **SYNCRN** jest ustawiony w stan wysoki, aby wyjścia były aktywne. Funkcja wyłączenia układu nie jest wykorzystywana dlatego **PDN** jest ustawiony w stan wysoki. Zgodnie z zaleceniami producenta dołączono kondensator opóźniający uruchomienie układu (aby wewnętrzne PLL ustabilizowało się). Do pinu resetu układu dołączono układ opóźniający RC, reset układów zegarowych jest **oddzielony** od resetu pozostałych układów.

Konfiguracja odbywa się poprzez interfejs I2C. Ponieważ w akceleratorze znajdują się dwa układy generacji zegara dla procesorów DSP, różne są ustawienia pinów **AD[0:1]** które ustalają adres urządzenia.

- adres CDCM6208 DSP0 0x54

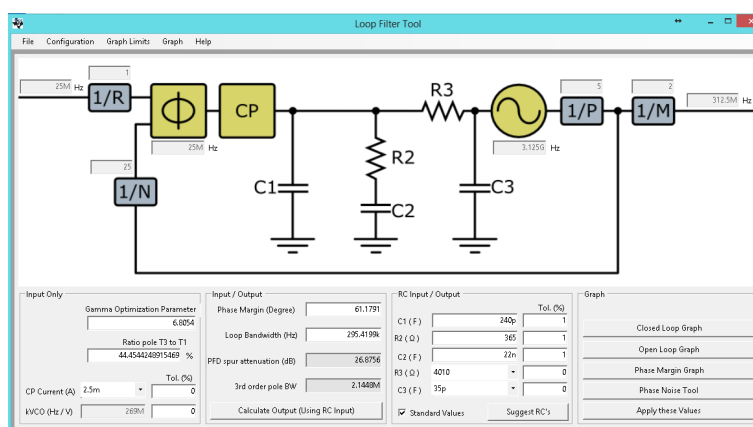
- adres CDCM6208 DSP1 0x55

Producent udostępnia specjalne oprogramowanie, dzięki któremu można wygenerować odpowiednie wartości wewnętrznych rejestrów oraz elementów pętli sprzężenia zwrotnego. Układ został skonfigurowany w trybie *Synthesiser Mode* i pozwala na generację zegarów typu LVDS o częstotliwościach wymaganych przez procesor DSP.



Rysunek 4.8: Konfiguracja częstotliwości i typów wyjść zegarowych

Pętla sprzężenia zwrotnego układu CDCM6208 jest przedstawiona na rysunku [4.9].



Rysunek 4.9: Konfiguracja filtra pętli sprzężenia zwrotnego układu CDCM6208

Projekt pętli został wykonany w oparciu o dokumentację producenta [51] [52].

**Multiplekser sygnału zegarowego PCIe Gen. 2.0 5V41068A** Układ 5V41068A pełni taką samą rolę jak ICS557 w module ewaluacyjnym procesora TMS320C6678. Zasilany jest z napięcia 3.3 V odseparowanego od linii **P3V3** filtrem typu CLC. Zdecydowano się na zmianę układu gdyż ten jest dedykowany interfejsowi *PCIe Gen. 2.0* a taki obsługuje procesor DSP. Układ pełni rolę przełącznika sygnału zegarowego interfejsu PCIe do DSP sterowanego z mikrokontrolera LPC1764 poprzez piny **PD**, **OE**, **SEL**. Takie rozwiązanie jest konieczne aby zapewnić synchronizację we wcześniej wspomnianym systemie dystrybucji zegara *common refclk*.

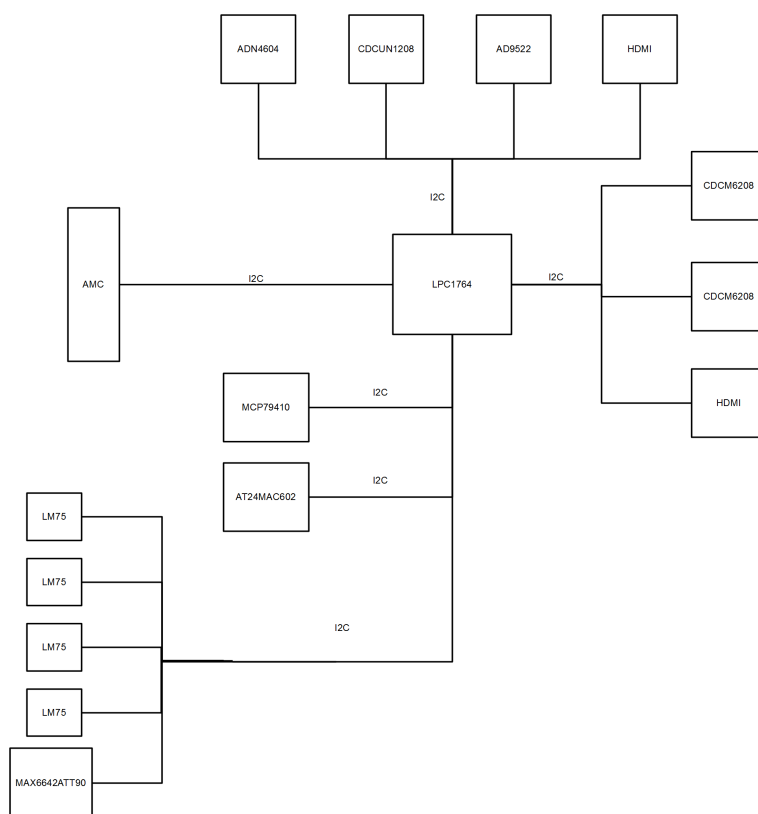
## 4.5. IPMI i zarządzanie peryferiami

Zarządzaniem standardem IPMI oraz obsługą sygnałów i interfejsów sterujących zajmuje się układ LPC1764 [53]. Jest to mikrokontroler firmy NXP w obudowie LQFP100 z rdzeniem Cortex-M3. Układ jest zasilany z linii P3V3\_MP, dedykowanej tylko IPMI zgodnie ze standardem AMC. Do układu dołączona jest bezpośrednio pamięć EEPROM - układ AT24MAC602 [54] firmy Atmel [55] oraz układ RTC MCP79410 [56] firmy Microchip. Projekt schematów wykonano w oparciu o projekt **AFC** [57].

### 4.5.1. I2C - konfiguracja układów

Jedną z funkcji mikrokontrolera jest obsługa interfejsów I2C. LPC1764 zawiera 4 linie I2C pełniące następujące funkcje:

- komunikacja z *MCH*
- obsługa czujników temperatury i RTC
- konfiguracja układów CDCM6208 (1.8V)
- konfiguracja układów ADN4604, CDCUN1208, AD9522

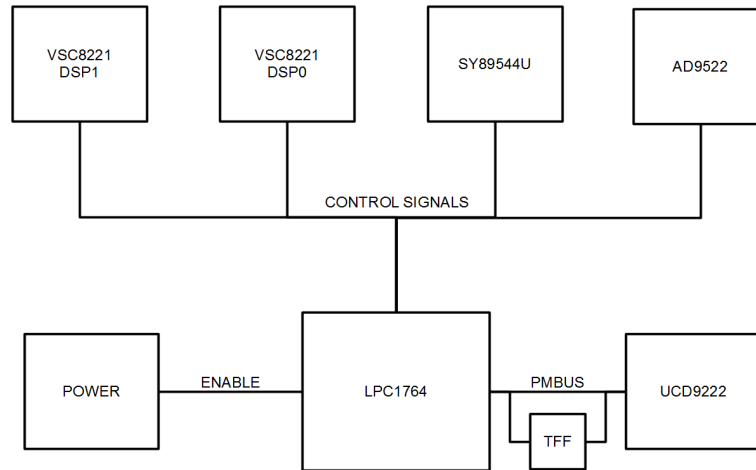


Rysunek 4.10: Schemat blokowy połączeń interfejsu I2C

Linia konfigurująca układy zegarowe CDCM6208 jest dołączona do nich przez translator poziomów układ PCA9306DCTR [58] gdyż są one zasilane z napięcia 1.8 V. Dodatkowo dwie linie interfejsów zostały wyprowadzone na panel przedni do złącz HDMI w celach diagnostycznych.

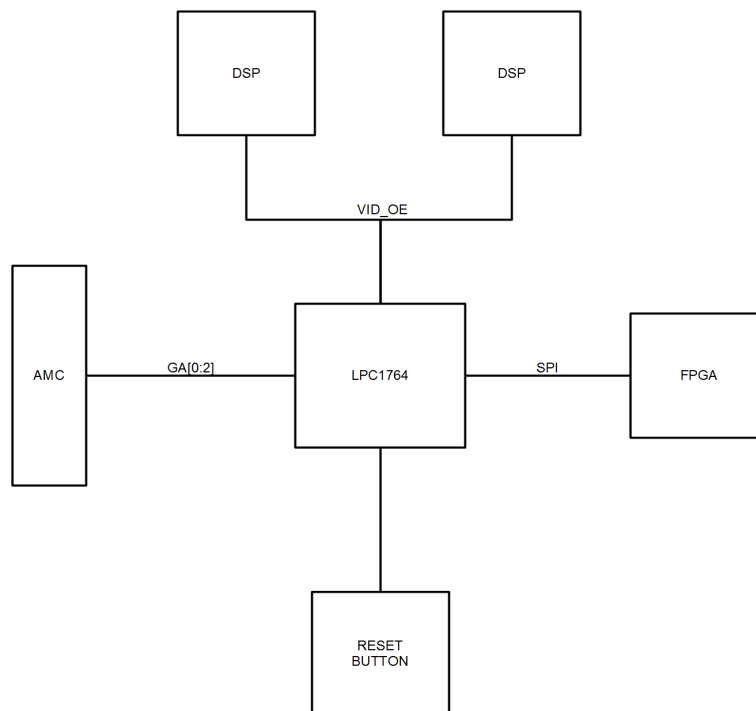
#### 4.5.2. Zarządzanie peryferiami

Mikrokontroler zajmuje się uruchomieniem wszystkich przetwornic znajdujących się na module. Konfiguracją układu UCD9222 [37] poprzez interfejs PMBUS z wykorzystaniem przetwornika typu T [59] oraz sterowaniem sygnałami układów VSC8221, SY8544U i AD9522.



Rysunek 4.11: Schemat blokowy połączeń sygnałów sterujących układu LPC1764

Pozostałymi funkcjami jakie pełni układ LPC1764 jest obsługa przycisku RESETu znajdującego się na panelu przednim akceleratora. Zarządzaniem ładowaniem pamięci programu układu FPGA z pamięci FLASH poprzez interfejs SPI, zgodnie ze scenariuszem *Slave-Serial*. Ponadto układ steruje sygnałami **GA[0:2]** ustalającymi adres I2C modułu w skrzyni *MTCA*.



Rysunek 4.12: Schemat blokowy połączeń pozostałych sygnałów sterujących układu LPC1764

## 4.6. Złącza wejść/wyjść

### 4.6.1. miniSAS

Dane w urządzeniu są przekazywane za pomocą dwóch złącz miniSAS firmy MOLEX [60] umieszczonych na panelu przednim. Każde ze złącz zawiera 4 linie RX/TX i interfejs komunikacyjny. Głównym zastosowaniem złącz SAS są centra danych. W porównaniu do złącz SATA, standard SAS jest wytrzymalszy mechanicznie i pozwala na łączenie urządzeń dłuższym przewodem. Maksymalna przepustowość danych w tym złączu to 4 x 12.0 Gbps czyli sumarycznie 48 Gbps.



Rysunek 4.13: Złącze miniSAS firmy MOLEX

### 4.6.2. RJ45

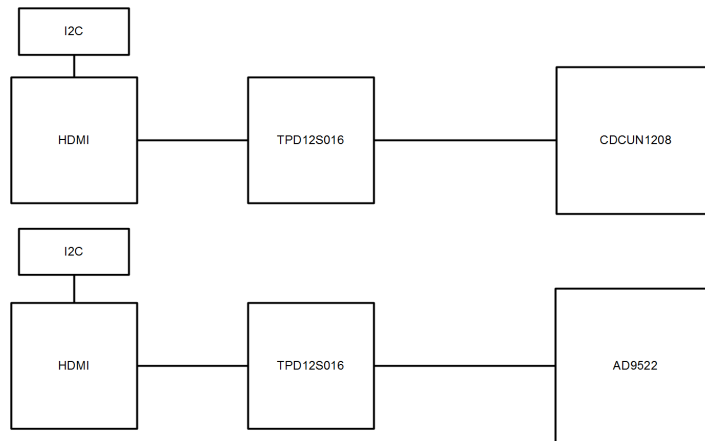
Gniazdo RJ45 *SI-61001-F* z wbudowaną izolacją magnetyczną dołączone jest do PHY VSC8221. Schemat połączeń i terminacji został zaadaptowany z projektu modułu ewaluacyjnego procesora TMS320C6678.

### 4.6.3. HDMI

Niewykorzystane wyjścia zegarowe w układach AD9522 i CDCUN1208 wyprowadzono na panel przedni z wykorzystaniem złącz HDMI typu D. Dodatkowo do złącz doprowadzone są interfejsy I2C i sygnał OVERTEMP. Sygnały zostały zabezpieczone przed ESD/EMI poprzez dołączenie dedykowanych układów TPD12S016 [61].

## 4.7. MLVDS

Złącze AMC zawiera interfejs komunikacyjny MLVDS służący do dystrybucji sygnałów zegarowych, jak również *triggerów* i *interlocków*. W projektowanym urządzeniu zaadaptowano schemat dystrybucji sygnałów MLVDS z projektu **AFC** [57] z tą różnicą iż nie była konieczna translacja napięć z 3.3 V na 1.5 V gdyż na banku zasilanym z napięcia 3.3 V było wystarczająco dużo wolnych pinów aby dołączyć sygnały MLVDS bezpośrednio. Linie różnicowe MLVDS wychodzące ze złącza AMC są dołączone do układów transceiverów MLVDS *SN65MLVD040* [62] których wyjścia są dołączone do FPGA.



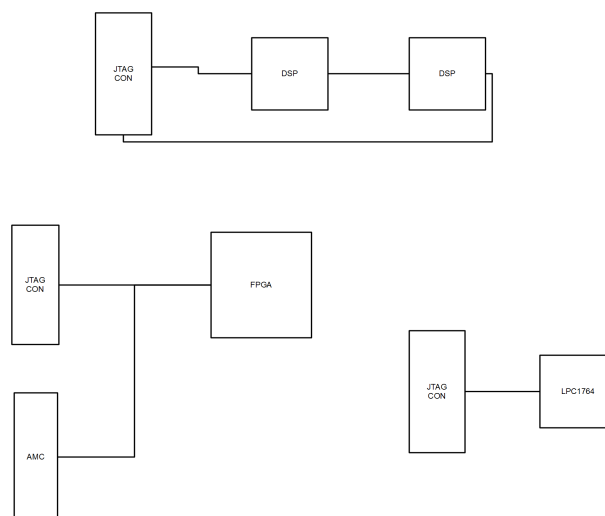
Rysunek 4.14: Schemat blokowy połączeń złączy HDMI

## 4.8. JTAG

Protokół JTAG układu FPGA jest doprowadzony do złącza AMC oraz równolegle do złącza goldpin w celu ułatwienia uruchomienia urządzenia.

Protokoły JTAG procesorów DSP są połączone w łańcuch tzw. *Daisy Chain* zgodnie z zaleceniami producenta [25] [63]. Dodano również bufor SN74ALVC125PW [64] na poszczególne sygnały aby zapewnić poprawną pracę protokołu. Procesor DSP TMS320C6678 poza standardowym protokołem JTAG wspiera również dodatkowe protokoły *HS\_RTDX* oraz *Trace* które pozwalają na szybsze programowanie i dokładniejszą analizę oprogramowania i pracy procesora. Złącze programatora w module ewaluacyjnym ma aż 60 sygnałów. W przypadku projektu akceleratora obliczeniowego nie potrzebujemy aż tak dokładnego protokołu programowania dlatego zdecydowano się na złącze 20 pinowe, które dodatkowo zajmuje najmniej miejsca na PCB (w porównaniu do np. złącza 14-pinowego) i wspiera część dodatkowego interfejsu programatora dla procesorów DSP.

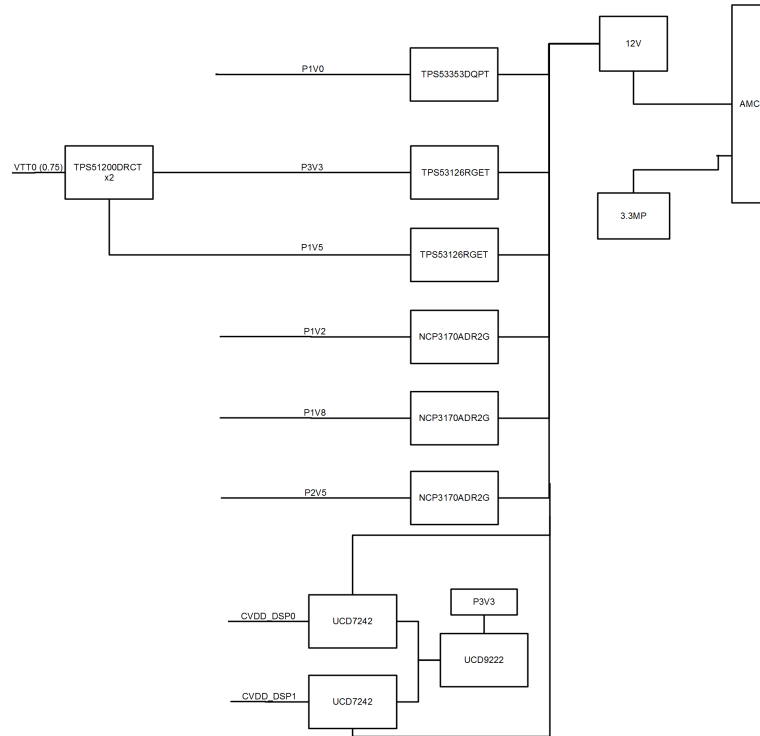
Programowanie mikrokontrolera LPC1764 odbywa się poprzez standardowe złącze JTAG.



Rysunek 4.15: Schemat blokowy połączeń protokołu JTAG

## 4.9. Zasilanie

Sekcja zasilania w module składa się z sześciu przetwornic impulsowych oraz dwóch stabilizatorów LDO (*Low Dropout Regulator*) generujących wszystkie wymagane napięcia. Poniższy schemat blokowy przedstawia system zasilający akceleratora obliczeniowego.



Rysunek 4.16: Schemat blokowy sekcji zasilania akceleratora obliczeniowego

### 4.9.1. Estymacja poboru mocy

Estymację poboru mocy przez poszczególne układy wykonano poprzez analizę danych z not katalogowych oraz wykorzystując specjalnie przygotowane przez producentów arkusze kalkulacyjne. Dla układu FPGA jest to dokument *Xilinx Power Estimator*, szczegółowo opisany w dokumentacji [65] [66] [67]. Dla układu DSP również wykorzystano arkusz kalkulacyjny obliczający pobór mocy *C6678 Power Consumption Model (Rev. C)* [68]. Zestawienie poboru prądu przez poszczególne układy znajduje się w tabeli [4.4].

### 4.9.2. Linie zasilania P1V0, P1V2, P1V8, P1V5, P3V3, VTT

Linie zasilania *P1V0*, *P1V2*, *P1V8*, *P1V5*, *P3V3*, *VTT* zostały zaadaptowane z projektu **AFC** [57]. Spełniają one wymagania prądowe do tego projektu.

Przy projekcie linii napięcia terminacji pamięci SDRAM zastosowano dwa stabilizatory LDO zlokalizowane po dwóch stronach PCB, aby uniezależnić się od spadku napięcia wynikającego z przepływu prądu po znacznej odległości w module.

### 4.9.3. Linia zasilania P2V5

Napięcie +2.5V jest wymagane dla układu PEX8616 [15] firmy PLX Technology [16]. Projekt przetwornicy został wykonany wykorzystując układ NCP3170 [69] firmy *ON Semiconductor* [70], taki sam jaki został wykorzystany do generacji napięć 1.2V oraz 1.8V. Dobór



Linia	Układ	Napięcie [V]	Prąd [A]	Ilość	Sprawność [%]	Sumar. prąd [A]	Moc [W]	Komentarz
CVDD DSP0		1	8			7.3	7.3	UCD9222+UC7242
	TMS320C6678		7.3	1		7.3	7.3	1000 MHz, 50
CVDD DSP1		1	8			7.3	7.3	
	TMS320C6678		7.3	1		7.3	7.3	1000 MHz, 50C
P1V0		1	14			10.2	10.2	TPS53353DQPT
	TMS320C6678		1.5	2		3	3	
	XC7A200T		3	1		3	3	
	PEX8616		4.2	1		4.2	4.2	WORST CASE, 1.7W TYP.
P1V2		1.2	3			1	1.2	NCP3170ADR2G
	XC7A200T		1	1		1	1.2	
P1V5		1.5	11			6.11	9.165	TPS53126RGET
	TMS320C6678		0.4	2		0.8	1.2	
	K4B2G1646		0.24	10		2.4	3.6	
	MT4J512M8RA-125		0.33	8		2.64	3.96	
	XC7A200T		0.27	1		0.27	0.405	
VTT		0.75	2			0.9	0.675	TPS51200DRCT
	K4B2G1646		0.05	10		0.5	0.375	
	MT4J512M8RA		0.05	8		0.4	0.3	
P1V8		1.8	3			1.08	1.944	NCP3170ADR2G
	TMS320C6678		0.02	2		0.04	0.072	
	XC7A200T		0.3	1		0.3	0.54	
	CDCM6208		0.27	2		0.54	0.972	
	CDCUN1208		0.2	1		0.2	0.36	
P2V5		2.5	3			0.61	1.475	NCP3170ADR2G
	PEX8616		0.5	1		0.5	1.2	
	XC7A200T		0.11	1		0.11	0.275	
P3V3		3.3	3			0.65	2.057	TPS53126RGET
	XC7A200T		0.05	1		0.11	0.275	
	ADN4604		0.54	1		0.54	1.782	
Moc sumaryczna		1	14			35.15	41.316	

Tablica 4.4: Estymacja pobieranej mocy przez akcelerator obliczeniowy

elementów do otrzymania przetwornicy o odpowiednich parametrach został wykonany przy wykorzystaniu arkusza kalkulacyjnego udostępnionego przez producenta oraz sprawdzony wykorzystując znaną teorię projektowania przetwornic impulsowych typu *Step-Down*. Zgodnie z przewidywanym poborem dla linii *P2V5*, możemy się spodziewać bardzo małego poboru mocy; typowy pobór mocy przez przełącznik PEX8616 wynosi ok. 0.5A. Jednak nie bierzemy tu pod uwagę prądu pobieranego przez Bank układu FPGA. Przetwornica jest zaprojektowana na maksymalny pobór prądu 3A zgodnie z tabelą dostępną w dokumentacji układu [69, page 19]. Na schematach został opcjonalnie umieszczony liniowy regulator LDO, który można zamienić z przetwornicą w przyszłych rewizjach projektu jeśli pobór prądu przez układ FPGA dla tej linii również będzie mały.

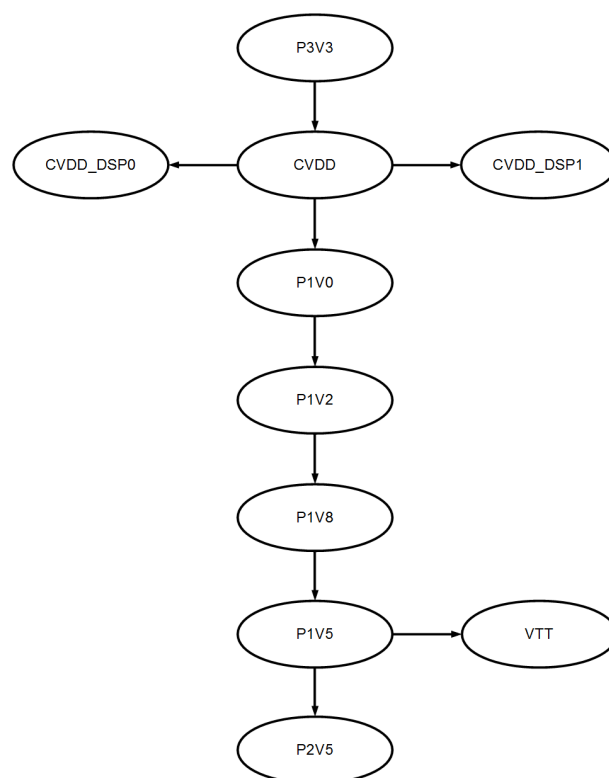
#### 4.9.4. Regulowane napięcie zasilania rdzenia procesora DSP - CVDD

Projekt sekcji zasilającej napięcia rdzenia procesorów DSP oparty jest o układy zalecane przez producenta [25] tj. UCD9222 oraz UCD7242 które są układami specjalizowanymi do zasilania procesorów TI z rodziny TMS320C66x. Zgodnie z wymaganiami każdy procesor musi mieć oddzielną linię zasilania CVDD. Projekt zasilania został zaadaptowany z modułu referencyjnego TMDXEVM6678L, z tą różnicą iż zmieniono wyjście CVDD1 na CVDD dla drugiego procesora DSP (CVDD1 to stałe napięcie 1V, a CVDD to napięcie regulowane). Konfiguracja przetwornicy odbywa się za pomocą interfejsu PMBus, która może być wykonana za równo za pomocą układu LPC1764, który został przystosowany do obsługi tego interfejsu, jak i poprzez programator USB-TO-GPIO [71].

#### 4.9.5. Proces uruchamiania zasilania

Zarówno procesor DSP jak i FPGA wymagają aby poszczególne napięcia były uruchamiane sekwencyjnie. Procesor DSP ma dwa scenariusze uruchamiania zasilania *Core before IO* i *IO before Core* natomiast FPGA ma jeden, który jak się okazuje w praktyce nie ma większego znaczenia [23] [20]. Poniższy schemat prezentuje proces uruchamiania napięć zasilających tak aby spełnić wymagania dla wszystkich układów.

Pierwszą linią zasilania uruchamianą na module jest napięcie 3.3V, ze względu na to że jest to napięcie wymagane przez kontroler przetwornicy układ UCD9222 do pracy. Następnie uruchamiane jest regulowane napięcie rdzenia procesorów DSP (linie CVDD\_DSP0 i CVDD\_DSP1). Kolejnym krokiem jest uruchomienie napięcia 1.0V, 1.2V, 1.8V. W tym momencie konieczna jest konfiguracja układów generacji sygnału zegarowego tak aby procesory DSP poprawnie się uruchomiły. Po konfiguracji uruchamiana jest linia 1.5V i procesory DSP są poprawnie zasilone i czekają na zmianę stanu pinu **RESETn**, który rozpocznie proces ładowania *bootloadera* pierwszego poziomu. Ta operacja jest wykonywana przez FPGA, które do pełnego uruchomienia potrzebuje jeszcze napięcie 2.5V. Układ FPGA kontroluje również piny konfiguracyjne *GPIO* procesorów DSP, które ustalają ich tryb pracy.



Rysunek 4.17: Sekwencja uruchamiania linii zasilających



## Rozdział 5

# Projekt obwodów drukowanych

### 5.1. Wstęp

Poniższy rozdział zawiera opis projektu obwodów drukowanych akceleratora obliczeniowego. Pierwsza część zawiera opis wymagań i ograniczeń producenta, według których ustalone zostały reguły projektowe. Kolejne części zawierają proces projektowania PCB, na co składa się projekt warstw, rozmieszczenia elementów oraz opis zasad prowadzenia ścieżek.

### 5.2. Wymagania producenta

Produkcję obwodów drukowanych zlecono firmie *Brandner PCB* [72] z Estonii. Firma ta pozwala na szybką produkcję zaawansowanych projektów. Strona producenta zawiera zestawienie możliwości produkcyjnych [73].

Względem tych zasad ustalone zostały podstawowe reguły projektowe:

Wymaganie	Min [mm]	Maks. [mm]
Odstęp między ścieżkami	0.1	
Wymiary przelotki (otwór/średnica)	0.2/0.4	0.4/0.8
Odległość między przelotkami	0.1	
Odległość otworów od polygonów	0.1	
Szerokość ścieżek	0.08	10
Odległość ścieżek od krawędzi	0.2	

Tablica 5.1: Podstawowe reguły projektowe

### 5.3. Oprogramowanie EDA

Programem wykorzystanym do zaprojektowania obwodów drukowanych jest *Altium Designer* [74]. Program ten jest zintegrowanym środowiskiem pozwalającym na tworzenie schematów, obwodów drukowanych, a nawet posiada takie funkcje jak możliwość programowania układów FPGA.

### 5.4. Projekt warstw

Ze względu na znaczną ilość linii zasilających oraz ilość układów scalonych projekt akceleratora obliczeniowego wykonano na 16 warstwowym obwodzie drukowanym. Wykorzystano

standardowy stackup producenta oparty o materiał FR4 o stałej dielektrycznej  $\epsilon = 4.6$ .



## Build-up PCB

PEALKIRI: <b>MITMEKIHLISE TRÜKKPLAADI PAKETI KOOSTAMINE</b>	DOK. NR. <b>BRN1010-072B6</b>	VERSION:	LEHTI <b>1 / 1</b>
VORMI KOOSTAS <b>A.SOON</b>	VORMI AKTSEPTTEERIS: <b>M.ALJAS</b>	VERSIOONIKUUPÄEV <b>18.02.2004</b>	ALGKUUP. <b>18.02.2004</b>

CUSTOMER: **BRANDNER PCB OÜ** BOARD NAME: **16-layers**  
OUR CODE: 88888 QUANTITY:  
APPLICATION STANDART: PERFAG 3C: **X** LAYERS: **16**  
ORDER NUMBER: DELIVERY DATE  
MATERIAL PCB TYPE: **R1755V High Tg 170**  
2mm;35μ;ML16;CM;SM;CK;SK;KULD

☐ DIFFERENT PREPRAG

LAYE	BUILD UP	TYPE	THICKNESS mm
1	COMP Cu	18 μ	0.018
	PREPREG	2116	0.11
2	Cu	18 μ	0.018
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1
3	Cu	18 μ	0.018
	PREPREG	2116	0.11
4	Cu	18 μ	0.018
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1
5	Cu	18 μ	0.018
	PREPREG	2116	0.11
6	Cu	18 μ	0.018
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1
7	Cu	18 μ	0.018
	PREPREG	2116	0.11
8	Cu	18 μ	0.018
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1
9	Cu	18 μ	0.018
	PREPREG	2116	0.11
10	Cu	18 μ	0.018
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1
11	Cu	18 μ	0.018
	PREPREG	2116	0.11
12	Cu	18 μ	0.018
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1
13	Cu	18 μ	0.018
	PREPREG	2116	0.11
14	Cu	18 μ	0.018
	INNER LAYER	0.1 mm 18 μ /18 μ	0.1
15	Cu	18 μ	0.018
	PREPREG	2116	0.11
16	SOLDER Cu	18 μ	0.018
			<b>1.87</b>
REQUIRED FINAL THICKNESS:			<b>2.00</b>

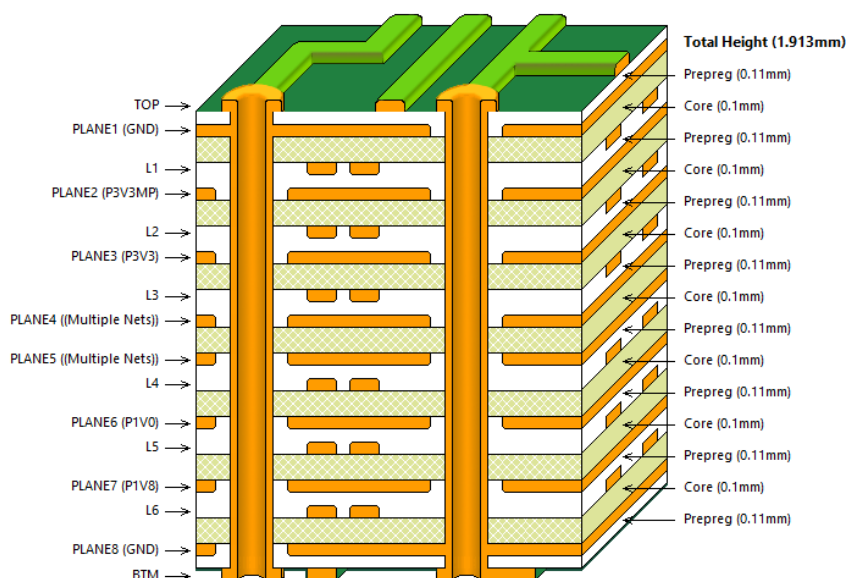
Rysunek 5.1: Standardowa konfiguracja warstw dla obwodu 16 warstwowego firmy Brandner

Dobór ilości warstw jest szeroko opisany w profesjonalnej literaturze dotyczącej projektowania szybkich systemów cyfrowych [75] [76] jak również w poradnikach tzw. *User Guides*

udostępnianych przez producentów układów scalonych [77] [78]. Zdecydowano się na obwód 16 warstwowy z szeregu powodów:

- duża ilość szybkich interfejsów szeregowych - nie można prowadzić takich ścieżek pod/nad rozdzielonymi warstwami (*split planes*)
- 9 głównych linii zasilających
- duże upakowanie elementów
- rezygnacja z wykorzystania ślepych i zagrzebanych przelotek

Zalecaną praktyką jest aby każda linia zasilania była prowadzona na oddzielnej warstwie. Z punktu widzenia integralności sygnałowej jest to poprawna praktyka jednak znacznie zwiększa koszty produkcji urządzenia. Dlatego konieczne było rozdzielanie dwóch warstw zasilających, aby poprowadzić wszystkie napięcia zasilające. Ważnym aspektem jest ścieżka powrotna sygnałów, która również może być podatna na zakłócenia. Zastosowana konfiguracja warstw udostępnia każdej warstwie sygnałowej przynajmniej jedną pełną warstwę referencyjną.



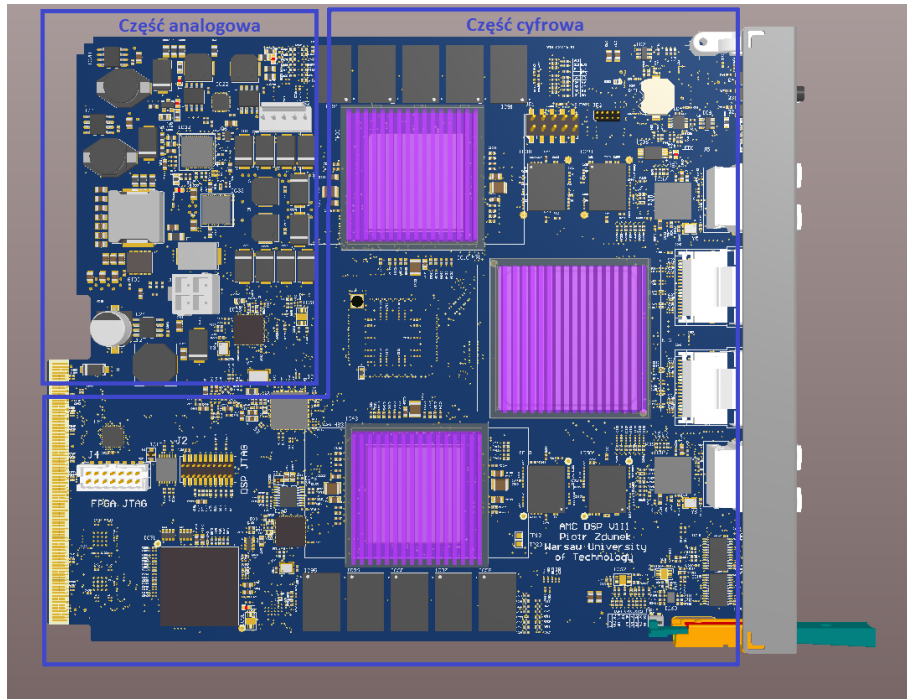
Rysunek 5.2: Konfiguracja warstw akceleratora obliczeniowego

## 5.5. Rozmieszczenie elementów

Krytycznym aspektem projektowania urządzeń elektronicznych jest poprawne rozmieszczenie elementów na obwodzie drukowanym. W akceleratorze obliczeniowym zastosowano ogólnie znane praktyki rozmieszczania elementów jak m. in. :

- skupienie układów zasilających w jednym miejscu
- zapewnienie jak najkrótszej ścieżki powrotnej dla sygnałów
- minimalizacja długości połączeń

Główną trudnością podczas projektowania było odpowiednie rozmieszczenie elementów aby zapewnić optymalne połączenia szybkich interfejsów szeregowych między układami. To



Rysunek 5.3: Podział części analogowej i cyfrowej akceleratora obliczeniowego

one głównie decydowały o rozmieszczeniu elementów, dla przykładu: układ przełącznika SRIO ADN4604 umieszczono na drugiej stronie PCB aby możliwe było poprowadzenie ścieżek interfejsu Hyperlink między procesorami DSP. Natomiast przełącznik PCIe umieszczono blisko złącza krawędziowego AMC, ponieważ umieszczenie go pomiędzy procesorami DSP i FPGA spowodowałoby znaczne utrudnienia w prowadzeniu połączeń interfejsu SRIO wcześniej wspomnianego przełącznika. Kolejną kwestią jest dystrybucja sygnałów zegarowych; układy je generujące powinny znajdować się jak najbliżej układu docelowego co starano się wykonać w projekcie. Końcowy efekt jest zadowalający i wszystkie interfejsy spełniają wymagania producenta.

## 5.6. Zasady prowadzenia ścieżek szybkich interfejsów

Poniższa część zawiera zasady, którymi kierowano się przy prowadzeniu połączeń szybkich szeregowych interfejsów takich jak: *PCI Express*, *SRIO*, *Hyperlink* oraz sygnałów zegarowych. Sygnały płynące w obwodach drukowanych mają prędkość mniejszą od prędkości światła w przybliżeniu o połowę, dla typowego laminatu FR4. Zgodnie ze wzorem:

$$v = \frac{c}{\sqrt{\epsilon_r}} = \frac{3 \cdot 10^8}{\sqrt{4.6}} \approx 14 \text{ cm/ns}$$

Dokumentacja producentów układów zawiera zasady prowadzenia poszczególnych interfejsów [79] [80] [81]. Dopasowanie par różnicowych i linii opiera się o czas propagacji sygnału w linii transmisyjnej jaką jest ścieżka w obwodzie drukowanym przy dużej prędkości transmisji, dlatego określa się je często w *pikosekundach*.

### 5.6.1. Dobór szerokości ścieżek

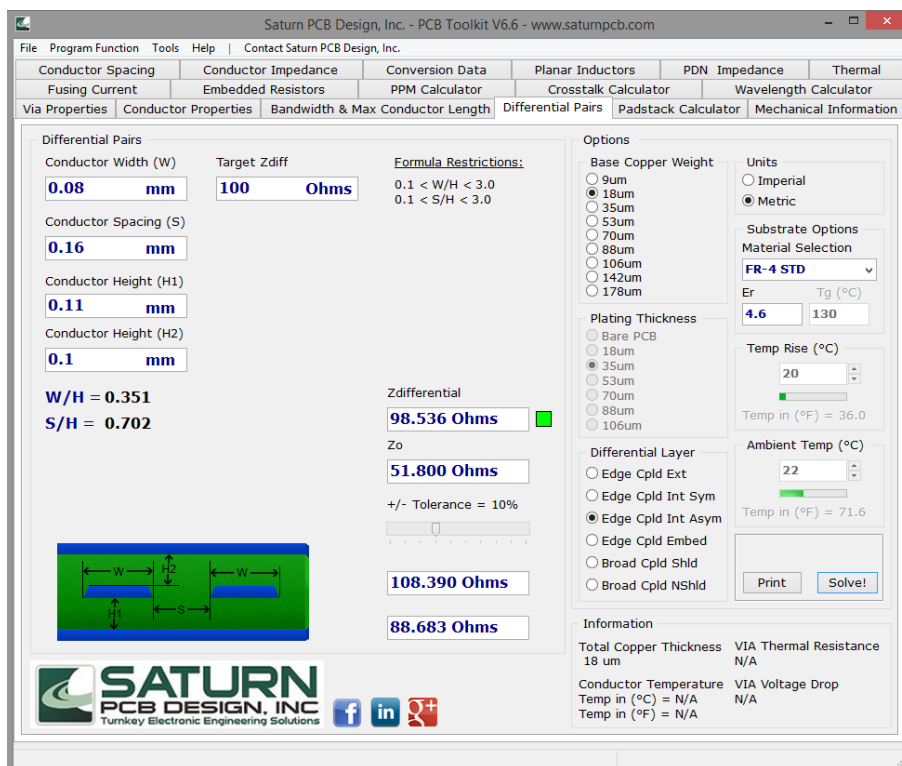
Kolejnym kluczowym elementem przy prowadzeniu połączeń szybkich szeregowych interfejsów cyfrowych jest impedancja połączeń. Szybkie interfejsy szeregowo wymagają od-



Interfejs	Dopasowanie P/N min. [ps]	Dopasowanie P/N min. [mm]	Dopasowanie P/N maks. [mm]	Dopasowanie TX[0:N]/RX[0:N] [ps]	Dopasowanie TX[0:N]/RX[0:N] min. [mm]	Dopasowanie TX[0:N]/RX[0:N] maks. [ps]
SRIO	5	0.7	0.9	10	1.38	1.8
PCIe	1	0.14	0.18	5	0.7	0.9
Hyperlink	1	0.14	0.18	100	13	18
SGMII	5	0.7	0.9	5	0.7	0.9

Tablica 5.2: Reguły prowadzenia ścieżek szybkich interfejsów szeregowych

powiedniej wartości terminacji przy odbiorniku (która zwykle jest wbudowana w układ). Najbardziej popularną wartością jest  $100\Omega$  lub np. w przypadku pamięci DDR3  $80\Omega$ . Z tego powodu wymagane jest aby *linia transmisyjna* którą jest ścieżka różnicowa miała odpowiednią impedancję charakterystyczną (różnicową *differential* oraz pojedynczą *single ended*). Do wyznaczenia odpowiedniej szerokości ścieżek posłużono się darmowym programem *Saturn PCB Toolkit* [82].



Rysunek 5.4: Program Saturn PCB Toolkit

Tabela [5.3] przedstawia wyliczone wartości szerokości oraz odległości między parami różnicowymi dla interfejsów o impedancji różnicowej  $100\Omega$ . Przygotowane zostały cztery tabele, dwie dla impedancji  $100\Omega$  oraz dwie dla impedancji  $80\Omega$ , pierwsza przedstawia standardowe wartości szerokości oraz odległości a druga minimalne. Minimalne wartości są szczególnie przydatne gdy konieczne jest poprowadzenie pary różnicowej np. pod układem w obudowie BGA.

Pozostałe tabele z wyliczeniami szerokości ścieżek zostały dołączone w załączniku [7], w pliku **AMC\_DSP.xls**.

## 5.7. Podsumowanie

Powyższy rozdział opisuje najważniejsze reguły prowadzenia ścieżek na akceleratorze. Zastosowanie tych reguł pozwala zakładać, iż interfejsy pomiędzy układami będą poprawnie

pracować pod kątem integralności sygnałowej.

Warstwa	Rodzaj	Grubość miedzi [ $\mu m$ ]	Wys. H1 [mm]	Wys. H2 [mm]	Szer. ścieżki [mm]	Odległość [mm]	Impedancja różn. [ $\Omega$ ]	Impedancje poj. [ $\Omega$ ]
TOP	Edge cpl. ext	18	0.11	0	0.15	0.3	98.562	51.06
GND	Plane	18		0				
L1	Edge Cpld Int Asym	18	0.1	0.11	0.08	0.16	98.536	51.8
POWER	Plane	18		0				
L2	Edge Cpld Int Asym	18	0.1	0.11	0.08	0.16	98.536	51.8
POWER	Plane	18		0				
L3	Edge Cpld Int Asym	18	0.1	0.11	0.08	0.16	98.536	51.8
POWER	Plane	18		0				
L4	Edge Cpld Int Asym	18	0.1	0.11	0.08	0.16	98.536	51.8
POWER	Plane	18		0				
L5	Edge Cpld Int Asym	18	0.1	0.11	0.08	0.16	98.536	51.8
POWER	Plane	18		0				
L6	Edge Cpld Int Asym	18	0.1	0.11	0.08	0.16	98.536	51.8
GND	Plane	18		0				
BTM	Edge cpl. ext	18	0.11	0	0.15	0.3	98.562	51.06

Tablica 5.3: Szerokości ścieżek szybkich interfejsów szeregowych dla impedancji 100 $\Omega$

Warstwa	Rodzaj	Grubość miedzi [ $\mu m$ ]	Wys. H1 [mm]	Wys. H2 [mm]	Szer. ścieżki [mm]	Odległość [mm]	Impedancja różn. [ $\Omega$ ]	Impedancje poj. [ $\Omega$ ]
TOP	Edge cpl. ext	18	0.11	0	0.22	0.33	78.202	40.184
GND	Plane	18		0				
L1	Edge Cpld Int Asym	18	0.1	0.11	0.13	0.26	80.53	40.826
POWER	Plane	18		0				
L2	Edge Cpld Int Asym	18	0.1	0.11	0.13	0.26	80.53	40.826
POWER	Plane	18		0				
L3	Edge Cpld Int Asym	18	0.1	0.11	0.13	0.26	80.53	40.826
POWER	Plane	18		0				
L4	Edge Cpld Int Asym	18	0.1	0.11	0.13	0.26	80.53	40.826
POWER	Plane	18		0				
L5	Edge Cpld Int Asym	18	0.1	0.11	0.13	0.26	80.53	40.826
POWER	Plane	18		0				
L6	Edge Cpld Int Asym	18	0.1	0.11	0.13	0.26	80.53	40.826
GND	Plane	18		0				
BTM	Edge cpl. ext	18	0.11	0	0.22	0.33	78.202	40.184

Tablica 5.4: Szerokości ścieżek szybkich interfejsów szeregowych dla impedancji 80 $\Omega$



## Rozdział 6

# Oprogramowanie uruchamiające moduł



## Rozdział 7

# Wnioski końcowe





# Dodatek A

## Dodatki

### A.1. Płyta CD

Opis plików i katalogów znajdujących się na płycie CD:

- **AMC\_DSP** - projekt urządzenia
- **AMC\_DSP.xls** - arkusz kalkulacyjny z obliczeniami



# Bibliografia

- [1] Joint European Torus. <http://www.efda.org/jet/>.
- [2] W Environment in Steady-state Tokamak. <http://www.iter.org/newsline/158/531>.
- [3] Gas Electron Multiplier. <http://cerncourier.com/cws/article/cern/2792>.
- [4] Mathworks Matlab. <http://www.mathworks.com/products/matlab/>.
- [5] Commagility AMC-V7-2C6678. <http://www.commagility.com/amc-v7-2c6678.php>.
- [6] Amc base specification short form. [http://www.picmg.org/pdf/AMC.0\\_R2.0\\_Short\\_Form.pdf](http://www.picmg.org/pdf/AMC.0_R2.0_Short_Form.pdf).
- [7] Linux Multicore Software Developement Kit. <http://www.ti.com/tool/bioslinuxmcsdk>.
- [8] Xilinx Inc. <http://www.xilinx.com/>.
- [9] Open Hardware Repository. <http://www.ohwr.org/projects/>.
- [10] Micron. <http://www.micron.com/>.
- [11] SPI NOR FLASH M25P128 . <https://www.micron.com/~media/documents/products/data%20sheet/nor%20flash/serial%20nor/m25p/m25p128.pdf>.
- [12] Maxim Integrated . <http://www.maximintegrated.com/>.
- [13] MAX6642ATT90. <http://datasheets.maximintegrated.com/en/ds/MAX6642.pdf>.
- [14] 7 Series FPGAs Configuration User Guide UG470. [http://www.xilinx.com/support/documentation/user\\_guides/ug470\\_7Series\\_Config.pdf](http://www.xilinx.com/support/documentation/user_guides/ug470_7Series_Config.pdf).
- [15] PEX8616 . <http://www.plxtech.com/products/expresslane/pex8616>.
- [16] PLX Technology . <http://www.plxtech.com/>.
- [17] 7 Series FPGAs GTP Transceivers User Guide UG482 . [http://www.xilinx.com/support/documentation/user\\_guides/ug482\\_7Series\\_GTP\\_Transceivers.pdf](http://www.xilinx.com/support/documentation/user_guides/ug482_7Series_GTP_Transceivers.pdf).
- [18] CDCUN1208 . <http://www.ti.com/general/docs/lit/getliterature.tsp?genericPartNumber=cdcun1208lp&fileType=pdf>.
- [19] Analog Devices AD9522 . [http://www.analog.com/static/imported-files/data\\_sheets/AD9522-1.pdf](http://www.analog.com/static/imported-files/data_sheets/AD9522-1.pdf).

- [20] Artix-7 FPGAs Data Sheet:DC and Switching Characteristics DS181. [http://www.xilinx.com/support/documentation/data\\_sheets/ds181\\_Artix\\_7\\_Data\\_Sheet.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds181_Artix_7_Data_Sheet.pdf).
- [21] 7 Series FPGAs PCB Design and Pin Planning Guide UG483 . [http://www.xilinx.com/support/documentation/user\\_guides/ug483\\_7Series\\_PCB.pdf](http://www.xilinx.com/support/documentation/user_guides/ug483_7Series_PCB.pdf).
- [22] Mt41j512m8ra sdram. <https://www.micron.com/parts/dram/ddr3-sdram/mt41j512m8ra-15e>.
- [23] TMS320C6678 . <http://www.ti.com/lit/ds/symlink/tms320c6678.pdf>.
- [24] Tmdxevm6678l. [http://www.advantech.com/Support/TI-EVM/6678le\\_of.aspx](http://www.advantech.com/Support/TI-EVM/6678le_of.aspx).
- [25] Hardware Design Guide for KeyStone I Devices . <http://www.ti.com/lit/an/sprabi2c/sprabi2c.pdf>.
- [26] Analog Devices . <http://www.analog.com/en/index.html>.
- [27] ADN4604 . [http://www.analog.com/static/imported-files/data\\_sheets/ADN4604.pdf](http://www.analog.com/static/imported-files/data_sheets/ADN4604.pdf).
- [28] Vitesse . <https://www.vitesse.com/>.
- [29] Vsc8221. <https://www.vitesse.com/products/product.php?number=VSC8221>.
- [30] E2E Forum Hyperlink AC . [http://e2e.ti.com/support/dsp/c6000\\_multi-core\\_dsps/f/639/p/117559/423660.aspx#423660](http://e2e.ti.com/support/dsp/c6000_multi-core_dsps/f/639/p/117559/423660.aspx#423660).
- [31] SN74AUC2G07 . <http://www.ti.com/product/sn74auc2g07>.
- [32] 7 Series FPGAs Clocking Resources User Guide UG472 . [http://www.xilinx.com/support/documentation/user\\_guides/ug472\\_7Series\\_Clocking.pdf](http://www.xilinx.com/support/documentation/user_guides/ug472_7Series_Clocking.pdf).
- [33] CDCM6208 . <http://www.ti.com/product/cdc6208>.
- [34] 5v41068a. <https://www.idt.com/document/dst/5v41068a-datasheet>.
- [35] Clocking Design Guide for KeyStone Devices . <http://www.ti.com/general/docs/lit/getliterature.tsp?baseLiteratureNumber=sprabi4>.
- [36] TI UCD7242 . <http://www.ti.com/general/docs/lit/getliterature.tsp?literatureNumber=slus962b>.
- [37] Ucd9222. <http://www.ti.com/lit/ds/slvsal7/slvsal7.pdf>.
- [38] SN74AVC4T . <http://www.ti.com/product/sn74avc4t245>.
- [39] KeyStone Architecture DSP Bootloader User Guide . <http://www.ti.com/lit/ug/sprugy5c/sprugy5c.pdf>.
- [40] N25Q128 SPI NOR FLASH . <http://www.micron.com/parts/nor-flash/serial-nor-flash/n25q128a11ef840e>.
- [41] M24M01 I2C EEPROM . <http://www.st.com/web/catalog/mmc/FM76/CL1276/SC112/PF252608?referrer=70071840>.

- [42] STMicroelectronics . <http://www.st.com/web/en/home.html>.
- [43] MT29F2G16 NAND FLASH . <http://www.micron.com/parts/nand-flash/mass-storage/mt29f2g16abbeahc-it>.
- [44] DDR3 Design Requirements for KeyStone Devices . <http://www.ti.com/general/docs/lit/getliterature.tsp?baseLiteratureNumber=sprabi1&fileType=pdf>.
- [45] Ethernet PHY 88E1111 . <http://www.marvell.com/transceivers/assets/Marvell-Alaska-Ultra-88E1111-GbE.pdf>.
- [46] Marvell . <http://www.marvell.com/>.
- [47] Beam Position Monitor, Digital Back End . <http://www.ohwr.org/projects/bpm/wiki>.
- [48] Silicon Labs PCIe Clock Selection User Guide . <http://www.silabs.com/Support%20Documents/TechnicalDocs/PCIe-Clock-Source-Selection.pdf>.
- [49] SY89544U. [http://www.micrel.com/\\_PDF/HBW/sy89544u.pdf](http://www.micrel.com/_PDF/HBW/sy89544u.pdf).
- [50] Micrel Inc. . <http://www.micrel.com/>.
- [51] CDCM6208 Configuration video . <http://www.youtube.com/watch?v=DiJJUJQEELM>.
- [52] CDCM6208 Users guide . <http://www.ti.com/lit/ug/scau049a/scau049a.pdf>.
- [53] NXP LPC1764 . [http://www.nxp.com/products/microcontrollers/cortex\\_m3/LPC1764FBD100.html](http://www.nxp.com/products/microcontrollers/cortex_m3/LPC1764FBD100.html).
- [54] AT24MAC602 . <http://www.atmel.com/Images/Atmel-8807-SEEPROM-AT24MAC402-602-Datasheet.pdf>.
- [55] Atmel . <http://www.atmel.com>.
- [56] MCP79410 . <http://ww1.microchip.com/downloads/en/DeviceDoc/22266A.pdf>.
- [57] AMC FMC Carrier . <http://www.ohwr.org/projects/afc>.
- [58] PCA9306DCTR . <http://www.ti.com/product/pca9306>.
- [59] AN11318: How to implement the PMBus software stack . <http://www.lpcware.com/content/nxpfile/an11318-how-implement-pmbus-software-stack>.
- [60] Molex iPass connector . [http://www.molex.com/pdm\\_docs/sd/757830132\\_sd.pdf](http://www.molex.com/pdm_docs/sd/757830132_sd.pdf).
- [61] TPD12S016 . <http://www.ti.com/product/tpd12s016>.
- [62] SN65MLVD040 . <http://www.ti.com/lit/ds/slls902/slls902.pdf>.
- [63] Processors Wiki TI. [http://processors.wiki.ti.com/index.php/XDS\\_Target\\_Connection\\_Guide](http://processors.wiki.ti.com/index.php/XDS_Target_Connection_Guide).
- [64] SN74ALVC125 . <http://www.ti.com/lit/ds/sces110h/sces110h.pdf>.
- [65] Xilinx Power Estimator Xilinx Inc. . [http://www.xilinx.com/products/design\\_tools/logic\\_design/xpe.htm](http://www.xilinx.com/products/design_tools/logic_design/xpe.htm).

- [66] Seven Steps to an Accurate Worst-Case Power Analysis Using Xilinx Power Estimator (XPE) . [http://www.xilinx.com/support/documentation/white\\_papers/wp353.pdf](http://www.xilinx.com/support/documentation/white_papers/wp353.pdf).
- [67] Xilinx Power Estimator User Guide. [http://www.xilinx.com/support/documentation/sw\\_manuals/xilinx2013\\_2/ug440-xilinx-power-estimator.pdf](http://www.xilinx.com/support/documentation/sw_manuals/xilinx2013_2/ug440-xilinx-power-estimator.pdf).
- [68] C6678 Power Consumption Model (Rev. C) . <http://www.ti.com/litv/zip/sprm545c>.
- [69] NCP3170 . [http://www.onsemi.com/pub\\_link/Collateral/NCP3170-D.PDF](http://www.onsemi.com/pub_link/Collateral/NCP3170-D.PDF).
- [70] ON Semiconductor . <http://www.onsemi.com/>.
- [71] USB-TO-GPIO . <http://www.ti.com/tool/usb-to-gpio>.
- [72] Brandner PCB . <https://www.brandner.ee/>.
- [73] Brander PCB Production capabilities . <https://www.brandner.ee/eng/74/83/>.
- [74] Altium Designer. <http://www.altium.com/en>.
- [75] James A. McCall Stephen H. Hall, Garrett W. Hall. *High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*. Prentice-Hall, 2001.
- [76] Martin Graham Howard W. Johnson. *High Speed Digital Design: A Handbook Of Black Magic*. Prentice-Hall, 1993.
- [77] Multilayer PCB Stackup Planning . [http://www.icd.com.au/articles/Stackup\\_Planning\\_AN2011\\_2.pdf](http://www.icd.com.au/articles/Stackup_Planning_AN2011_2.pdf).
- [78] 7 Series FPGAs PCB Design and Pin Planning Guide. [http://www.xilinx.com/support/documentation/user\\_guides/ug483\\_7Series\\_PCB.pdf](http://www.xilinx.com/support/documentation/user_guides/ug483_7Series_PCB.pdf).
- [79] SerDes Implementation Guide for KeyStone I Devices. <http://www.ti.com/lit/an/sprabc1/sprabc1.pdf>.
- [80] High Speed DSP PCB Design User Guide Texas Instruments . <http://www.ti.com/lit/ug/spru889/spru889.pdf>.
- [81] High-Speed Layout Guidelines . <http://www.ti.com/lit/an/scaa082/scaa082.pdf>.
- [82] Saturn PCB Toolkit . [http://www.saturnpcb.com/pcb\\_toolkit.htm](http://www.saturnpcb.com/pcb_toolkit.htm).