

Universidad de Costa Rica

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica

IE-0624 –Laboratorio de Microcontroladores

II ciclo 2023

Laboratorio 1

Introducción a microcontroladores y manejo de GPIOS

Elias Alvarado Vargas B80372

Profesor: Marco Villalta Fallas

3 de Septiembre de 2023

Índice

| | |
|---|-----------|
| 1. Resumen | 1 |
| 2. Nota Teórica | 1 |
| 2.1. Microcontrolador PIC12f683 | 1 |
| 2.2. Decodificador 74HC137 | 4 |
| 2.3. Botón | 5 |
| 2.4. Compuertas AND | 5 |
| 2.5. Otros componentes utilizados | 5 |
| 2.6. Diseño del Circuito | 6 |
| 2.6.1. Componentes Utilizados | 7 |
| 3. Análisis de Resultados | 8 |
| 3.1. Desarrollo del Diseño | 8 |
| 3.2. Flujo de Programa | 13 |
| 4. Conclusiones y Recomendaciones | 14 |
| 4.1. Apéndices | 16 |

Índice de figuras

| | | |
|-----|--|----|
| 1. | Microcontrolador PIC12f683. Recuperado de [1] | 1 |
| 2. | Diagrama de pines. Recuperado de [2] | 2 |
| 3. | Diagrama interno del microcontrolador. Recuperado de [2] | 2 |
| 4. | Mapa de distribución de memoria del PIC12683. Recuperado de [2] | 3 |
| 5. | Diagrama funcional del 74HC137. Recuperado de [3] | 4 |
| 6. | Diagrama funcional del 74HC137. Recuperado de [3] | 4 |
| 7. | Diagrama funcional del 74HC137. Recuperado de [3] | 5 |
| 8. | Botón comercial. Recuperado de [4] | 5 |
| 9. | Compuerta AND. Recuperado de [5] | 5 |
| 10. | Diseño del circuito para lanzamiento de un dado. Elaboración propia | 6 |
| 11. | Funcionamiento de entradas y salidas del decodificador. Elaboración propia . . . | 8 |
| 12. | Entradas en 000. Elaboración propia | 9 |
| 13. | Entradas en 010. Elaboración propia | 9 |
| 14. | Entradas en 100. Elaboración propia | 10 |
| 15. | Entradas en 110. Elaboración propia | 10 |
| 16. | Entradas en 000 usando compuertas lógicas. Elaboración propia | 11 |
| 17. | Entradas en 010 usando compuertas lógicas. Elaboración propia | 11 |
| 18. | Entradas en 100 usando compuertas lógicas. Elaboración propia | 12 |
| 19. | Entradas en 110 usando compuertas lógicas. Elaboración propia | 12 |
| 20. | Circuito Final. Elaboración propia | 13 |
| 21. | Diagrama de Flujo del programa. Elaboración propia | 13 |

1. Resumen

En el presente documento se desarrolla un simulador de lanzamiento de un dado simplificado, utilizando LEDs, un botón, un microcontrolador PIC12f683 y otros componentes que se explicarán más adelante. Con respecto al simulador que se utilizó, la idea es mostrar la cantidad de LEDs encendidos como equivalentes a la cara de un dado, los valores serían del uno al seis, de forma que se cambien cada ocasión que se presiona el botón. Durante este primer laboratorio del curso, se desarrollaron las primeras habilidades con respecto al uso y manejo de microcontroladores y GPIOs, iniciando con la construcción del diseño como tal de la simulación (SimulIDE), el anterior fue interesante porque parte del diseño lo que se hizo fue analizar cada salida del PIC que para las seis caras se analizaron tres salidas, que seguidamente entraron a un decodificador y así poder obtener diferentes combinaciones que logren abarcar las caras del dado, las combinaciones fueron de ocho pero solo se utilizaron siete y luego mediante lógica por compuestas se logra apagar más de un LED, luego la programación en lenguaje C para poder controlar las combinaciones de las salidas del PIC. Además otro punto a destacar fue el estudio de las hojas de fabricante para dos componentes en especial, los cuales se explicarán más adelante, y con lo anterior realizar un diseño más óptimo. Por último se destaca el uso de Github para el control de versiones y proceso del laboratorio que se encuentra en el link https://github.com/eliasalvaradocr/Laboratorio-de-Microcontroladores/tree/main/Laboratorio_1

2. Nota Teórica

Para esta sección, se describe al microcontrolador y sus características, además del decodificador utilizado y demás componentes con el objetivo de poder realizar el diseño del circuito que se explicará en la sección de análisis de resultados.

2.1. Microcontrolador PIC12f683

El PIC12f683 es un tipo de microcontrolador flash CMOS que se basa en 8-bits. Diferentes características que lo conforman son: incluye un amplio voltaje de operación con un rango de operación entre los 2.0 a los 5.5 V, una memoria de datos EEPROM integrada, los periféricos analógicos estándar son capaces de incluir hasta 4 canales de 10 bits A/D, un módulo comparador analógico con un solo comparador [1]. En la siguiente Figura 1 se presenta la imagen del PIC12f683.



Figura 1: Microcontrolador PIC12f683. Recuperado de [1]

Continuando con el microcontrolador es importante saber el uso de cada uno de los 8 pines que lo conforman. En la siguiente Figura 2 muestra la función que tiene cada pin. Por lo que los

pinos uno y dos, corresponden a la fuente conectada y a la tierra de forma respectiva, los otros seis pines funcionan como pines de propósito general GPIO, entonces pueden ser utilizados como salidas o entradas según corresponda el diseño, cabe destacar que estos pines pueden usarse tanto con señales digitales o analógicos, todo lo anterior según la hoja del fabricante que se encuentra en [2]

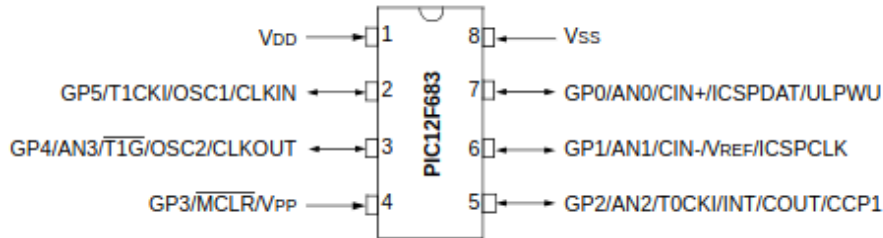


Figura 2: Diagrama de pines. Recuperado de [2]

Otro aspecto importante por analizar es el diseño interno que posee este microcontrolador, lo anterior se presenta en la Figura 3. Destaca que se compone de bancos de registro, una ALU, varios MUX, memoria FLASH, entre otros.

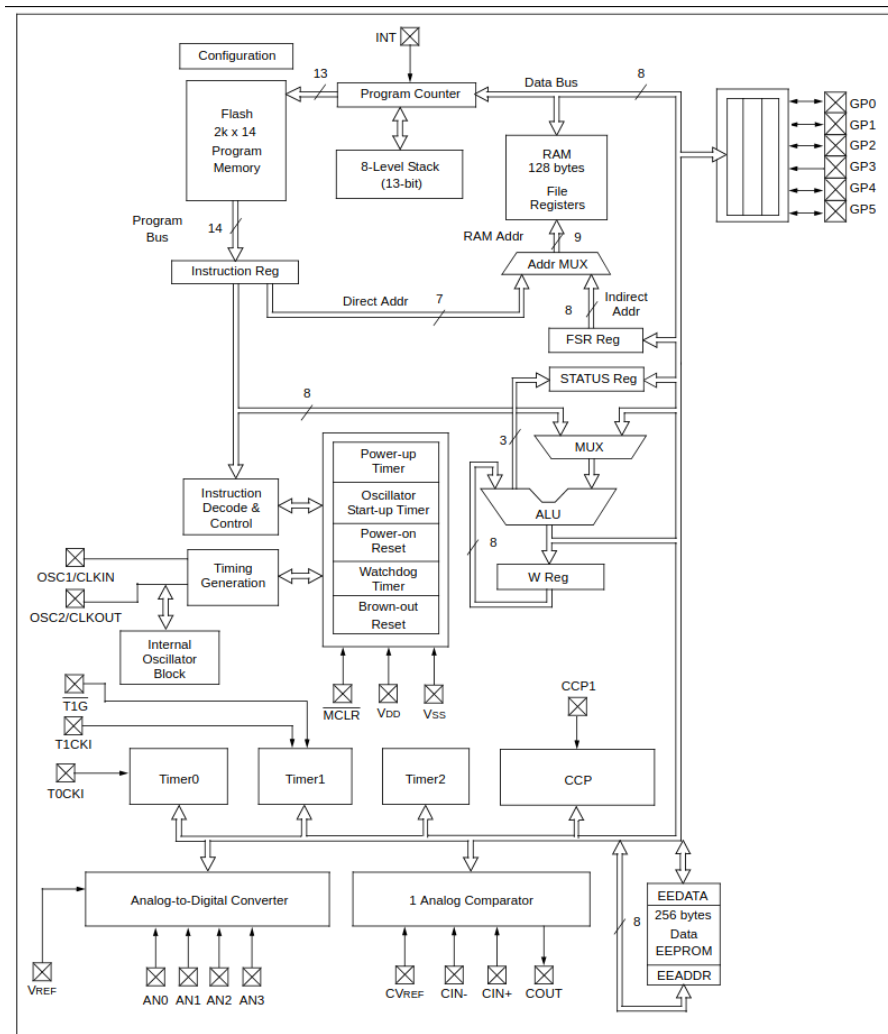


Figura 3: Diagrama interno del microcontrolador. Recuperado de [2]

Además es importante conocer sobre el mapa de memoria que posee el PIC12f683 el cual se presenta en la siguiente Figura 4. En la Figura destaca que posee treinta y dos registros

de propósito general y también algunos registros especiales que pueden ser utilizados por el CPU y las funciones periféricas. El estado de cada pin de propósito general se encuentra en el registro GPIO, el TRISIO es el registro que indica en caso que un pin se usa como entrada o como salida, un cero lógico es la salida y un uno lógico la entrada, entre otros registros que se encuentran en la hoja del fabricante.

| File Address | | File Address | |
|---------------------------------------|-----|---------------------------------------|-----|
| Indirect addr. ⁽¹⁾ | 00h | Indirect addr. ⁽¹⁾ | 80h |
| TMR0 | 01h | OPTION_REG | 81h |
| PCL | 02h | PCL | 82h |
| STATUS | 03h | STATUS | 83h |
| FSR | 04h | FSR | 84h |
| GPIO | 05h | TRISIO | 85h |
| | 06h | | 86h |
| | 07h | | 87h |
| | 08h | | 88h |
| | 09h | | 89h |
| PCLATH | 0Ah | PCLATH | 8Ah |
| INTCON | 0Bh | INTCON | 8Bh |
| PIR1 | 0Ch | PIE1 | 8Ch |
| | 0Dh | | 8Dh |
| TMR1L | 0Eh | PCON | 8Eh |
| TMR1H | 0Fh | OSCCON | 8Fh |
| T1CON | 10h | OSCTUNE | 90h |
| TMR2 | 11h | | 91h |
| T2CON | 12h | PR2 | 92h |
| CCPR1L | 13h | | 93h |
| CCPR1H | 14h | | 94h |
| CCP1CON | 15h | WPU | 95h |
| | 16h | IOC | 96h |
| | 17h | | 97h |
| WDTCON | 18h | | 98h |
| CMCON0 | 19h | VRCON | 99h |
| CMCON1 | 1Ah | EEDAT | 9Ah |
| | 1Bh | EEADR | 9Bh |
| | 1Ch | EECON1 | 9Ch |
| | 1Dh | EECON2 ⁽¹⁾ | 9Dh |
| ADRESH | 1Eh | ADRESL | 9Eh |
| ADCON0 | 1Fh | ANSEL | 9Fh |
| General Purpose Registers 96 Bytes | 20h | General Purpose Registers 32 Bytes | BFh |
| | | | C0h |
| | | | EFh |
| | | Accesses 70h-7Fh | F0h |
| | 7Fh | | FFh |
| BANK 0 | | BANK 1 | |

Figura 4: Mapa de distribución de memoria del PIC12683. Recuperado de [2]

Para el diseño del circuito con el PIC12f683, es importante analizar en la hoja del fabricante los valores de corrientes y voltajes mínimos y máximos para obtener un diseño apropiado.

2.2. Decodificador 74HC137

El 74HC137 es un decodificador de tres a ocho, de forma que tiene tres bits de entrada y con salida de ocho bits, lo anterior dependiendo del caso que se tenga como entradas de tres bits. En la siguiente Figura 5 representa un diagrama funcional que es de suma importancia para poder comprender mejor sobre las entradas, salidas y habilitaciones que posee el elemento [3].

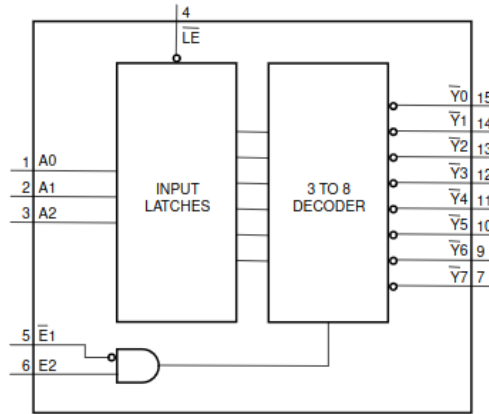


Figura 5: Diagrama funcional del 74HC137. Recuperado de [3]

La descripción de cada pin se presenta en la Figura 6 y la tabla de la verdad dependiendo de las entradas en la Figura 7. Estas dos Figuras son de importancia, porque con respecto al diseño fue de gran utilidad para determinar el comportamiento de cada salida según su entrada, entonces ayuda para poder realizar de forma correcta las conexiones y de diseñar un circuito que se comporte a lo esperado.

| Symbol | Pin | Description |
|-----------------|-----|-----------------------------------|
| A0 | 1 | data input 0 |
| A1 | 2 | data input 1 |
| A2 | 3 | data input 2 |
| \overline{LE} | 4 | latch enable input (active LOW) |
| $\overline{E1}$ | 5 | data enable input 1 (active LOW) |
| E2 | 6 | data enable input 2 (active HIGH) |
| Y7 | 7 | multiplexer output 7 |
| GND | 8 | ground (0 V) |
| $\overline{Y6}$ | 9 | multiplexer output 6 |
| $\overline{Y5}$ | 10 | multiplexer output 5 |
| $\overline{Y4}$ | 11 | multiplexer output 4 |
| $\overline{Y3}$ | 12 | multiplexer output 3 |
| $\overline{Y2}$ | 13 | multiplexer output 2 |
| $\overline{Y1}$ | 14 | multiplexer output 1 |
| $\overline{Y0}$ | 15 | multiplexer output 0 |
| VCC | 16 | positive supply voltage |

Figura 6: Diagrama funcional del 74HC137. Recuperado de [3]

| Enable | | | Input | | | Output | | | | | | | |
|--------|----|----|-------|----|----|--------|----|----|----|----|----|----|----|
| LE | E1 | E2 | A0 | A1 | A2 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| H | L | H | X | X | X | stable | | | | | | | |
| X | H | X | X | X | X | H | H | H | H | H | H | H | H |
| X | X | L | X | X | X | H | H | H | H | H | H | H | H |
| L | L | H | L | L | L | L | H | H | H | H | H | H | H |
| | | | H | L | L | H | L | H | H | H | H | H | H |
| | | | L | H | L | H | H | L | H | H | H | H | H |
| | | | H | H | L | H | H | H | L | H | H | H | H |
| | | | L | L | H | H | H | H | H | L | H | H | H |
| | | | H | L | H | H | H | H | H | H | L | H | H |
| | | | L | H | H | H | H | H | H | H | L | H | H |
| | | | H | H | H | H | H | H | H | H | H | L | L |

[1] H = HIGH voltage level;
L = LOW voltage level;
X = don't care.

Figura 7: Diagrama funcional del 74HC137. Recuperado de [3]

2.3. Botón

El botón es un dispositivo usado para realizar cierta función, por lo general y para nuestro circuito al ser pulsado permite el flujo de corriente por lo que cuando no se presiona sobre este regresa a su estado de reposo. [4]. Como para ilustrar y dar una idea de lo que puede encontrarse, se muestra en la Figura 8 un botón.



Figura 8: Botón comercial. Recuperado de [4]

2.4. Compuertas AND

La compuerta AND, se representa mediante una multiplicación, por lo que para tener una salida en alto, ambas entradas deben de tener un uno binario, en caso contrario se mantiene en cero[5]. En la siguiente Figura 9 se muestra la compuerta AND, su tabla de verdad y el circuito que se puede encontrar de manera comercial es el 74LS08.

| NOMBRE | TABLA DE VERDAD | CIRCUITO | | | | | | | | | | | | | | | |
|------------|--|----------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---------------|
| <p>AND</p> | <table> <tr><th>A</th><th>B</th><th>F</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table> | A | B | F | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | <p>74LS08</p> |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | | | | | | | |

Figura 9: Compuerta AND. Recuperado de [5]

2.5. Otros componentes utilizados

- Capacitor: Son caracterizados por almacenar energía eléctrica de forma temporal[6]. Para el diseño se usa para evitar el efecto rebote con el botón.

- Resistor: Es el elemento eléctrico que se opone al flujo de energía eléctrica[6]. En el diseño se utiliza para evitar que los LEDs se quemen por exceso de corriente.
- LEDs: Permiten que la corriente eléctrica fluya en solo una dirección, considerando la conexión correcta del ánodo y cátodo, el paso de corriente se refleja con la luz[6]. Con respecto a los LEDs, dependiendo de la cantidad de LEDs encendidos representan el número del uno al seis de una cara de dado.

2.6. Diseño del Circuito

En la Figura 10 muestra el diseño implementado para el lanzamiento de un dado.

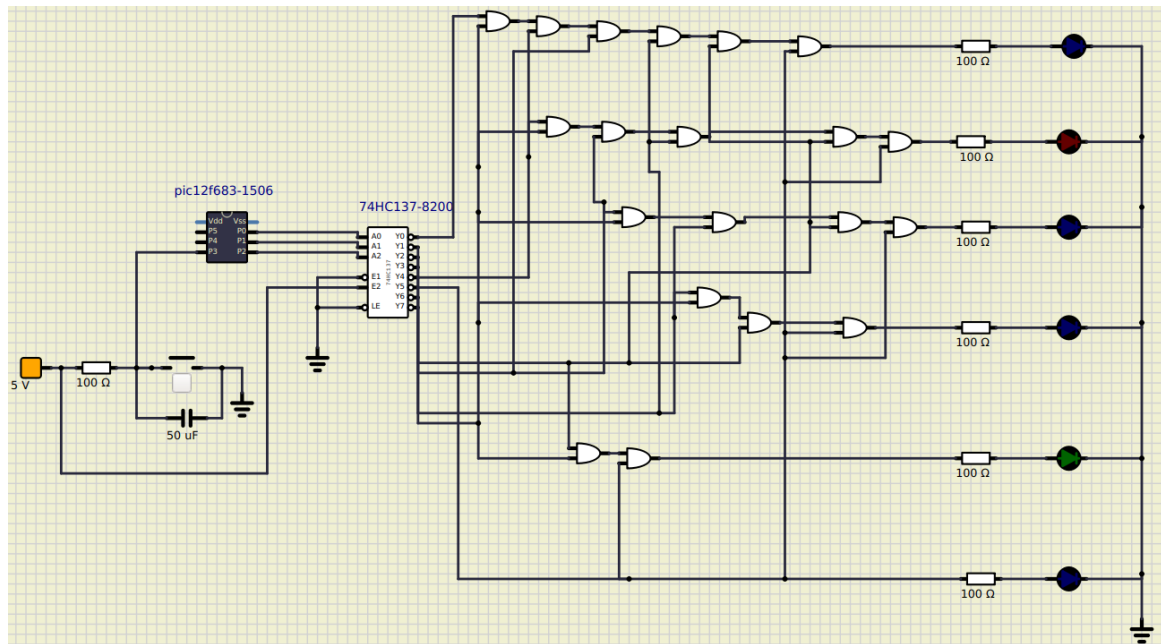


Figura 10: Diseño del circuito para lanzamiento de un dado. Elaboración propia

Algunos aspectos importantes del diseño:

- Para generar valores aleatorios en las salidas GP0, GP1 y GP2, se utiliza el temporizador del microcontrolador TMRO en función del reloj del microcontrolador.
- El efecto rebote del botón puede ocurrir al presionar y soltar el botón, por lo tanto el uso de un capacitor de $50\mu\text{F}$ en paralelo ayuda a eliminar el efecto rebote y mantener la señal estable
- Las salidas del microcontrolador se establecieron en los GPIOs: GP0, GP1 y GP2. Entonces tres valores aleatorios se pueden ver como señales de cero y uno binario, por lo que se decide colocar un decodificador de tres a ocho bits con el fin que mediante el cambio aleatorio de las salidas se logren ver casos diferentes para cuando se encienden y apagan los LEDs representando la cara del dado.
- Otro aspecto de diseño fue que las salidas del decodificador solo se apagaba un LED dependiendo de las entradas del mismo, por lo que para poder apagar más de un LED a la vez se agregaron compuertas ANDs y así mediante el análisis de la tabla de verdad determinar los 6 casos diferentes.

- Para evitar que los LEDs sufran por un exceso de corriente se colocaron resistores que logran evitar este evento, la selección de las resistencias fue mediante la aplicación de la ley de ohm $R = V/I$ donde los valores de tensión y corriente son los máximos que se presentan del microcontrolador.

2.6.1. Componentes Utilizados

En la siguiente Tabla 1, presenta los componentes usados y la cantidad de los mismos, además con sus precios y el lugar de venta de los mismos.

Tabla 1: Lista de Componentes Electrónicos

| Componente | Tipo | Precio por unidad | Cantidad | Lugar Venta |
|------------------|--------------|-------------------|----------|-------------------------|
| Microcontrolador | PIC12f683 | €1950 | 1 | Mouser Electronics |
| Boton Pulsador | | \$0.20 | 1 | MicroJPM |
| Capacitor | 47 μ F | €99.01 | 1 | Steren |
| Resistor | 100 Ω | €25.01 | 7 | Steren |
| LED | | \$0.55 | 6 | MicroJPM |
| Compuerta AND | 74LS08 | \$1.40 | 1 | MicroJPM |
| Decodificador | 74HC137 | €101.09 | 1 | Electronica Embajadores |

3. Análisis de Resultados

En esta sección se explica de forma detallada como fue el diseño del laboratorio, los pasos que fueron formándose para poder llegar a obtener el resultado esperado. Cabe destacar que como era la primera vez en utilizar el programa, fue interesante la curva de aprendizaje donde se cambió la perspectiva en como se estaba realizando, donde se concluye que es mejor analizar por etapas de forma que se tenga un diseño mas robusto y evitar errores a la medida de lo posible.

3.1. Desarrollo del Diseño

Para el diseño del laboratorio se analizaron las señales aleatorias que podía generar el microcontrolador, de forma que con ayuda de la Figura 5 se tienen las entradas al decodificador G0,GP1 y GP2. La razón por elegir tres señales fue que como se necesitaban seis combinaciones diferentes que se logra con las tres entradas recordando $2^3 = 8$, entonces se tendrían ocho salidas que pueden usarse pero como son solo seis que se necesitan, no se utilizan dos(Y3,Y7).

En la siguiente Figura 11 se muestra el funcionamiento de las entradas con las salidas y el LED que se espera por apagar, de forma que por orden se colocan los LEDs de arriba hacia abajo. Seguidamente se analiza las salidas cuando se apaga solo un LED con el objetivo de poder controlar cada señal que apaga cada LED de forma individual, luego de explicar lo realizado antes se menciona y muestra la idea de diseño por medio de compuertas lógicas para poder así apagar más de un LED. Por último es importante destacar que para conocer que conectar en la entrada del decodificador, se estudió la hoja de fabricante y asi se tiene que las entradas son A0,A1 y A2, luego para EI y LE se conectan a tierra, además la entrada E2 se conecta a otra fuente de 5V encendida de forma permanente.

| Entrada(GP0 GP1 GP2) | LED(OFF) | Salida(Decodificador) |
|----------------------|----------|-----------------------|
| 000 | 1 | Y0 |
| 001 | 2 | Y4 |
| 010 | 3 | Y2 |
| 011 | 4 | Y6 |
| 100 | 5 | Y1 |
| 101 | 6 | Y5 |

Figura 11: Funcionamiento de entradas y salidas del decodificador. Elaboración propia

Las siguientes Figuras 12, 13, 14 y 15 se presentan algunas de las combinaciones donde se observa cuando se cumple en la entrada se apaga un LED según sea el caso, de forma que por el momento se tiene control de las entradas y el LED que se quiere apagar, pero aún no se ha logrado apagar más de un LED.

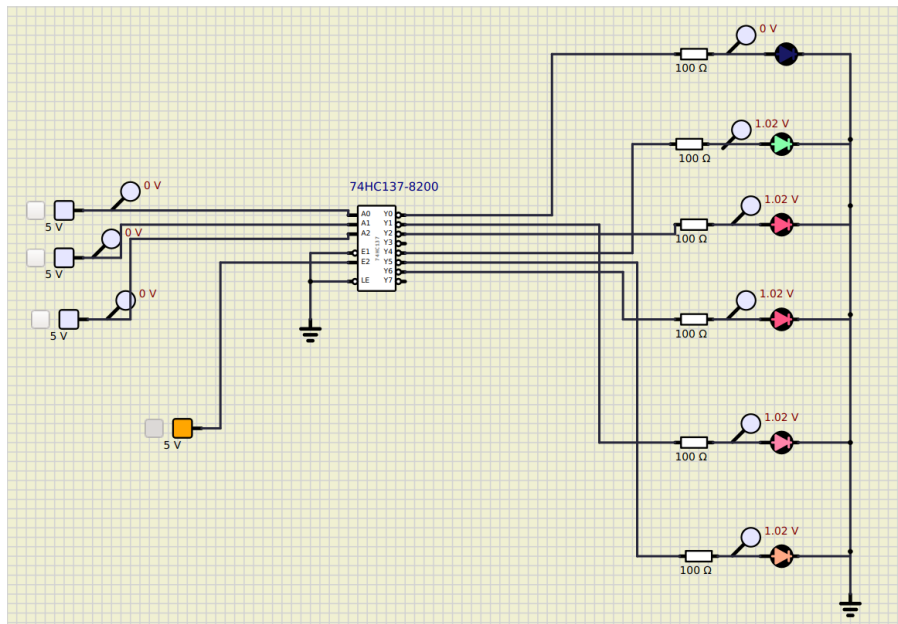


Figura 12: Entradas en 000. Elaboración propia

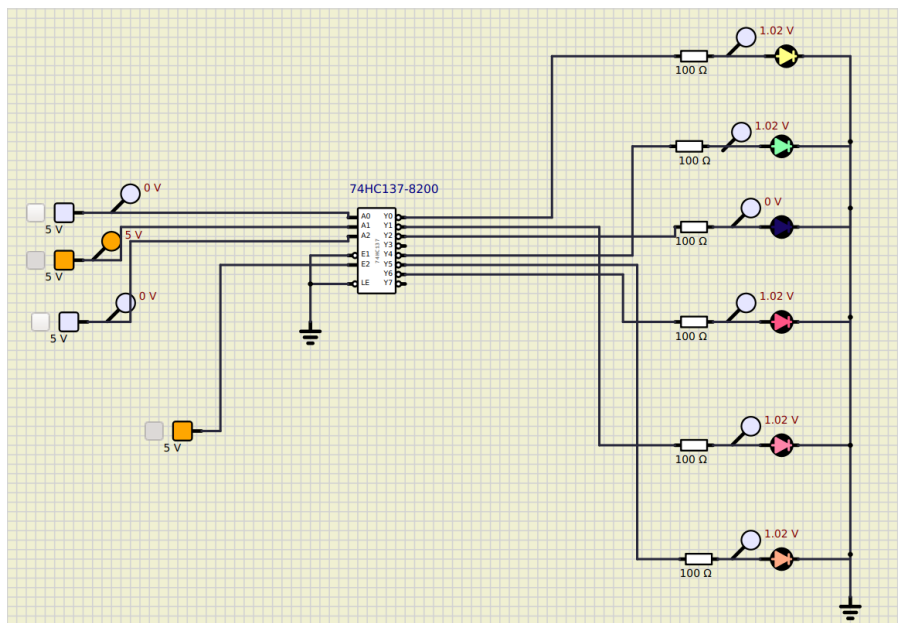


Figura 13: Entradas en 010. Elaboración propia

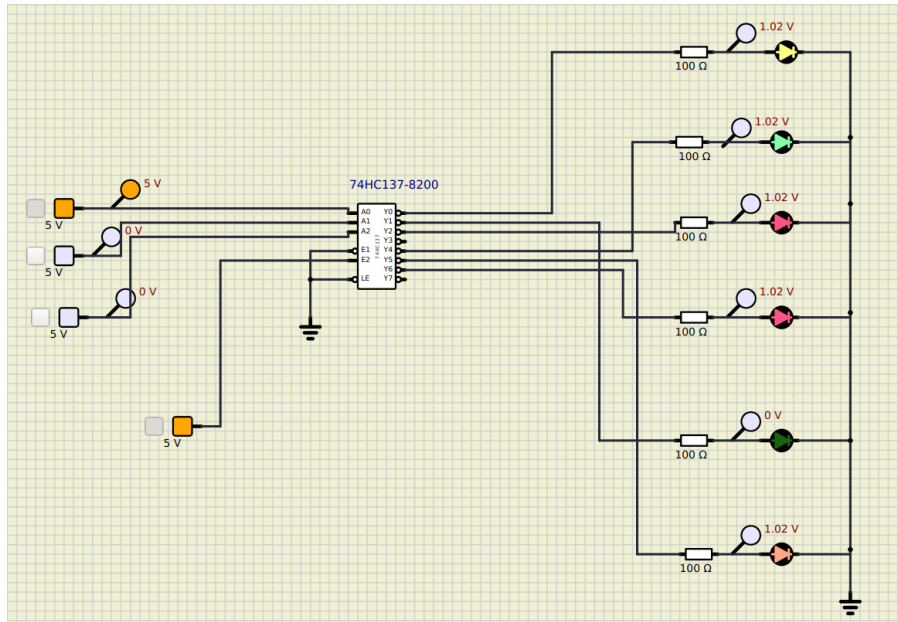


Figura 14: Entradas en 100. Elaboración propia

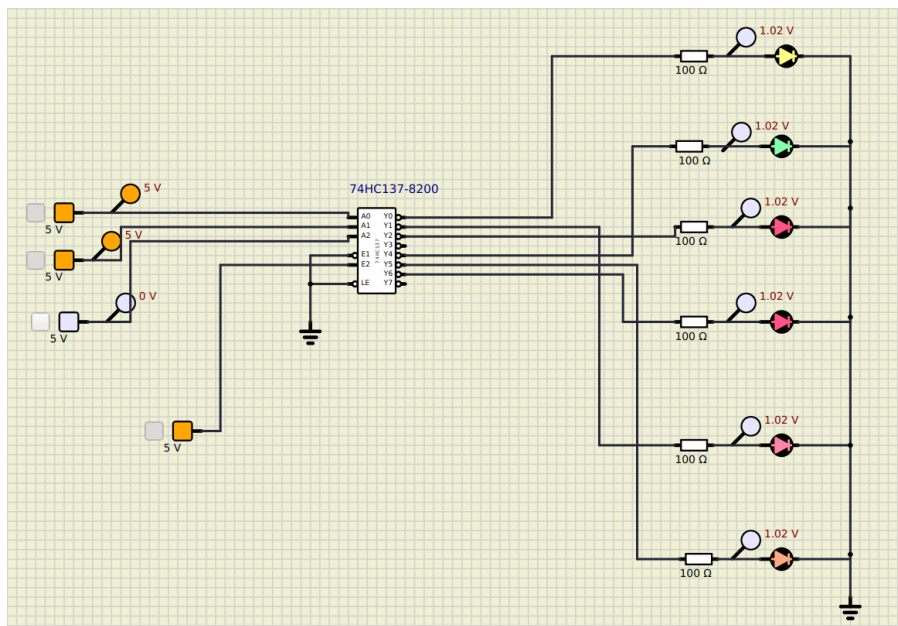


Figura 15: Entradas en 110. Elaboración propia

El valor de 100Ω de la resistencias se asigna porque los LEDs peligran a corrientes a más de $0.03A$, entonces si se tiene una tensión de $1.02V$ aproximadamente después de cada resistencia se considera lo siguiente:

$$V = R * I \quad (1)$$

$$I = \frac{V}{R} \quad (2)$$

$$I = \frac{1,02V}{100\Omega} = 0,0102A \quad (3)$$

Por lo que, las resistencias son útiles.

Ahora, por el momento se logra controlar el encendido y apagado de cada LED de forma individual pero para poder apagar mas de un LED a la vez, se decidió agregar compuertas lógicas que para este caso serían ANDs, de forma que se configura para que se logren apagar más de un LED y así cumplir con el objetivo de ver una cara del dado, en las siguientes Figura 16, 17, 18 y 19 se muestran las mismas condiciones de entrada que antes, pero con la característica que se logra apagar más de un LED a la vez. Con esto se tendría terminada la parte de Hardware, lo que falta sería la de software que se explicaría con el flujo de programa más adelante.

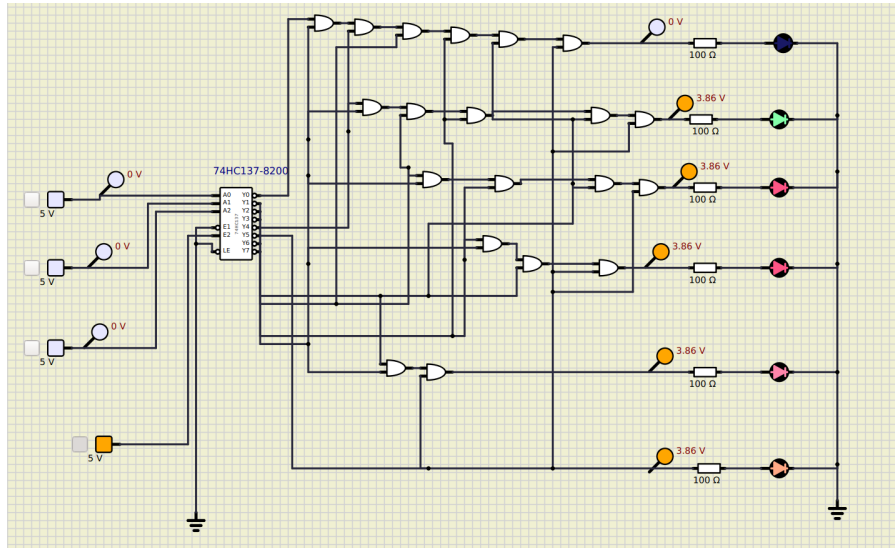


Figura 16: Entradas en 000 usando compuertas lógicas. Elaboración propia

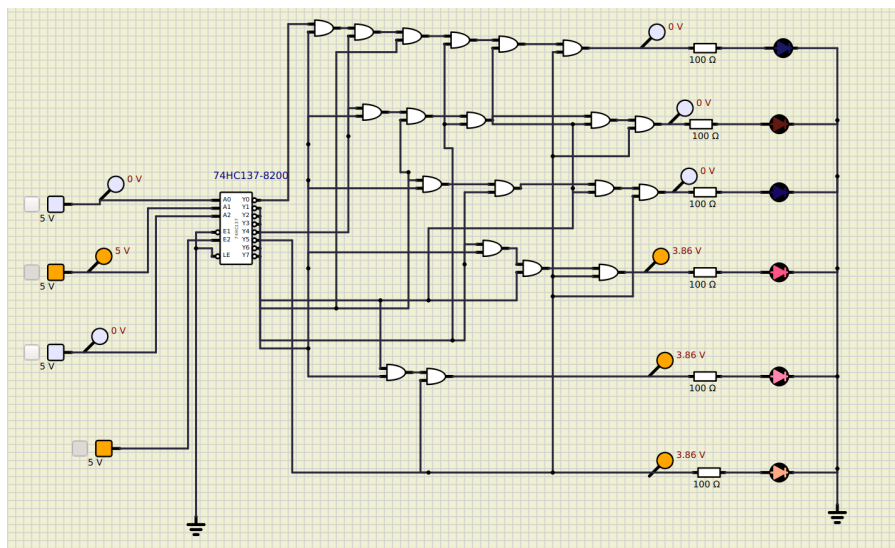


Figura 17: Entradas en 010 usando compuertas lógicas. Elaboración propia

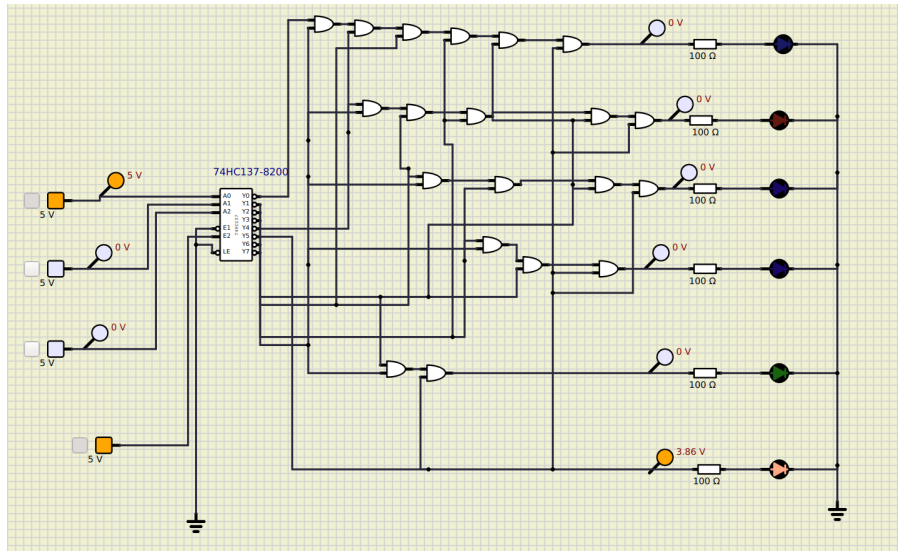


Figura 18: Entradas en 100 usando compuertas lógicas. Elaboración propia

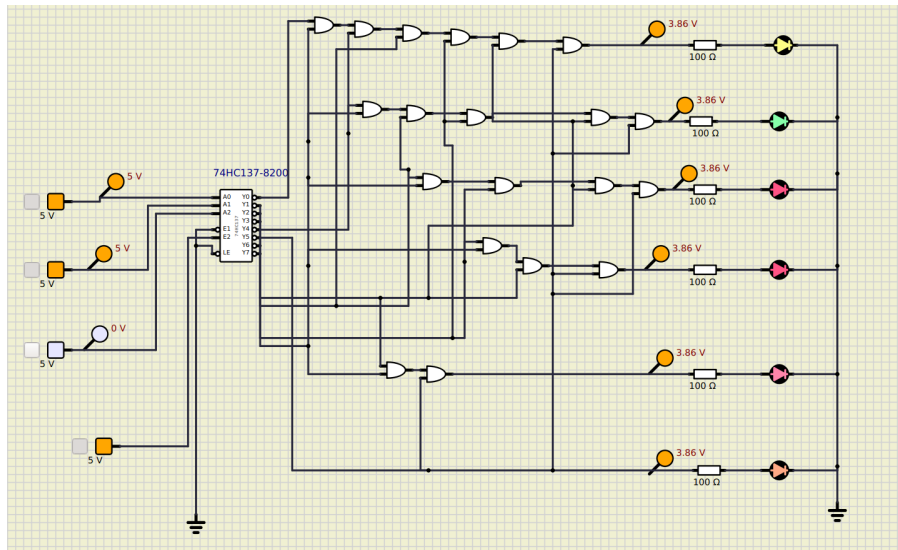


Figura 19: Entradas en 110 usando compuertas lógicas. Elaboración propia

Solamente para añadir, en la siguiente Figura 20 presenta el circuito cuando se agrega el microcontrolador PIC12f683, un botón y el capacitor en la entrada de GP3, con el fin de simular cuando se presiona el botón y genera valores aleatorios en las salidas GP0,GP1 y GP2.

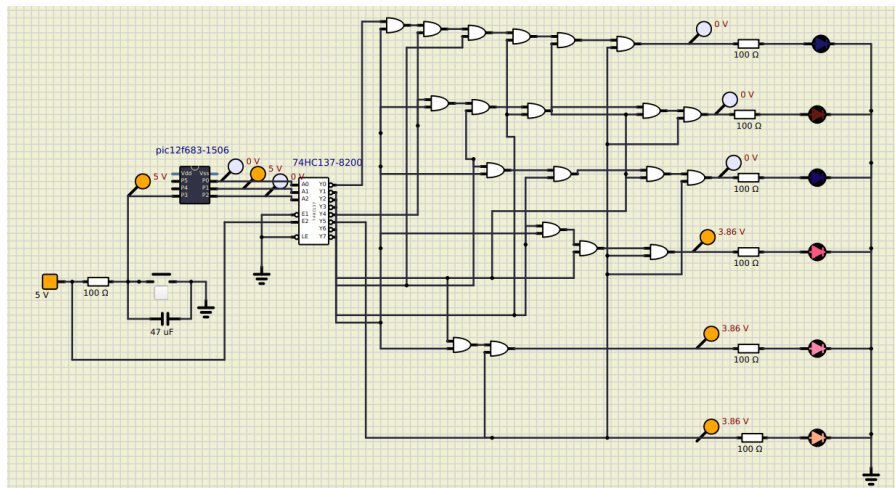


Figura 20: Circuito Final. Elaboración propia

3.2. Flujo de Programa

Para comenzar el desarrollo del programa, donde se elaborará en lenguaje C. Es de suma importancia realizar un diagrama de flujo para poder tener un diseño óptimo y escalable, además que ayuda en la búsqueda de la mejor solución para luego implementarla, por lo tanto se presenta en la siguiente Figura 21 el flujo del programa hecho.

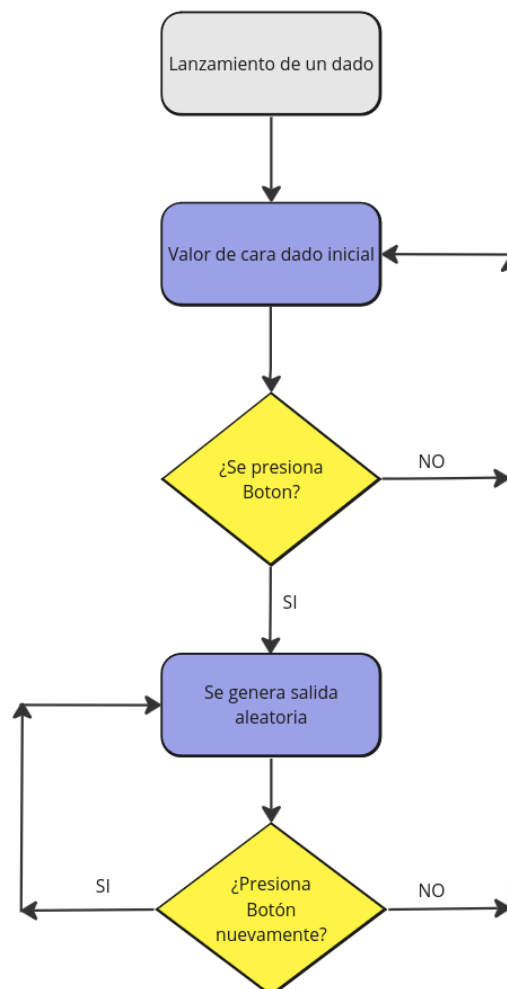


Figura 21: Diagrama de Flujo del programa. Elaboración propia

Según el anterior diagrama de flujo, el programa cuando inicia se enciende una cara de un dado para demostrar que efectivamente muestra una cara de un dado. Luego en caso de presionarse el botón, se genera una salida en los GPIOs; GP0, GP1 y GP2 aleatoria, que recordando lo explicado anteriormente se crea mediante el uso del temporizador del microcontrolador por lo tanto genera un valor aleatorio en la salida, pero en el caso que no se presione el botón pues el estado no cambia y se queda por defecto con los LEDs encendidos del inicio. Continuando con el caso que si se presiona el botón y genera un valor aleatorio en salida se queda el valor en salida esperando a saber si se vuelve o no a presionar el botón, en caso que se presione, pues regresa al evento que se genera un valor aleatorio y en caso de no presionarse se queda con la cara de dado que tiene. Es importante destacar la lógica implementada de hardware para que se logre realizar a lo esperado, de forma que según el diseño contemplado puede recibir cada valor aleatorio, que se refleja en apagar o encender LEDs.

4. Conclusiones y Recomendaciones

En este laboratorio se logra tener un primer acercamiento hacia los microcontroladores en especial al PIC12f683, donde se desarrollan habilidades y en pensar a solucionar problemas que en este caso fue el diseño del lanzamiento de un dado. Cabe destacar que la curva de aprendizaje fue interesante porque se tuvo que pensar en como poder diseñar el circuito con ayuda de elementos eléctricos como el decodificador por ejemplo, de forma que se encuentran en el comercio y así poder implementar lo realizado en la simulación evitando problemas que no funcionen y demás. Para el caso del PIC12f683 posee pocas salidas, por lo que se tuvo que pensar como poder controlar las salidas del mismo que son pocas, además de como lograr apagar más de un LED a la vez, lo cuál gracias a cursos anteriores me ayudaron a pensar en hallar la solución con compuertas lógicas. También como parte del diseño fue importante la lectura de las hojas de fabricante con el objetivo de obtener lo esperado.

Como principal recomendación se tiene en antes de realizar conexiones, es importante pensar en el diseño por etapas y pensar el comportamiento que presenta el circuito con ayuda siempre de las hojas de fabricante e ir conectando cada parte y poder tener en cuenta que sucede en cada parte del circuito, pero en forma general se logra desarrollar un circuito que al presionar el botón simule el lanzamiento de un dado donde los LEDs encendidos representen la cara del dado lanzado, con ayuda del microcontrolador PIC12f683.

Referencias

- [1] “PIC12F683 - Joslin Perú”. Joslin Perú - —Tecnología al Avance. Accedido el 24 de agosto de 2023. [En línea]. Disponible: <https://joslinperu.com/producto/pic12f683/>
- [2] “PIC12F683 pdf, PIC12F683 Description, PIC12F683 Datasheet, PIC12F683 view ::: ALLDATASHEET :::”. ALLDATASHEET.COM - Electronic Parts Datasheet Search. Accedido el 26 de agosto de 2023. [En línea]. Disponible: <https://pdf1.alldatasheet.com/datasheet-pdf/view/170566/MICROCHIP/PIC12F683.html>
- [3] “74HC137 pdf, 74HC137 Description, 74HC137 Datasheet, 74HC137 view ::: ALLDATASHEET :::”. ALLDATASHEET.COM - Electronic Parts Datasheet Search. Accedido el 27 de agosto de 2023. [En línea]. Disponible: <https://pdf1.alldatasheet.com/datasheet-pdf/view/15534/PHILIPS/74HC137.html>
- [4] “Botones • Factor Evolución”. Factor Evolución. Accedido el 24 de agosto de 2023. [En línea]. Disponible: <https://www.factor.mx/portal/base-de-conocimiento/botones/>
- [5] “Circuitos Integrados: Compuertas Lógicas AND, OR, NOR, NAND, XOR y NOT”. Unit Electronics. Accedido el 26 de Agosto de 2023. [En línea], Disponible: <https://blog.uelectronics.com/electronica/circuitos-integrados-compuertas-logicas-and-or-nand-xor-y-not/>
- [6] “¿Qué son los componentes electrónicos? - Flexbot”. Flexbot. Accedido el 26 de agosto de 2023. [En línea]. Disponible: <https://www.flexbot.es/componentes-electronicos/>

4.1. Apéndices



PIC12F683

8-Pin Flash-Based, 8-Bit CMOS Microcontrollers with nanoWatt Technology

High-Performance RISC CPU:

- Only 35 instructions to learn:
 - All single-cycle instructions except branches
- Operating speed:
 - DC – 20 MHz oscillator/clock input
 - DC – 200 ns instruction cycle
- Interrupt capability
- 8-level deep hardware stack
- Direct, Indirect and Relative Addressing modes

Special Microcontroller Features:

- Precision Internal Oscillator:
 - Factory calibrated to $\pm 1\%$, typical
 - Software selectable frequency range of 8 MHz to 125 kHz
 - Software tunable
 - Two-Speed Start-up mode
 - Crystal fail detect for critical applications
 - Clock mode switching during operation for power savings
- Power-Saving Sleep mode
- Wide operating voltage range (2.0V-5.5V)
- Industrial and Extended temperature range
- Power-on Reset (POR)
- Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Brown-out Reset (BOR) with software control option
- Enhanced Low-Current Watchdog Timer (WDT) with on-chip oscillator (software selectable nominal 268 seconds with full prescaler) with software enable
- Multiplexed Master Clear with pull-up/input pin
- Programmable code protection
- High Endurance Flash/EEPROM cell:
 - 100,000 write Flash endurance
 - 1,000,000 write EEPROM endurance
 - Flash/Data EEPROM Retention: > 40 years

Low-Power Features:

- Standby Current:
 - 50 nA @ 2.0V, typical
- Operating Current:
 - 11 μ A @ 32 kHz, 2.0V, typical
 - 220 μ A @ 4 MHz, 2.0V, typical
- Watchdog Timer Current:
 - 1 μ A @ 2.0V, typical

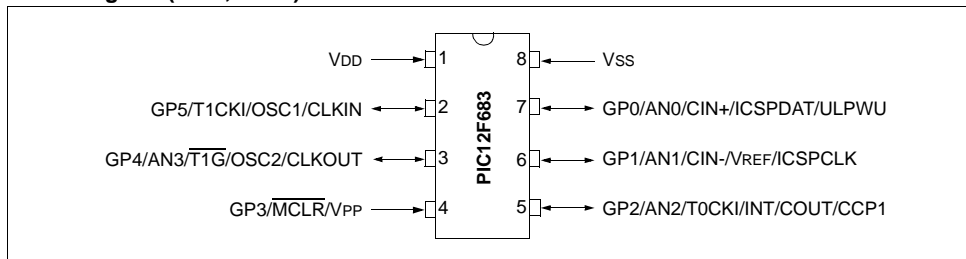
Peripheral Features:

- 6 I/O pins with individual direction control:
 - High current source/sink for direct LED drive
 - Interrupt-on-pin change
 - Individually programmable weak pull-ups
 - Ultra Low-Power Wake-up on GP0
- Analog Comparator module with:
 - One analog comparator
 - Programmable on-chip voltage reference (CVREF) module (% of VDD)
 - Comparator inputs and output externally accessible
- A/D Converter:
 - 10-bit resolution and 4 channels
- Timer0: 8-bit timer/counter with 8-bit programmable prescaler
- Enhanced Timer1:
 - 16-bit timer/counter with prescaler
 - External Timer1 Gate (count enable)
 - Option to use OSC1 and OSC2 in LP mode as Timer1 oscillator if INTOSC mode selected
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Capture, Compare, PWM module:
 - 16-bit Capture, max resolution 12.5 ns
 - Compare, max resolution 200 ns
 - 10-bit PWM, max frequency 20 kHz
- In-Circuit Serial Programming™ (ICSP™) via two pins

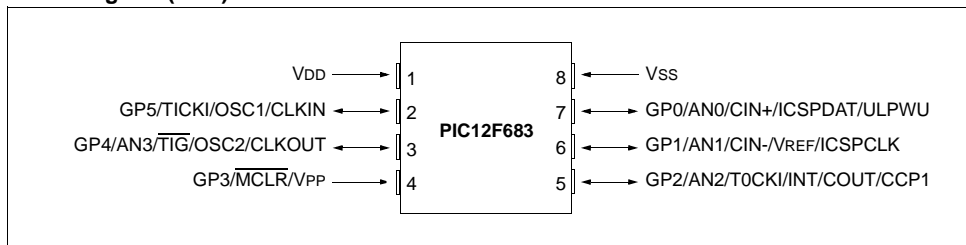
| Device | Program Memory | Data Memory | | I/O | 10-bit A/D (ch) | Comparators | Timers 8/16-bit |
|-----------|----------------|--------------|----------------|-----|-----------------|-------------|-----------------|
| | Flash (words) | SRAM (bytes) | EEPROM (bytes) | | | | |
| PIC12F683 | 2048 | 128 | 256 | 6 | 4 | 1 | 2/1 |

PIC12F683

8-Pin Diagram (PDIP, SOIC)



8-Pin Diagram (DFN)



8-Pin Diagram (DFN-S)

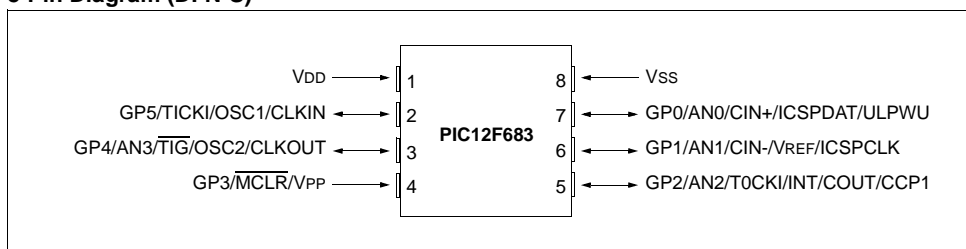


TABLE 1: 8-PIN SUMMARY

| I/O | Pin | Analog | Comparators | Timer | CCP | Interrupts | Pull-ups | Basic |
|--------------------|-----|----------|-------------|-------|------|------------|------------------|---------------|
| GP0 | 7 | AN0 | CIN+ | — | — | IOC | Y | ICSPDAT/ULPWU |
| GP1 | 6 | AN1/VREF | CIN- | — | — | IOC | Y | ICSPCLK |
| GP2 | 5 | AN2 | COUT | T0CKI | CCP1 | INT/IOC | Y | — |
| GP3 ⁽¹⁾ | 4 | — | — | — | — | IOC | Y ⁽²⁾ | MCLR/VPP |
| GP4 | 3 | AN3 | — | T1G | — | IOC | Y | OSC2/CLKOUT |
| GP5 | 2 | — | — | T1CKI | — | IOC | Y | OSC1/CLKIN |
| — | 1 | — | — | — | — | — | — | VDD |
| — | 8 | — | — | — | — | — | — | Vss |

Note 1: Input only.

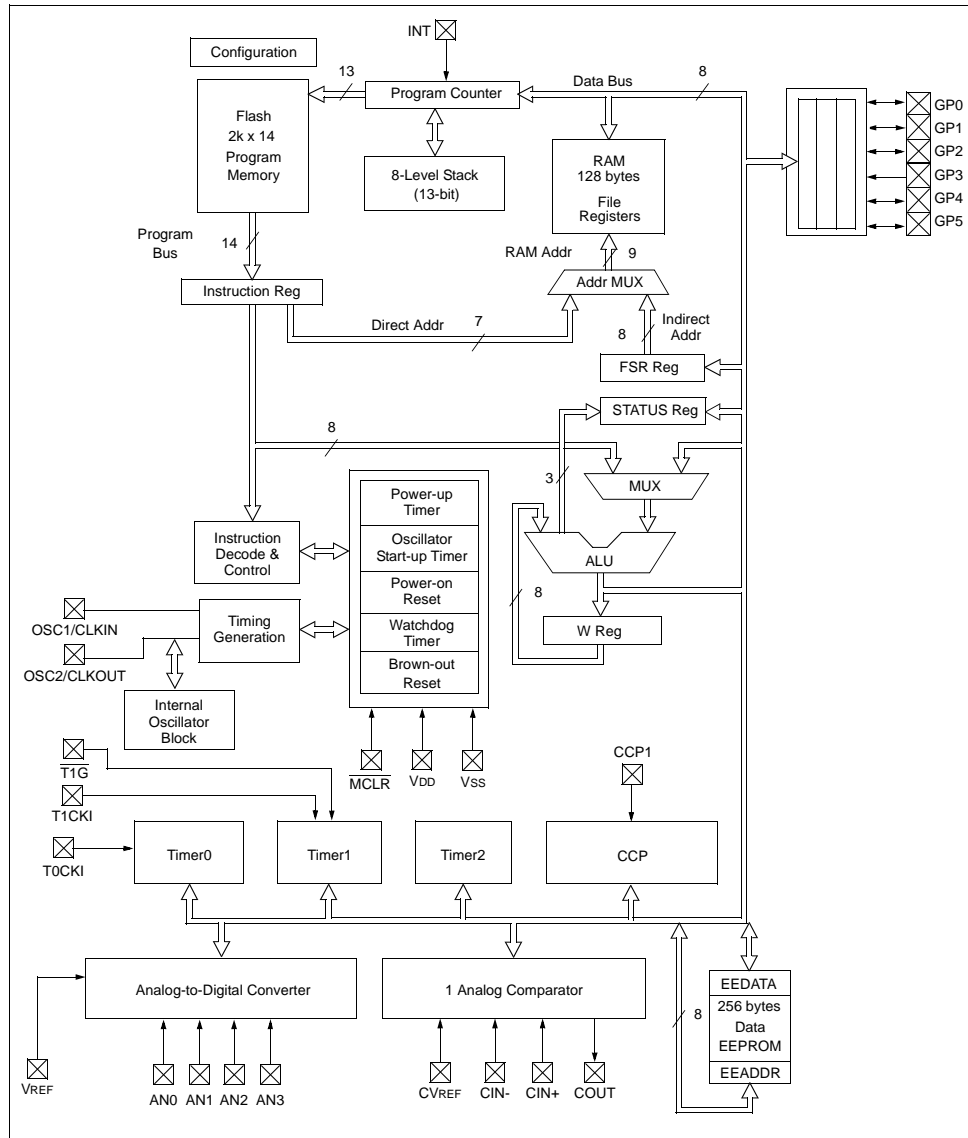
2: Only when pin is configured for external MCLR.

PIC12F683

1.0 DEVICE OVERVIEW

The PIC12F683 is covered by this data sheet. It is available in 8-pin PDIP, SOIC and DFN-S packages. Figure 1-1 shows a block diagram of the PIC12F683 device. Table 1-1 shows the pinout description.

FIGURE 1-1: PIC12F683 BLOCK DIAGRAM



PIC12F683

TABLE 1-1: PIC12F683 PINOUT DESCRIPTION


| Name | Function | Input Type | Output Type | Description |
|-----------------------------|----------|------------|-------------|---|
| VDD | VDD | Power | — | Positive supply |
| GP5/T1CKI/OSC1/CLKIN | GP5 | TTL | CMOS | GPIO I/O with prog. pull-up and interrupt-on-change |
| | T1CKI | ST | — | Timer1 clock |
| | OSC1 | XTAL | — | Crystal/Resonator |
| | CLKIN | ST | — | External clock input/RC oscillator connection |
| GP4/AN3/T1G/OSC2/CLKOUT | GP4 | TTL | CMOS | GPIO I/O with prog. pull-up and interrupt-on-change |
| | AN3 | AN | — | A/D Channel 3 input |
| | T1G | ST | — | Timer1 gate |
| | OSC2 | — | XTAL | Crystal/Resonator |
| | CLKOUT | — | CMOS | Fosc/4 output |
| GP3/MCLR/VPP | GP3 | TTL | — | GPIO input with interrupt-on-change |
| | MCLR | ST | — | Master Clear with internal pull-up |
| | VPP | HV | — | Programming voltage |
| GP2/AN2/T0CKI/INT/COUT/CCP1 | GP2 | ST | CMOS | GPIO I/O with prog. pull-up and interrupt-on-change |
| | AN2 | AN | — | A/D Channel 2 input |
| | T0CKI | ST | — | Timer0 clock input |
| | INT | ST | — | External Interrupt |
| | COUT | — | CMOS | Comparator 1 output |
| | CCP1 | ST | CMOS | Capture input/Compare output/PWM output |
| GP1/AN1/CIN-/VREF/ICSPCLK | GP1 | TTL | CMOS | GPIO I/O with prog. pull-up and interrupt-on-change |
| | AN1 | AN | — | A/D Channel 1 input |
| | CIN- | AN | — | Comparator 1 input |
| | VREF | AN | — | External Voltage Reference for A/D |
| | ICSPCLK | ST | — | Serial Programming Clock |
| GP0/AN0/CIN+/ICSPDAT/ULPWU | GP0 | TTL | CMOS | GPIO I/O with prog. pull-up and interrupt-on-change |
| | AN0 | AN | — | A/D Channel 0 input |
| | CIN+ | AN | — | Comparator 1 input |
| | ICSPDAT | ST | CMOS | Serial Programming Data I/O |
| | ULPWU | AN | — | Ultra Low-Power Wake-up input |
| VSS | VSS | Power | — | Ground reference |

Legend: AN = Analog input or output
TTL = TTL compatible input
HV = High Voltage
CMOS = CMOS compatible input or output
ST = Schmitt Trigger input with CMOS levels
XTAL = Crystal

The special registers can be classified into two sets: core and peripheral. The Special Function Registers associated with the "core" are described in this section. Those related to the operation of the peripheral features are described in the section of that peripheral feature.

FIGURE 2-2: DATA MEMORY MAP OF THE PIC12F683

| | File Address | | File Address |
|-------------------------------|--------------|------------------------------------|--------------|
| Indirect addr. ⁽¹⁾ | 00h | Indirect addr. ⁽¹⁾ | 80h |
| TMR0 | 01h | OPTION_REG | 81h |
| PCL | 02h | PCL | 82h |
| STATUS | 03h | STATUS | 83h |
| FSR | 04h | FSR | 84h |
| GPIO | 05h | TRISIO | 85h |
| | 06h | | 86h |
| | 07h | | 87h |
| | 08h | | 88h |
| | 09h | | 89h |
| PCLATH | 0Ah | PCLATH | 8Ah |
| INTCON | 0Bh | INTCON | 8Bh |
| PIR1 | 0Ch | PIE1 | 8Ch |
| | 0Dh | | 8Dh |
| TMR1L | 0Eh | PCON | 8Eh |
| TMR1H | 0Fh | OSCCON | 8Fh |
| T1CON | 10h | OSCTUNE | 90h |
| TMR2 | 11h | | 91h |
| T2CON | 12h | PR2 | 92h |
| CCPR1L | 13h | | 93h |
| CCPR1H | 14h | | 94h |
| CCP1CON | 15h | WPU | 95h |
| | 16h | IOC | 96h |
| | 17h | | 97h |
| WDTCON | 18h | | 98h |
| CMCON0 | 19h | VRCON | 99h |
| CMCON1 | 1Ah | EEDAT | 9Ah |
| | 1Bh | EEADR | 9Bh |
| | 1Ch | EECON1 | 9Ch |
| | 1Dh | EECON2 ⁽¹⁾ | 9Dh |
| ADRESH | 1Eh | ADRESL | 9Eh |
| ADCON0 | 1Fh | ANSEL | 9Fh |
| | 20h | General Purpose Registers 32 Bytes | A0h |
| General Purpose Registers | | | BFh |
| 96 Bytes | | | C0h |
| | | | EFh |
| | | | F0h |
| | | Accesses 70h-7Fh | FFh |
| BANK 0 | 7Fh | BANK 1 | |

 Unimplemented data memory locations, read as '0'.

Note 1: Not a physical register.

PIC12F683

TABLE 2-1: PIC12F683 SPECIAL REGISTERS SUMMARY BANK 0

| Addr | Name | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | Value on POR, BOR | Page |
|--------|---------|--|--------------------|---------|--|-----------------|---------------------|---------|---------|-------------------|--------|
| Bank 0 | | | | | | | | | | | |
| 00h | INDF | Addressing this location uses contents of FSR to address data memory (not a physical register) | | | | | | | | xxxx xxxx | 17, 90 |
| 01h | TMR0 | Timer0 Module Register | | | | | | | | xxxx xxxx | 41, 90 |
| 02h | PCL | Program Counter's (PC) Least Significant Byte | | | | | | | | 0000 0000 | 17, 90 |
| 03h | STATUS | IRP ⁽¹⁾ | RP1 ⁽¹⁾ | RP0 | \overline{TO} | \overline{PD} | Z | DC | C | 0001 1xxxx | 11, 90 |
| 04h | FSR | Indirect Data Memory Address Pointer | | | | | | | | xxxx xxxx | 17, 90 |
| 05h | GPIO | — | — | GP5 | GP4 | GP3 | GP2 | GP1 | GP0 | --xx xxxx | 31, 90 |
| 06h | — | Unimplemented | | | | | | | | — | — |
| 07h | — | Unimplemented | | | | | | | | — | — |
| 08h | — | Unimplemented | | | | | | | | — | — |
| 09h | — | Unimplemented | | | | | | | | — | — |
| 0Ah | PCLATH | — | — | — | Write Buffer for upper 5 bits of Program Counter | | | | --- | 0000 | 17, 90 |
| 0Bh | INTCON | GIE | PEIE | TOIE | INTE | GPIE | TOIF | INTF | GPIF | 0000 0000 | 13, 90 |
| 0Ch | PIR1 | EEIF | ADIF | CCP1IF | — | CMIF | OSFIF | TMR2IF | TMR1IF | 000- 0000 | 15, 90 |
| 0Dh | — | Unimplemented | | | | | | | | — | — |
| 0Eh | TMR1L | Holding Register for the Least Significant Byte of the 16-bit TMR1 | | | | | | | | xxxx xxxx | 44, 90 |
| 0Fh | TMR1H | Holding Register for the Most Significant Byte of the 16-bit TMR1 | | | | | | | | xxxx xxxx | 44, 90 |
| 10h | T1CON | T1GINV | TMR1GE | T1CKPS1 | T1CKPS0 | T1OSCEN | $\overline{T1SYNC}$ | TMR1CS | TMR1ON | 0000 0000 | 47, 90 |
| 11h | TMR2 | Timer2 Module Register | | | | | | | | 0000 0000 | 49, 90 |
| 12h | T2CON | — | TOUTPS3 | TOUTPS2 | TOUTPS1 | TOUTPS0 | TMR2ON | T2CKPS1 | T2CKPS0 | -000 0000 | 50, 90 |
| 13h | CCPR1L | Capture/Compare/PWM Register 1 Low Byte | | | | | | | | xxxx xxxx | 76, 90 |
| 14h | CCPR1H | Capture/Compare/PWM Register 1 High Byte | | | | | | | | xxxx xxxx | 76, 90 |
| 15h | CCP1CON | — | — | DC1B1 | DC1B0 | CCP1M3 | CCP1M2 | CCP1M1 | CCP1M0 | --00 0000 | 75, 90 |
| 16h | — | Unimplemented | | | | | | | | — | — |
| 17h | — | Unimplemented | | | | | | | | — | — |
| 18h | WDTCON | — | — | — | WDTPS3 | WDTPS2 | WDTPS1 | WDTPS0 | SWDTEN | ---0 1000 | 97, 90 |
| 19h | CMCON0 | — | COUT | — | CINV | CIS | CM2 | CM1 | CM0 | -0-0 0000 | 56, 90 |
| 1Ah | CMCON1 | — | — | — | — | — | — | T1GSS | CMSYNC | ---- --10 | 57, 90 |
| 1Bh | — | Unimplemented | | | | | | | | — | — |
| 1Ch | — | Unimplemented | | | | | | | | — | — |
| 1Dh | — | Unimplemented | | | | | | | | — | — |
| 1Eh | ADRESH | Most Significant 8 bits of the left shifted A/D result or 2 bits of right shifted result | | | | | | | | xxxx xxxx | 61, 90 |
| 1Fh | ADCON0 | ADFM | VCFG | — | — | CHS1 | CHS0 | GO/DONE | ADON | 00-- 0000 | 65, 90 |

Legend: — = unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: IRP and RP1 bits are reserved, always maintain these bits clear.

PIC12F683

TABLE 2-2: PIC12F683 SPECIAL FUNCTION REGISTERS SUMMARY BANK 1

| Addr | Name | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | Value on POR, BOR | Page |
|--------|--------------------|--|--------------------|---------|--|---------------------|---------|---------|---------|-------------------|--------|
| Bank 1 | | | | | | | | | | | |
| 80h | INDF | Addressing this location uses contents of FSR to address data memory (not a physical register) | | | | | | | | xxxx xxxx | 17, 90 |
| 81h | OPTION_REG | GPPU | INTEDG | T0CS | T0SE | PSA | PS2 | PS1 | PS0 | 1111 1111 | 12, 90 |
| 82h | PCL | Program Counter's (PC) Least Significant Byte | | | | | | | | 0000 0000 | 17, 90 |
| 83h | STATUS | IRP ⁽¹⁾ | RP1 ⁽¹⁾ | RP0 | T0 | PD | Z | DC | C | 0001 1xxx | 11, 90 |
| 84h | FSR | Indirect Data Memory Address Pointer | | | | | | | | xxxx xxxx | 17, 90 |
| 85h | TRISIO | — | — | TRISIO5 | TRISIO4 | TRISIO3 | TRISIO2 | TRISIO1 | TRISIO0 | --11 1111 | 32, 90 |
| 86h | — | Unimplemented | | | | | | | | — | — |
| 87h | — | Unimplemented | | | | | | | | — | — |
| 88h | — | Unimplemented | | | | | | | | — | — |
| 89h | — | Unimplemented | | | | | | | | — | — |
| 8Ah | PCLATH | — | — | — | Write Buffer for upper 5 bits of Program Counter | | | | --- | 0000 | 17, 90 |
| 8Bh | INTCON | GIE | PEIE | T0IE | INTE | GPIE | T0IF | INTF | GPIF | 0000 0000 | 13, 90 |
| 8Ch | PIE1 | EEIE | ADIE | CCP1IE | — | CMIE | OSFIE | TMR2IE | TMR1IE | 000- 0000 | 14, 90 |
| 8Dh | — | Unimplemented | | | | | | | | — | — |
| 8Eh | PCON | — | — | ULPWUE | SBOREN | — | — | POR | BOR | --01 --qq | 16, 90 |
| 8Fh | OSCCON | — | IRCF2 | IRCF1 | IRCF0 | OSTS ⁽²⁾ | HTS | LTS | SCS | -110 x000 | 20, 90 |
| 90h | OSCTUNE | — | — | — | TUN4 | TUN3 | TUN2 | TUN1 | TUN0 | ---0 0000 | 24, 90 |
| 91h | — | Unimplemented | | | | | | | | — | — |
| 92h | PR2 | Timer2 Module Period Register | | | | | | | | 1111 1111 | 49, 90 |
| 93h | — | Unimplemented | | | | | | | | — | — |
| 94h | — | Unimplemented | | | | | | | | — | — |
| 95h | WPU ⁽³⁾ | — | — | WPU5 | WPU4 | — | WPU2 | WPU1 | WPU0 | --11 -111 | 34, 90 |
| 96h | IOC | — | — | IOC5 | IOC4 | IOC3 | IOC2 | IOC1 | IOC0 | --00 0000 | 34, 90 |
| 97h | — | Unimplemented | | | | | | | | — | — |
| 98h | — | Unimplemented | | | | | | | | — | — |
| 99h | VRCON | VREN | — | VRR | — | VR3 | VR2 | VR1 | VR0 | 0-0- 0000 | 58, 90 |
| 9Ah | EEDAT | EEDAT7 | EEDAT6 | EEDAT5 | EEDAT4 | EEDAT3 | EEDAT2 | EEDAT1 | EEDAT0 | 0000 0000 | 71, 90 |
| 9Bh | EEADR | EEADR7 | EEADR6 | EEADR5 | EEADR4 | EEADR3 | EEADR2 | EEADR1 | EEADR0 | 0000 0000 | 71, 90 |
| 9Ch | EECON1 | — | — | — | — | WRERR | WREN | WR | RD | ---- x000 | 72, 91 |
| 9Dh | EECON2 | EEPROM Control Register 2 (not a physical register) | | | | | | | | ---- ---- | 72, 91 |
| 9Eh | ADRESL | Least Significant 2 bits of the left shifted result or 8 bits of the right shifted result | | | | | | | | xxxx xxxx | 66, 91 |
| 9Fh | ANSEL | — | ADCS2 | ADCS1 | ADCS0 | ANS3 | ANS2 | ANS1 | ANS0 | -000 1111 | 33, 91 |

Legend: — = unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: IRP and RP1 bits are reserved, always maintain these bits clear.

2: OSTS bit of the OSCCON register reset to '0' with Dual Speed Start-up and LP, HS or XT selected as the oscillator.

3: GP3 pull-up is enabled when MCLRE is '1' in the Configuration Word register.

74HC137

3-to-8 line decoder, demultiplexer with address latches;
inverting

Rev. 03 — 11 November 2004

Product data sheet

1. General description

The 74HC137 is a high-speed Si-gate CMOS device and is pin compatible with low power Schottky TTL (LSTTL). The 74HC137 is specified in compliance with JEDEC standard no. 7A.

The 74HC137 is a 3-to-8 line decoder, demultiplexer with latches at the three address inputs (A_n). The 74HC137 essentially combines the 3-to-8 decoder function with a 3-bit storage latch. When the latch is enabled ($\overline{LE} = \text{LOW}$), the 74HC137 acts as a 3-to-8 active LOW decoder. When the latch enable (\overline{LE}) goes from LOW-to-HIGH, the last data present at the inputs before this transition, is stored in the latches. Further address changes are ignored as long as \overline{LE} remains HIGH.

The output enable input ($\overline{E1}$ and $E2$) controls the state of the outputs independent of the address inputs or latch operation. All outputs are HIGH unless $\overline{E1}$ is LOW and $E2$ is HIGH.

The 74HC137 is ideally suited for implementing non-overlapping decoders in 3-state systems and strobed (stored address) applications in bus oriented systems.

2. Features

- Combines 3-to-8 decoder with 3-bit latch
- Multiple input enable for easy expansion or independent controls
- Active LOW mutually exclusive outputs
- Low-power dissipation
- Complies with JEDEC standard no. 7A
- ESD protection:
 - ◆ HBM EIA/JESD22-A114-B exceeds 2000 V
 - ◆ MM EIA/JESD22-A115-A exceeds 200 V.
- Multiple package options
- Specified from $-40\text{ }^{\circ}\text{C}$ to $+80\text{ }^{\circ}\text{C}$ and from $-40\text{ }^{\circ}\text{C}$ to $+125\text{ }^{\circ}\text{C}$.

PHILIPS

3. Quick reference data

Table 1: Quick reference data

$GND = 0\text{ V}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$; $t_r = t_f = 6\text{ ns}$.

| Symbol | Parameter | Conditions | Min | Typ | Max | Unit |
|-----------------------|---------------------------------|--|-----|-----|-----|------|
| t_{PHL} , t_{PLH} | propagation delay | $C_L = 15\text{ pF}$; $V_{CC} = 5\text{ V}$ | | | | |
| | An to \bar{Y}_n | | - | 18 | - | ns |
| | $\bar{L}\bar{E}$ to \bar{Y}_n | | - | 17 | - | ns |
| | $\bar{E}1$ to \bar{Y}_n | | - | 15 | - | ns |
| | E2 to \bar{Y}_n | | - | 15 | - | ns |
| C_I | input capacitance | | - | 3.5 | - | pF |
| C_{PD} | power dissipation capacitance | $V_I = GND$ to V_{CC} | [1] | 57 | - | pF |

[1] C_{PD} is used to determine the dynamic power dissipation (P_D in μW).

$P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o)$ where:

f_i = input frequency in MHz;

f_o = output frequency in MHz;

C_L = output load capacitance in pF;

V_{CC} = supply voltage in V;

N = number of inputs switching;

$\Sigma(C_L \times V_{CC}^2 \times f_o)$ = sum of outputs.

4. Ordering information

Table 2: Ordering information

| Type number | Package | | | |
|-------------|-------------------|--------|--|----------|
| | Temperature range | Name | Description | Version |
| 74HC137N | -40 °C to +125 °C | DIP16 | plastic dual in-line package; 16 leads (300 mil) | SOT38-4 |
| 74HC137D | -40 °C to +125 °C | SO16 | plastic small outline package; 16 leads; body width 3.9 mm | SOT109-1 |
| 74HC137DB | -40 °C to +125 °C | SSOP16 | plastic shrink small outline package; 16 leads; body width 5.3 mm | SOT338-1 |

5. Functional diagram

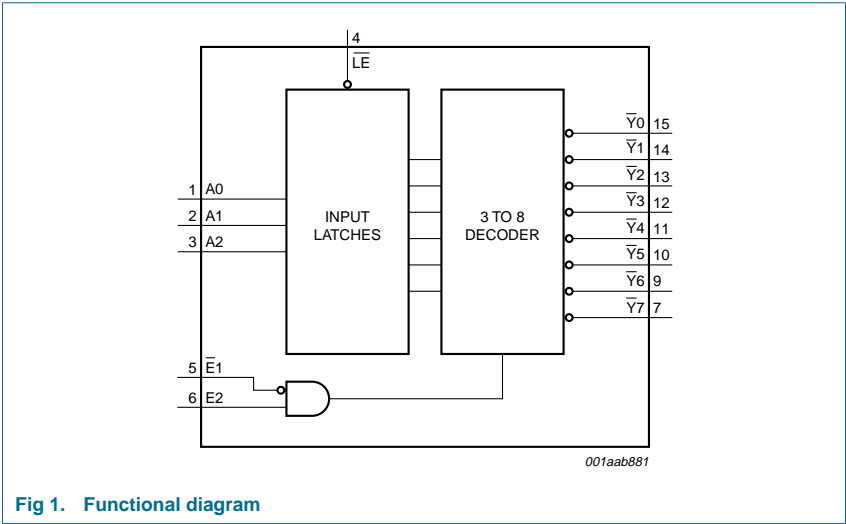


Fig 1. Functional diagram

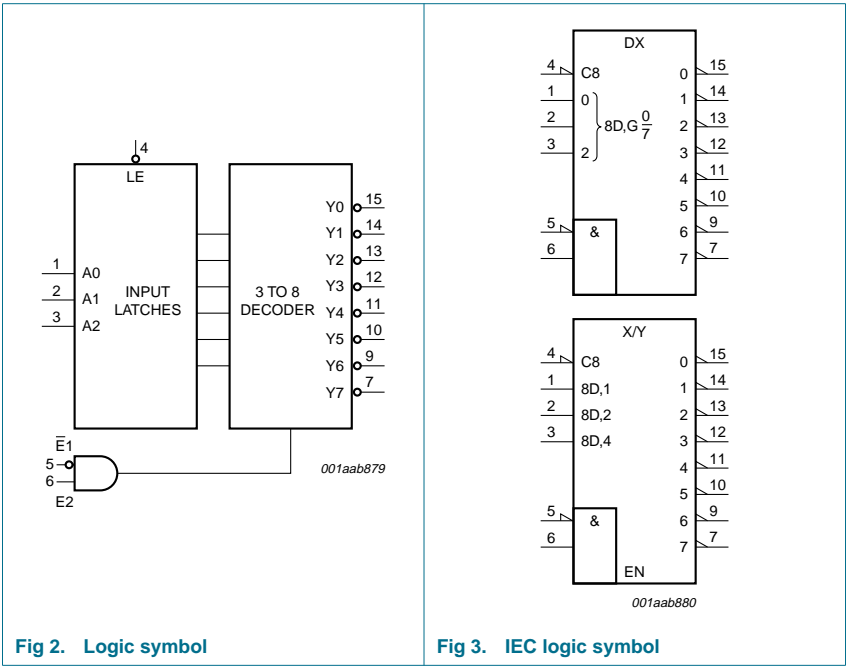
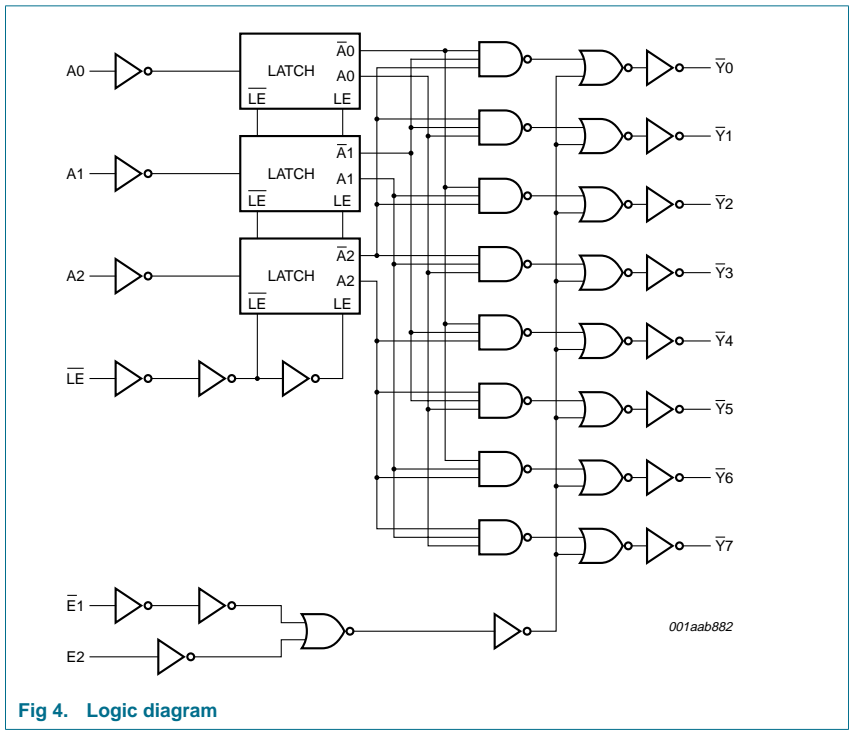


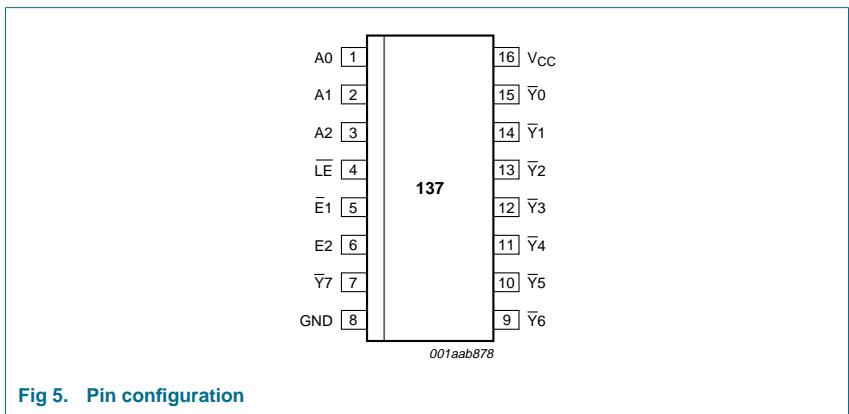
Fig 2. Logic symbol

Fig 3. IEC logic symbol



6. Pinning information

6.1 Pinning



6.2 Pin description

Table 3: Pin description

| Symbol | Pin | Description |
|------------------------|-----|-----------------------------------|
| A0 | 1 | data input 0 |
| A1 | 2 | data input 1 |
| A2 | 3 | data input 2 |
| $\overline{\text{LE}}$ | 4 | latch enable input (active LOW) |
| $\overline{\text{E1}}$ | 5 | data enable input 1 (active LOW) |
| E2 | 6 | data enable input 2 (active HIGH) |
| $\overline{\text{Y7}}$ | 7 | multiplexer output 7 |
| GND | 8 | ground (0 V) |
| $\overline{\text{Y6}}$ | 9 | multiplexer output 6 |
| $\overline{\text{Y5}}$ | 10 | multiplexer output 5 |
| $\overline{\text{Y4}}$ | 11 | multiplexer output 4 |
| $\overline{\text{Y3}}$ | 12 | multiplexer output 3 |
| $\overline{\text{Y2}}$ | 13 | multiplexer output 2 |
| $\overline{\text{Y1}}$ | 14 | multiplexer output 1 |
| $\overline{\text{Y0}}$ | 15 | multiplexer output 0 |
| V _{CC} | 16 | positive supply voltage |

7. Functional description

7.1 Function table

Table 4: Function table [1]

| Enable | | | Input | | | Output | | | | | | | |
|------------------------|------------------------|----|-------|----|----|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|
| $\overline{\text{LE}}$ | $\overline{\text{E1}}$ | E2 | A0 | A1 | A2 | $\overline{\text{Y0}}$ | $\overline{\text{Y1}}$ | $\overline{\text{Y2}}$ | $\overline{\text{Y3}}$ | $\overline{\text{Y4}}$ | $\overline{\text{Y5}}$ | $\overline{\text{Y6}}$ | $\overline{\text{Y7}}$ |
| H | L | H | X | X | X | stable | | | | | | | |
| X | H | X | X | X | X | H | H | H | H | H | H | H | H |
| X | X | L | X | X | X | H | H | H | H | H | H | H | H |
| L | L | H | L | L | L | L | H | H | H | H | H | H | H |
| | | | H | L | L | H | L | H | H | H | H | H | H |
| | | | L | H | L | H | H | L | H | H | H | H | H |
| | | | H | H | L | H | H | H | L | H | H | H | H |
| | | | L | L | H | H | H | H | H | L | H | H | H |
| | | | H | L | H | H | H | H | H | H | L | H | H |
| | | | L | H | H | H | H | H | H | H | H | L | H |
| | | | H | H | H | H | H | H | H | H | H | H | L |

[1] H = HIGH voltage level;
L = LOW voltage level;
X = don't care.

10. Static characteristics

Table 7: Static characteristics

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

| Symbol | Parameter | Conditions | Min | Typ | Max | Unit |
|---|---------------------------|---|------|------|------|------|
| T_{amb} = 25 °C | | | | | | |
| V _{IH} | HIGH-level input voltage | V _{CC} = 2.0 V | 1.5 | 1.2 | - | V |
| | | V _{CC} = 4.5 V | 3.15 | 2.4 | - | V |
| | | V _{CC} = 6.0 V | 4.2 | 3.2 | - | V |
| V _{IL} | LOW-level input voltage | V _{CC} = 2.0 V | - | 0.8 | 0.5 | V |
| | | V _{CC} = 4.5 V | - | 2.1 | 1.35 | V |
| | | V _{CC} = 6.0 V | - | 2.8 | 1.8 | V |
| V _{OH} | HIGH-level output voltage | V _I = V _{IH} or V _{IL} | | | | |
| | | I _O = -20 µA; V _{CC} = 2.0 V | 1.9 | 2.0 | - | V |
| | | I _O = -20 µA; V _{CC} = 4.5 V | 4.4 | 4.5 | - | V |
| | | I _O = -20 µA; V _{CC} = 6.0 V | 5.9 | 6.0 | - | V |
| | | I _O = -4 mA; V _{CC} = 4.5 V | 3.98 | 4.32 | - | V |
| | | I _O = -5.2 mA; V _{CC} = 6.0 V | 5.48 | 5.81 | - | V |
| V _{OL} | LOW-level output voltage | V _I = V _{IH} or V _{IL} | | | | |
| | | I _O = 20 µA; V _{CC} = 2.0 V | - | 0 | 0.1 | V |
| | | I _O = 20 µA; V _{CC} = 4.5 V | - | 0 | 0.1 | V |
| | | I _O = 20 µA; V _{CC} = 6.0 V | - | 0 | 0.1 | V |
| | | I _O = 4 mA; V _{CC} = 4.5 V | - | 0.15 | 0.26 | V |
| | | I _O = 5.2 mA; V _{CC} = 6.0 V | - | 0.16 | 0.26 | V |
| I _{LI} | input leakage current | V _I = V _{CC} or GND; V _{CC} = 6.0 V | - | - | ±0.1 | µA |
| I _{CC} | quiescent supply current | V _I = V _{CC} or GND; I _O = 0 A; V _{CC} = 6.0 V | - | - | 8.0 | µA |
| C _I | input capacitance | | - | 3.5 | - | pF |
| T_{amb} = -40 °C to +85 °C | | | | | | |
| V _{IH} | HIGH-level input voltage | V _{CC} = 2.0 V | 1.5 | - | - | V |
| | | V _{CC} = 4.5 V | 3.15 | - | - | V |
| | | V _{CC} = 6.0 V | 4.2 | - | - | V |
| V _{IL} | LOW-level input voltage | V _{CC} = 2.0 V | - | - | 0.5 | V |
| | | V _{CC} = 4.5 V | - | - | 1.35 | V |
| | | V _{CC} = 6.0 V | - | - | 1.8 | V |
| V _{OH} | HIGH-level output voltage | V _I = V _{IH} or V _{IL} | | | | |
| | | I _O = -20 µA; V _{CC} = 2.0 V | 1.9 | - | - | V |
| | | I _O = -20 µA; V _{CC} = 4.5 V | 4.4 | - | - | V |
| | | I _O = -20 µA; V _{CC} = 6.0 V | 5.9 | - | - | V |
| | | I _O = -4 mA; V _{CC} = 4.5 V | 3.84 | - | - | V |
| | | I _O = -5.2 mA; V _{CC} = 6.0 V | 5.34 | - | - | V |

Table 7: Static characteristics ...continued

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

| Symbol | Parameter | Conditions | Min | Typ | Max | Unit |
|--|---------------------------|---|------|-----|------|------|
| V _{OL} | LOW-level output voltage | V _I = V _{IH} or V _{IL} | | | | |
| | | I _O = 20 µA; V _{CC} = 2.0 V | - | - | 0.1 | V |
| | | I _O = 20 µA; V _{CC} = 4.5 V | - | - | 0.1 | V |
| | | I _O = 20 µA; V _{CC} = 6.0 V | - | - | 0.1 | V |
| | | I _O = 4 mA; V _{CC} = 4.5 V | - | - | 0.33 | V |
| | | I _O = 5.2 mA; V _{CC} = 6.0 V | - | - | 0.33 | V |
| I _{LI} | input leakage current | V _I = V _{CC} or GND; V _{CC} = 6.0 V | - | - | ±1.0 | µA |
| I _{CC} | quiescent supply current | V _I = V _{CC} or GND; I _O = 0 A; V _{CC} = 6.0 V | - | - | 80 | µA |
| T_{amb} = -40 °C to +125 °C | | | | | | |
| V _{IH} | HIGH-level input voltage | V _{CC} = 2.0 V | 1.5 | - | - | V |
| | | V _{CC} = 4.5 V | 3.15 | - | - | V |
| | | V _{CC} = 6.0 V | 4.2 | - | - | V |
| V _{IL} | LOW-level input voltage | V _{CC} = 2.0 V | - | - | 0.5 | V |
| | | V _{CC} = 4.5 V | - | - | 1.35 | V |
| | | V _{CC} = 6.0 V | - | - | 1.8 | V |
| V _{OH} | HIGH-level output voltage | V _I = V _{IH} or V _{IL} | | - | | |
| | | I _O = -20 µA; V _{CC} = 2.0 V | 1.9 | - | - | V |
| | | I _O = -20 µA; V _{CC} = 4.5 V | 4.4 | - | - | V |
| | | I _O = -20 µA; V _{CC} = 6.0 V | 5.9 | - | - | V |
| | | I _O = -4 mA; V _{CC} = 4.5 V | 3.7 | - | - | V |
| | | I _O = -5.2 mA; V _{CC} = 6.0 V | 5.2 | - | - | V |
| V _{OL} | LOW-level output voltage | V _I = V _{IH} or V _{IL} | | - | | |
| | | I _O = 20 µA; V _{CC} = 2.0 V | - | - | 0.1 | V |
| | | I _O = 20 µA; V _{CC} = 4.5 V | - | - | 0.1 | V |
| | | I _O = 20 µA; V _{CC} = 6.0 V | - | - | 0.1 | V |
| | | I _O = 4 mA; V _{CC} = 4.5 V | - | - | 0.4 | V |
| | | I _O = 5.2 mA; V _{CC} = 6.0 V | - | - | 0.4 | V |
| I _{LI} | input leakage current | V _I = V _{CC} or GND; V _{CC} = 6.0 V | - | - | ±1.0 | µA |
| I _{CC} | quiescent supply current | V _I = V _{CC} or GND; I _O = 0 A; V _{CC} = 6.0 V | - | - | 160 | µA |

11. Dynamic characteristics

Table 8: Dynamic characteristics

$GND = 0\text{ V}$; $t_r = t_f = 6\text{ ns}$; $C_L = 50\text{ pF}$.

| Symbol | Parameter | Conditions | Min | Typ | Max | Unit |
|--------------------------|---|--|-------|-----|-----|------|
| $T_{amb} = 25\text{ °C}$ | | | | | | |
| t_{PHL} , t_{PLH} | propagation delay A_n to \bar{Y}_n | see Figure 6 | | | | |
| | | $V_{CC} = 2.0\text{ V}$ | - | 58 | 180 | ns |
| | | $V_{CC} = 4.5\text{ V}$ | - | 21 | 36 | ns |
| | | $V_{CC} = 6.0\text{ V}$ | - | 17 | 31 | ns |
| | propagation delay $\bar{L}\bar{E}$ to \bar{Y}_n | $V_{CC} = 5.0\text{ V}$; $C_L = 15\text{ pF}$ | - | 18 | - | ns |
| | | see Figure 7 | | | | |
| | | $V_{CC} = 2.0\text{ V}$ | - | 55 | 190 | ns |
| | | $V_{CC} = 4.5\text{ V}$ | - | 20 | 38 | ns |
| | | $V_{CC} = 6.0\text{ V}$ | - | 16 | 32 | ns |
| | | $V_{CC} = 5.0\text{ V}$; $C_L = 15\text{ pF}$ | - | 17 | - | ns |
| | propagation delay $\bar{E}1$ to \bar{Y}_n | see Figure 7 | | | | |
| | | $V_{CC} = 2.0\text{ V}$ | - | 50 | 145 | ns |
| | | $V_{CC} = 4.5\text{ V}$ | - | 18 | 29 | ns |
| | | $V_{CC} = 6.0\text{ V}$ | - | 14 | 25 | ns |
| | | $V_{CC} = 5.0\text{ V}$; $C_L = 15\text{ pF}$ | - | 15 | - | ns |
| | propagation delay $E2$ to \bar{Y}_n | see Figure 6 | | | | |
| | | $V_{CC} = 2.0\text{ V}$ | - | 50 | 145 | ns |
| | | $V_{CC} = 4.5\text{ V}$ | - | 18 | 29 | ns |
| | | $V_{CC} = 6.0\text{ V}$ | - | 14 | 25 | ns |
| | | $V_{CC} = 5.0\text{ V}$; $C_L = 15\text{ pF}$ | - | 15 | - | ns |
| t_{THL} , t_{TLH} | output transition time | see Figure 6 | | | | |
| | | $V_{CC} = 2.0\text{ V}$ | - | 19 | 75 | ns |
| | | $V_{CC} = 4.5\text{ V}$ | - | 7 | 15 | ns |
| t_W | $\bar{L}\bar{E}$ pulse width HIGH | $V_{CC} = 6.0\text{ V}$ | - | 6 | 13 | ns |
| | | see Figure 8 | | | | |
| | | $V_{CC} = 2.0\text{ V}$ | 50 | 11 | - | ns |
| t_{su} | set-up time A_n to $\bar{L}\bar{E}$ | $V_{CC} = 4.5\text{ V}$ | 10 | 4 | - | ns |
| | | $V_{CC} = 6.0\text{ V}$ | 9 | 3 | - | ns |
| | | see Figure 8 | | | | |
| t_h | hold time A_n to $\bar{L}\bar{E}$ | $V_{CC} = 2.0\text{ V}$ | 50 | 3 | - | ns |
| | | $V_{CC} = 4.5\text{ V}$ | 10 | 1 | - | ns |
| | | $V_{CC} = 6.0\text{ V}$ | 9 | 1 | - | ns |
| C_{PD} | power dissipation capacitance | $V_I = GND$ to V_{CC} | [1] - | 57 | - | pF |

Table 8: Dynamic characteristics ...continued

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF.

| Symbol | Parameter | Conditions | Min | Typ | Max | Unit |
|---|---|------------------------------|-----|-----|-----|------|
| T_{amb} = -40 °C to +85 °C | | | | | | |
| t _{PHL} , t _{PLH} | propagation delay A _n to \bar{Y}_n | see Figure 6 | | | | |
| | | V _{CC} = 2.0 V | - | - | 225 | ns |
| | | V _{CC} = 4.5 V | - | - | 45 | ns |
| | propagation delay $\bar{L}\bar{E}$ to \bar{Y}_n | see Figure 7 | | | | |
| | | V _{CC} = 2.0 V | - | - | 240 | ns |
| | | V _{CC} = 4.5 V | - | - | 48 | ns |
| | propagation delay $\bar{E}1$ to \bar{Y}_n | see Figure 7 | | | | |
| | | V _{CC} = 2.0 V | - | - | 180 | ns |
| | | V _{CC} = 4.5 V | - | - | 36 | ns |
| | propagation delay E2 to \bar{Y}_n | see Figure 6 | | | | |
| | | V _{CC} = 2.0 V | - | - | 180 | ns |
| | | V _{CC} = 4.5 V | - | - | 36 | ns |
| t _{THL} , t _{TLH} | output transition time | see Figure 6 | | | | |
| | | V _{CC} = 2.0 V | - | - | 95 | ns |
| | | V _{CC} = 4.5 V | - | - | 19 | ns |
| t _W | $\bar{L}\bar{E}$ pulse width HIGH | see Figure 8 | | | | |
| | | V _{CC} = 2.0 V | 65 | - | - | ns |
| | | V _{CC} = 4.5 V | 13 | - | - | ns |
| t _{su} | set-up time A _n to $\bar{L}\bar{E}$ | see Figure 8 | | | | |
| | | V _{CC} = 2.0 V | 65 | - | - | ns |
| | | V _{CC} = 4.5 V | 13 | - | - | ns |
| t _h | hold time A _n to $\bar{L}\bar{E}$ | see Figure 8 | | | | |
| | | V _{CC} = 2.0 V | 40 | - | - | ns |
| | | V _{CC} = 4.5 V | 8 | - | - | ns |
| | | V _{CC} = 6.0 V | 7 | - | - | ns |

Table 8: Dynamic characteristics ...continued
GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF.

| Symbol | Parameter | Conditions | Min | Typ | Max | Unit |
|--|---|------------------------------|-----|-----|-----|------|
| T_{amb} = -40 °C to +125 °C | | | | | | |
| t _{PHL} , t _{PLH} | propagation delay An to \bar{Y}_n | see Figure 6 | | | | |
| | | V _{CC} = 2.0 V | - | - | 270 | ns |
| | | V _{CC} = 4.5 V | - | - | 54 | ns |
| | | V _{CC} = 6.0 V | - | - | 46 | ns |
| | propagation delay $\bar{L}\bar{E}$ to \bar{Y}_n | see Figure 7 | | | | |
| | | V _{CC} = 2.0 V | - | - | 285 | ns |
| | | V _{CC} = 4.5 V | - | - | 57 | ns |
| | | V _{CC} = 6.0 V | - | - | 48 | ns |
| | propagation delay $\bar{E}1$ to \bar{Y}_n | see Figure 7 | | | | |
| | | V _{CC} = 2.0 V | - | - | 220 | ns |
| | | V _{CC} = 4.5 V | - | - | 44 | ns |
| | | V _{CC} = 6.0 V | - | - | 38 | ns |
| | propagation delay E2 to \bar{Y}_n | see Figure 6 | | | | |
| | | V _{CC} = 2.0 V | - | - | 220 | ns |
| | | V _{CC} = 4.5 V | - | - | 44 | ns |
| | | V _{CC} = 6.0 V | - | - | 38 | ns |
| t _{THL} , t _{TLH} | output transition time | see Figure 6 | | | | |
| | | V _{CC} = 2.0 V | - | - | 110 | ns |
| | | V _{CC} = 4.5 V | - | - | 22 | ns |
| t _W | $\bar{L}\bar{E}$ pulse width HIGH | see Figure 8 | | | | |
| | | V _{CC} = 2.0 V | - | - | 75 | ns |
| | | V _{CC} = 4.5 V | - | - | 15 | ns |
| t _{su} | set-up time An to $\bar{L}\bar{E}$ | see Figure 8 | | | | |
| | | V _{CC} = 2.0 V | - | - | 75 | ns |
| | | V _{CC} = 4.5 V | - | - | 15 | ns |
| t _h | hold time An to $\bar{L}\bar{E}$ | see Figure 8 | | | | |
| | | V _{CC} = 2.0 V | - | - | 45 | ns |
| | | V _{CC} = 4.5 V | - | - | 9 | ns |
| | | V _{CC} = 6.0 V | - | - | 8 | ns |

[1] C_{PD} is used to determine the dynamic power dissipation (P_D in μ W).

P_D = C_{PD} × V_{CC}² × f_i × N + Σ (C_L × V_{CC}² × f_o) where:

f_i = input frequency in MHz;

f_o = output frequency in MHz;

C_L = output load capacitance in pF;

V_{CC} = supply voltage in V;

N = number of inputs switching;

Σ (C_L × V_{CC}² × f_o) = sum of outputs.