



## Experiencia 3: Piano digital

3 Sesiones

---

### 1. Objetivos

Esta experiencia busca que el alumno logre implementar un sistema digital complejo utilizando el protocolo PS/2 en la tarjeta de desarrollo *Basys 3*, así como también un tamaño de memoria reducido. Adicionalmente, se busca que el alumno se familiarice con circuitos conversores de datos y amplificadores de potencia.

### 2. Marco Teórico

Esta experiencia consiste en el diseño e implementación de un piano digital simple monofónico de dos octavas (24 notas) con etapa de salida. El sistema completo se puede dividir en cuatro grandes partes: teclado, síntesis de sonido, DAC y etapa de salida. En términos generales, el piano debe funcionar de la siguiente manera: el ingreso de notas se hace a través de un teclado de computador, del cual debe escoger 24 teclas para representar las 24 notas musicales. Una vez presionada una tecla, la FPGA debe generar una señal sinusoidal de cierta frecuencia. Para convertir la señal al dominio analógico se debe implementar un DAC utilizando la configuración de escalera de resistencias. Por último, para escuchar la señal analógica, se utiliza una etapa de salida clase AB que maneja un parlante.

#### 2.1. Comentarios preliminares

La presente experiencia involucra una parte digital, implementada en FPGA, y una parte analógica, armada en *protoboard*:

- La parte digital involucra un problema de diseño abierto, **y es probablemente lo más complicado de la experiencia**. El diseño digital es libre, y no tiene trabajo previo como guía para su desarrollo.
- La parte analógica involucra la implementación en un *protoboard* de algunos circuitos sencillos y bien definidos. Hay un trabajo previo para estos circuitos que busca que el alumno se familiarice con su funcionamiento.

A continuación se detallan cada uno de los bloques del sistema, considerando los detalles del protocolo PS2, la forma específica que deben utilizar para generar las notas, la configuración del DAC, y la configuración de la etapa de salida clase AB.

## 2.2. Teclado

Para ingresar las notas debe utilizar un teclado de computador. Como el teclado es monofónico, sólo debe sonar la última nota tocada, independientemente de si ésta es de mayor o menor frecuencia que la anterior.

Como se puede ver en la figura 1, el protocolo PS/2 corresponde a un simple protocolo serial de dos señales: la señal de datos **ps2d** y la señal de reloj **ps2c**.<sup>1</sup> La transmisión comienza con un bit de inicio (*start* bit), luego le siguen ocho bits de datos, un bit de paridad, y finalmente, un bit de término (*stop* bit). Con el flanco negativo de la señal **ps2c** se indica que el bit correspondiente a la línea **ps2d** es un dato válido. El periodo de reloj de la señal **ps2c** se encuentra entre 10 kHz a 16.7 kHz, y la señal **ps2d** se encuentra estable al menos 5 ps antes y después de dicho flanco.

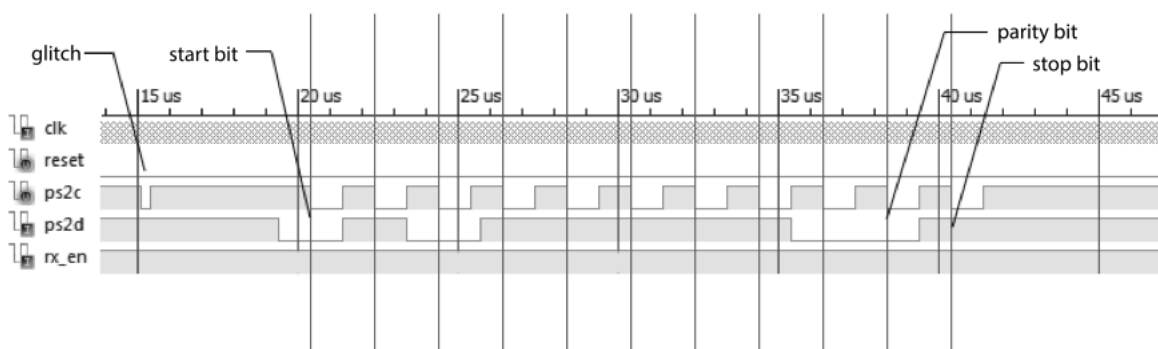


Figura 1: Protocolo PS/2. La señal **clk** corresponde al reloj de procesamiento del receptor (omita las señales **reset** y **rx\_en**).

El protocolo PS/2 (desde teclado) usa códigos de ocho bits para indicar que una tecla ha sido presionada. Cada tecla tiene asignada un código, por ejemplo, la letra Q es 0x15. Si una tecla se mantiene presionada, el teclado envía el código de la tecla cada 100 ms. Cuando se suelta la tecla, el teclado envía el código 0xF0, seguido por el código de la tecla que ha dejado de ser presionada.

Para implementar el *driver* PS/2, considere que la señal **ps2c** tiene *glitches*, por lo que primero debe diseñar un bloque que elimine dichos *glitches*. Para esto, puede esperar un número de ciclos de reloj de procesamiento tal que aseguren que el flanco de bajada de **ps2c** es producto de los datos y no de ruido.

<sup>1</sup>Comunicación serial es el proceso de enviar datos secuencialmente un *bit* a la vez en un canal de comunicación.

## 2.3. Síntesis de sonido

Dependiendo de la tecla que se esté presionando, el sistema debe generar una señal sinusoidal de cierta frecuencia, la cual debe ser utilizada como entrada de un DAC para posteriormente poder escucharla.

### 2.3.1. Memoria

Para implementar este bloque debe almacenar en la FPGA 128 muestras de 8 bits que representen un cuarto de onda sinusoidal, en vez de un periodo de onda entero. Utilizando este cuarto de onda es posible generar un periodo completo. Por ejemplo, para generar la primera mitad de la señal sinusoidal puede utilizar un contador que acceda la memoria en orden creciente y luego en orden decreciente. Para generar la mitad faltante de la señal, simplemente se debe complementar la salida de la memoria y nuevamente ir cambiando el orden de indexación de los datos.

En esta oportunidad debe generar la memoria con un IP Core y no con un archivo Verilog hecho por usted mismo. Al implementar la memoria con un IP Core se aprovecha la memoria dedicada de la FPGA en lugar de usar recursos de propósito general.

### 2.3.2. Generación de frecuencias

A partir de un periodo completo de la onda sinusoidal, es posible generar distintas frecuencias con el mismo reloj de muestreo, cambiando el tamaño del salto con el que se recorren las muestras. La señal sinusoidal resultante no tendrá el mismo número de muestras por periodo.

En la tabla 1 se muestran las frecuencias de las 24 notas del piano digital básico junto con el tamaño de los pasos que debe saltar el contador que indexa la memoria para lograr obtener la frecuencia correspondiente.<sup>2</sup> Como no es posible hacer saltos fraccionales, debe implementar un bloque que almacene la parte fraccional que no está considerando en cada indexación de la memoria y, cada vez que los restos acumulados alcancen un entero, incrementar el próximo paso del contador.

- Por ejemplo, suponga que debe leer la memoria a saltos de 2.6. Para esto, primero se indexa la posición 0 de la memoria, luego la posición 2 (quedando 0.6 pendientes), luego la posición  $2 + 3$  ( $2.6 + 0.6 = 3.2$ , quedando 0.2 pendientes), luego la posición  $2 + 3 + 2$  ( $2.6 + 0.2 = 2.8$ , quedando 0.8 pendientes), luego la posición  $2 + 3 + 2 + 3$  ( $2.6 + 0.8 = 3.4$ , quedando 0.4 pendientes) y así sucesivamente.

De esta manera, la frecuencia de la señal resultante corresponde más o menos a  $\frac{f_{clk}}{4N} \cdot step$ , donde  $f_{clk}$  es la frecuencia del reloj de procesamiento,  $4N$  el número de muestras de un periodo de la señal (en el caso de esta experiencia igual a  $4 \times 128$ ) y  $step$  corresponde a los saltos de indexación de la memoria (igual a 2.6 en el ejemplo).

---

<sup>2</sup>Esto considerando que la memoria que almacena el cuarto de onda es de 128 muestras y que la frecuencia del reloj de operación es de 4 kHz.

Cuadro 1: Notas, sus respectivas frecuencias y los saltos del contador considerado  $f_{clk} = 4$  kHz y un cuarto de onda de 128 muestras (512 muestras en un periodo completo).

Nota	Frecuencia [Hz]	Salto del contador
DO	130.812783	16.74403618
DO#	138.591315	17.73968838
RE	146.832384	18.79454515
RE#	155.5634919	19.91212696
MI	164.8137785	21.09616364
FA	174.6141157	22.35060681
FA#	184.9972114	23.67964305
SOL	195.997718	25.0877079
SOL#	207.6523488	26.57950065
LA	220	28.16
LA#	233.0818808	29.83448074
SI	246.9416506	31.60853128
DO	261.6255653	33.48807236
DO#	277.182631	35.47937677
RE	293.6647679	37.58909029
RE#	311.1269837	39.82425392
MI	329.6275569	42.19232728
FA	349.2282314	44.70121362
FA#	369.9944227	47.35928611
SOL	391.995436	50.17541581
SOL#	415.3046976	53.15900129
LA	440	56.32
LA#	466.1637615	59.66896147
SI	493.8833013	63.21706256

### 3. Desarrollo de la Experiencia

#### 3.1. Trabajo Previo

##### 3.1.1. Conversor Digital-Análogo (DAC)

Esta parte de la experiencia consiste en el desarrollo de un conversor digital-análogo de topología escalera de resistencias R-2R. En la figura 2 se muestra un DAC de escalera de resistores R2R.

1. Utilizando el principio de superposición encuentre el valor de voltaje de salida del conversor de la figura 2 en función del valor de los bits  $v_o(b_0, b_1, b_2, b_3)$ .
2. En base a la función anterior y asumiendo que las señales digitales provienen de la

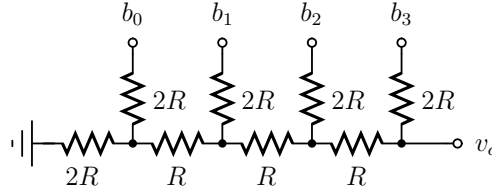


Figura 2: DAC R2R de 4 bits

*Basys 3*, ¿Cuál es el máximo voltaje posible a la salida del conversor?.

- Determine cuál de las resistencias debe ser más precisa para que la red R2R funcione correctamente. Investigue el tipo de error que aparece en el conversor cuando las resistencias del arreglo tienen variaciones en torno a su valor ideal.
- En la figura 3 se agregó un amplificador inversor a la salida del arreglo. El potenciómetro  $P_f$  define la amplitud de la señal  $v_o$ .

Considerando que la etapa de salida tiene una ganancia de voltaje prácticamente unitaria, y que desea entregar una potencia máxima de 6 W en una carga de  $8\ \Omega$  a la salida, calcule el valor máximo del potenciómetro  $P_f$  y escoja el valor más cercano disponible en el laboratorio.

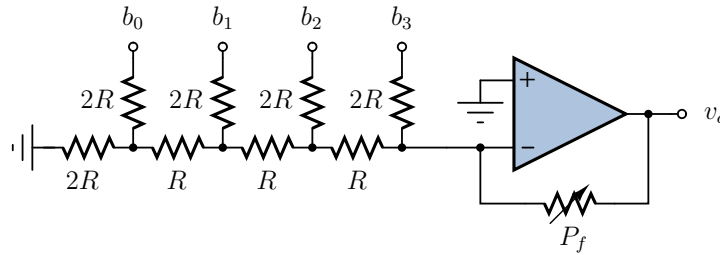


Figura 3: DAC R2R de 4 bits con ganancia

- A partir de su análisis en los incisos anteriores, extienda el diseño del DAC a 8 bits. Especifique la fórmula para  $v_o$  en función de los valores de  $b_i$ , donde  $i \in \{0, \dots, 7\}$ , y el valor de  $P_f$ . No es necesario repetir el desarrollo de los incisos anteriores, basta con indicar los valores solicitados.
- La señal a la salida del DAC estará cuantizada a 8 bits. Para suavizar la señal sinusoidal y eliminar armónicos no deseados en la señal de audio, diseñe un filtro pasabajos activo de primer orden de frecuencia de corte 1 kHz y ganancia unitaria, para conectar en cascada con su DAC. Dibuje el diagrama del filtro y detalle sus cálculos para obtener la frecuencia de corte correcta.

### 3.1.2. Etapa de salida clase AB sin realimentación

1. Considere el circuito de la figura 4(a). Éste es un BJT utilizado en configuración seguidor de emisor. Simule el circuito con una señal de entrada de  $2V_{pp}$ , componente DC nula y frecuencia de 1 kHz. En el visualizador de formas de onda grafique  $V_{in}$  y  $V_{out}$  en un mismo gráfico, con ayuda de los cursores anote para qué valor de  $V_{in}$  el BJT comienza a conducir. El voltaje que encontró es el voltaje de la juntura del BJT. Además, calcule analíticamente la ganancia y una expresión para la resistencia de salida del circuito.
2. Ahora simule el siguiente circuito de la figura 4(b), es el mismo circuito anterior solo que se le ha agregado un diodo 1N4148 y una resistencia para polarizarlo. Simule nuevamente el circuito y grafique  $V_{in}$  y  $V_{out}$  conjuntamente. Esta vez la conducción del BJT ocurre durante todo el semiciclo positivo de la señal de entrada. Lo que hemos hecho con el diodo es fijar la componente DC en la base del BJT con un voltaje similar al de la juntura del BJT. Con esto hemos evitado el efecto de desplazamiento de tensión y corte cerca del cero que teníamos antes. Pero solo tenemos conducción durante la mitad de la onda.
3. Ahora simule el circuito que se presenta en la figura 4(c). La señal de prueba es la misma que ha usado anteriormente. Grafique voltaje de entrada y salida. Puede observar el mismo efecto que en la primera parte, solo que esta vez con ambos semiciclos. El NPN conduce en el semiciclo positivo mientras el PNP lo hace en el semiciclo negativo. Tenemos nuevamente el efecto de distorsión de cruces por cero.
4. Simule el circuito de la figura 4(d). Éste es el equivalente de onda completa del segundo caso que simuló. Nuevamente utilizamos los diodos para polarizar las bases de los BJT con un voltaje similar al de la juntura de estos mismos. Las resistencias en esa rama se utilizan para fijar la corriente que circulará por ellos.
5. Con estas explicaciones debería estar en condiciones para entender el funcionamiento del circuito que se presenta en la figura 5. Considere que el potenciómetro  $P_1$  se puede utilizar ajustar la corriente de polarización de los diodos. Calcule valores para  $R_1$ ,  $R_2$  y  $P_1$ , considerando la información que aparece en la hoja de datos de los distintos componentes y considerando márgenes de seguridad.
6. Simule el circuito de la figura 5 pruébelo con una señal sinusoidal de  $1V_{pp}$  con valor DC nulo, 1 kHz de frecuencia y con los valores calculados para porcentajes de la resistencia no cortocircuitada del potenciómetro  $P_1$  de 0, 20, 50, 70 y 100 %. Tabule sus resultados. Los modelos de los transistores utilizados -TIP122 y TIP126- se pueden encontrar como subcircuito en internet. Como dato adicional, en LTspice, si usted realiza una simulación transiente y ubica el cursor sobre algún componente presionando la tecla ALT, el cursor se transforma en un termómetro y en el visualizador de onda se despliega la potencia consumida -o entregada- por el elemento. Utilice esta función y estudie los valores de potencia tanto en la entrada como en la salida del circuito.

7. Estudie el problema de disipación térmica y realice el cálculo de los disipadores adecuados para los transistores de salida.

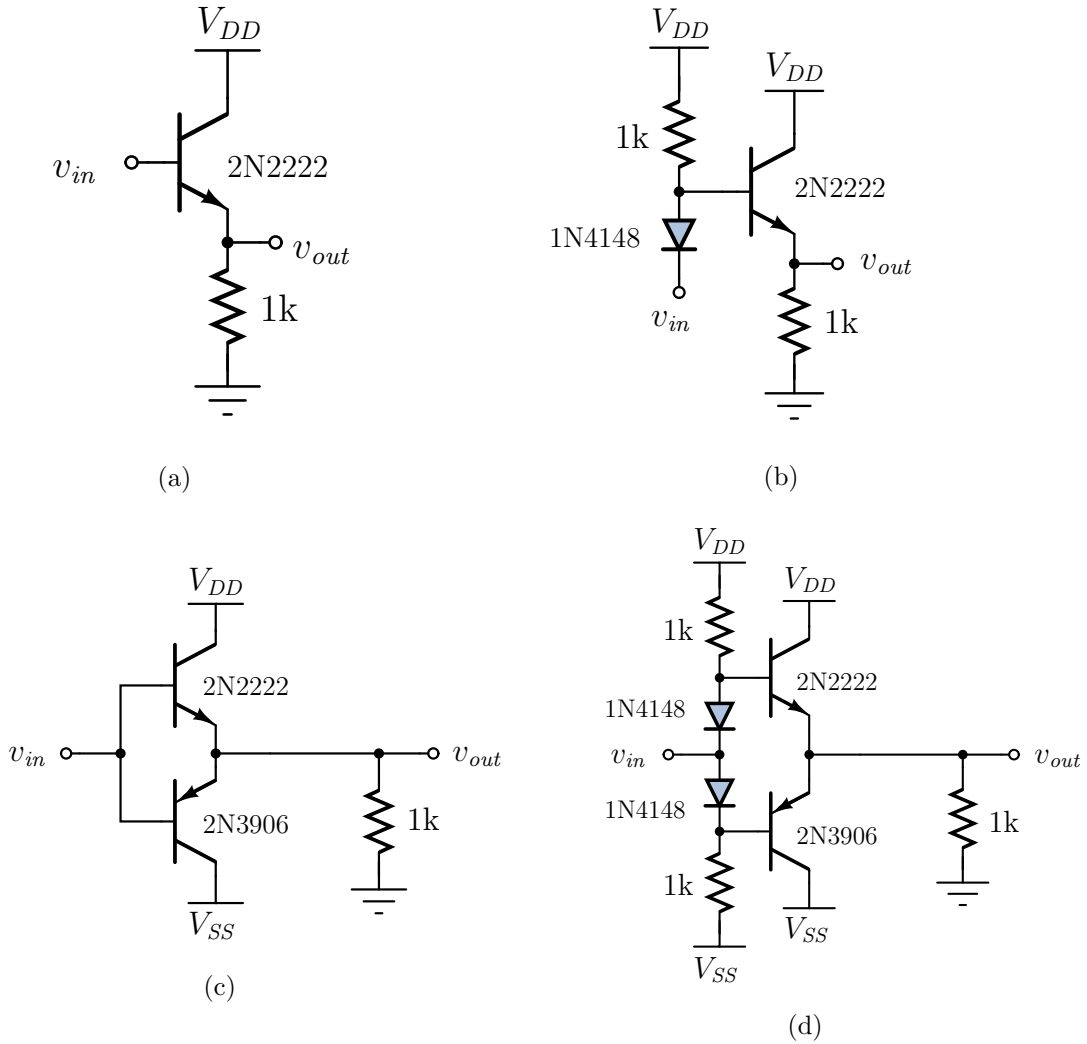


Figura 4: Distintos tipos de *buffers* de voltaje.

## 3.2. En el Laboratorio

### 3.2.1. Teclado

1. Para probar de manera aislada su *driver* PS/2, puede probar mapeando teclas independientes a los 8 LEDs de la *Basys*. Los LEDs deberían encenderse mientras se presiona la tecla, y apagarse cuando se deje de presionar. Este inciso es sólo una sugerencia, y no es necesario documentarlo en su informe.

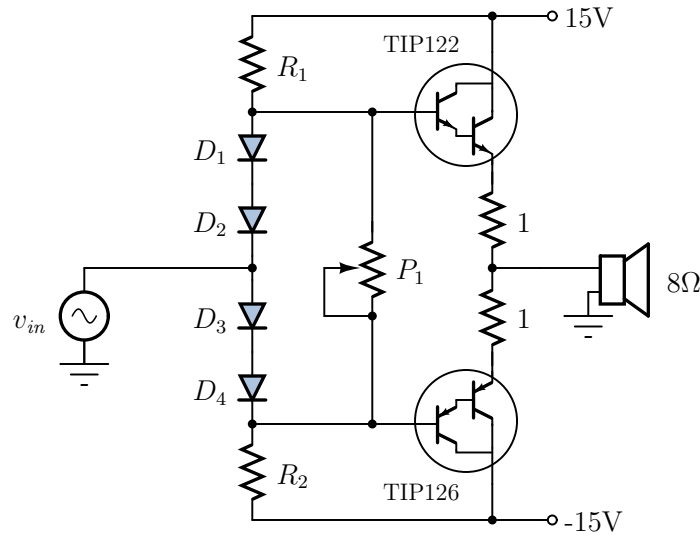


Figura 5: Amplificador clase AB.

2. En su informe, describa el funcionamiento de su *driver* PS/2. Si aplica, dibuje diagramas de bloques o diagramas de estado que sean representativos. Considere esta parte como una de las más importantes en el desarrollo de esta experiencia.

### 3.2.2. Oscilador de Frecuencias

1. En su informe, describa el funcionamiento de su oscilador. Dibuje un diagrama de bloques que represente los distintos módulos utilizados. Describa, de manera breve y concisa, la lógica utilizada para la indexación de la memoria y la generación del período completo de la señal. De la misma manera que el apartado anterior considere realizar esto de la forma más explicativa posible para que sea fácil y claro de entender, dado que es muy importante en el desarrollo de esta experiencia.

### 3.2.3. Conversor Digital-Análogo (DAC)

1. Arme en su *protoboard* el DAC y filtro diseñados en el trabajo previo. Demuestre con una foto del osciloscopio que puede obtener una señal sinusoidal a la salida del DAC cuantizada según los distintos niveles.
2. Conecte los 7 bits más significativos de su oscilador a los 7 bits menos significativos de su DAC.<sup>3</sup> Conecte el bit restante a tierra. Observe la señal de salida y documente la amplitud máxima.

<sup>3</sup>Si no tiene listo y funcionando el oscilador de la presente experiencia, puede utilizar el oscilador de la experiencia anterior para hacer esta sección. No utilice el modulador PWM, sino que configure directamente el bus de 8 bits a las salidas de la *Basys*.



3. Conecte ahora los 8 bits de su oscilador a los 8 bits correspondientes del DAC. Compare la amplitud con la señal observada en el inciso anterior.
4. Conecte el amplificador operacional y el filtro activo. Mueva el potenciómetro y mida la amplitud máxima a la salida del DAC. Documente la señal observada antes y después del filtro.

#### 3.2.4. Etapa de salida clase AB sin realimentación

1. Arme el circuito amplificador de la figura 5 y pruébelo con una señal sinusoidal de las mismas condiciones que el trabajo previo, utilizando el generador de señales y una carga resistiva.<sup>4</sup>
2. Mida el voltaje en la carga con el osciloscopio y observe la señal para los distintos valores de la resistencia no cortocircuitada del potenciómetro que consideró previamente. Configure el osciloscopio para ver la FFT de la señal y mida la potencia de la frecuencia fundamental y de las tres primeras armónicas para cada caso. Tabule estos valores junto con la distorsión armónica total. La distorsión armónica de la señal se define como:

$$\text{THD} = \frac{\sum \text{Potencia de los armónicos}}{\text{Potencia de la frecuencia fundamental}}$$

3. Compare las formas de onda observadas con las que obtuvo previamente en la simulación. Explique discrepancias.
4. Conecte la señal de su DAC y filtro a la etapa de salida y conecte un parlante. Mueva el potenciómetro  $P_f$  del DAC para ajustar el volumen de su sistema a un nivel apreciable. Compruebe el correcto funcionamiento de su sistema y anote sus observaciones.

### 3.3. Demostración del Sistema

Para finalizar la experiencia, debe realizar una demostración del sistema completo al profesor y los ayudantes.

---

<sup>4</sup>Tenga cuidado de que la potencia disipada por la resistencia no exceda su valor nominal, típicamente de 1/4 W o 1/2 W para los componentes del laboratorio. Puede usar resistores en paralelo que disipar más potencia.

## 4. Evaluación

Debe realizar un informe que documente toda la información que se pide explícitamente en la guía, que incluye las secciones “Trabajo previo” y “Trabajo en el laboratorio”. Apóyese con gráficos e imágenes que muestren su trabajo en el laboratorio. Su informe debe estar bien redactado, ordenado y sin faltas de ortografía. Incumplimiento de estos requerimientos básicos puede llevar a que su nota sea penalizada.