



Nombre Alumno:

Organización de Computadores

Primer Semestre 2018

PEP 2

Profesores: Néstor González – Leo Medina
Fecha: 10 de agosto de 2018
Duración: 90 minutos

Pregunta 1. Memoria RAM (1 pt.)

Una memoria DRAM tiene una matriz interna de 4096 x 2048 x 4 bits.

- A) (0,3 pts.) ¿Cuál es la capacidad de este chip de memoria DRAM?
- B) (0,2 pts.) ¿Cuántos bits deberá tener el bus de direcciones del procesador?
- C) (0,2 pts.) ¿Cuántos bits se usan para las filas y cuántos para las columnas?
- D) (0,3 pts.) ¿Cuántos chips de estas características se requieren para tener una memoria de 32MBytes?

A) Total $2^{12} \times 2^{11} \times 2^2$ bits

$$= 2^2 \times \underbrace{2^{20}}_{\text{Mega byte}} \times \underbrace{2^3}_{(0 \text{ Mibi})} = 4 \text{ MB} \quad (o \text{ 4 MiB})$$

B) o C) La matriz tiene $4096 = 2^{12}$ filas
 $2048 = 2^{11}$ columnas

→ Se requiere bus de 23 bits ($12+11$)

Alternativa: Si el chip de memoria se accede por fila
o columna de manera secuencial, se requieren $\max\{\text{bit filas}, \text{bit cols}\} = 12$ bits

D) $\frac{32 \text{ MB}}{4 \text{ MB}} = 8 \text{ chips}$

**Pregunta 2. Caché (1,5 pts.)**

Para una caché con direcciones de 32 bits, los siguientes bits son usados para “tag” y “offset” (asuma que cada palabra es de 4 bytes):

Tag	Offset
31-10	9-0

- A) (0,2 pts.) De la información entregada, ¿es posible deducir el tipo de mapeo de esta caché? De ser así, indique el tipo de mapeo.
- B) (0,3 pts.) ¿Cuál es el tamaño del bloque en palabras?
- C) (0,2 pts.) De la información entregada, ¿es posible obtener el número de bloques de la caché? Justifique.
- D) (0,4 pts.) ¿Cuál es la razón entre el total de bits requeridos para esta implementación de caché y los bits usados para almacenar datos?
- E) (0,4 pts.) Suponga que inicialmente la caché está vacía. Calcule la tasa de desaciertos (“miss rate”) de la caché para la siguiente secuencia de accesos a memoria principal expresadas en **byte**, donde N es el número de bloques de la caché:

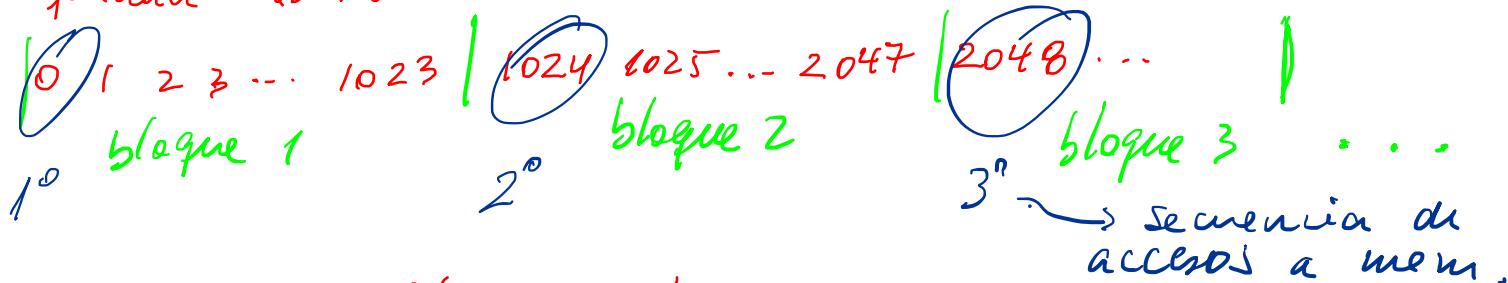
$0 \cdot 2^{10}$	$1 \cdot 2^{10}$	$2 \cdot 2^{10}$...	$(N - 1) \cdot 2^{10}$	$0 \cdot 2^{10} + 1$	$1 \cdot 2^{10} + 1$	$2 \cdot 2^{10} + 1$...	$(N - 1) \cdot 2^{10} + 1$
------------------	------------------	------------------	-----	------------------------	----------------------	----------------------	----------------------	-----	----------------------------

NOTA: “tag” = etiqueta; “offset” se refiere al offset de palabra y byte dentro del bloque.

- A) Sí, pues al no haber bits para “index” necesariamente el mapeo es de tipo full asociativo
- B) Hay 10 bits de offsets, o sea, 2^{10} bytes por bloque
Hay 4 bytes por palabra $\rightarrow \frac{2^{10}}{2^2} = 256$ palabras/bloque
- C) No es posible, necesitamos el tamaño de la caché.
- D) Por cada bloque hay 256 palabras $= 256 \times 32$ bits
O sea, 2^{13} bits de datos por bloque
además, por cada bloque se requieren 22 bits de “tag”
Razón = $\frac{\text{dato} + \text{tag} + \text{valid bit}}{2^{13}} = \frac{2^{13} + 22 + 1}{2^{13}}$
- E) Notar que cada bloque tiene 1024 bytes



Es decir, las direcciones en byte de la memoria ppn quedan estructuradas así:



La primera mitad de la secuencia toma el primer byte de cada bloque partiendo del bloque "0" hasta el bloque " $N-1$ " llenando la caché. Estos N accesos son "miss" de caché.

La segunda mitad de la secuencia toma el segundo byte de cada bloque partiendo del bloque "0" hasta el " $N-1$ ". Todos estos bloques ya están en caché, por tanto estos N accesos son "hit".

Se concluye que el miss rate es $\frac{1}{2}$.

**Pregunta 3. Caché Multinivel y Rendimiento de Caché (2 pts.)**

Se tiene un procesador con una memoria caché en el primer nivel (L1) de 32KB, un segundo nivel (L2) de 256KB y un tercer nivel (L3) de 2MB. El procesador está en una placa que soporta 2GB de Memoria RAM. Cada Bloque almacena 4 Palabras de 4 Bytes cada una.

- A) (0,6 pts.) Considere solo el nivel L2. Determine la estructura de la dirección para una caché de correspondencia asociativa por conjuntos de 4 vías.
- B) (1,4 pts.) Considere que el procesador tiene CPIexe = 1,5 (CPI base sin considerar accesos a memoria). Considere además lo siguiente: La tasa de aciertos ("hit rate") es de 90%, 60% y 40% para L1, L2 y L3 respectivamente. La espera es de 0, 2 y 4 ciclos para un acierto ("hit") en L1, L2 y L3, respectivamente. La espera es de 100 ciclos para la RAM.
- Calcule la aceleración que se logra al usar los tres niveles de Caché, respecto de no usar Caché.
 - Se desea mejorar la aceleración lograda en el punto anterior. Determine cuál de las siguientes propuestas produce el mejor resultado:
 - Mejorar la tasa de hit en L3 de un 40 a un 50%.
 - Disminuir los ciclos de espera en L3 de 4 a 3.

A) Notar que $16 = 2^4$ bytes por bloque.

$$\text{Para L2 : } 256 \text{ KB} = 2^8 \times 2^{10} \text{ bytes}$$

$$\Rightarrow \text{L2 tiene } \frac{2^8 \times 2^{10}}{2^4} = 16 \text{ K bloques}$$

$$4 \text{ vías} \Rightarrow \frac{16 \text{ K}}{4} = 4 \text{ K} = 2^{12} \text{ conjuntos o líneas de caché}$$

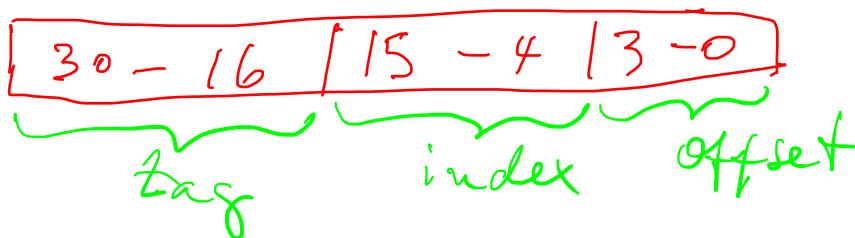
index

Finalmente, el largo de la dirección está determinado por el tamaño máximo de la RAM (2 GB)

$$2 \text{ GB} = 2^1 \times 2^{30} \text{ B} = 2^{31} \text{ bytes}$$

largo dirección

Entonces, la estructura de la dirección es:





B) i) Sin cache' se tiene

$$CPI = CPI_{exe} + \underbrace{\frac{\text{accesos mem}}{\text{instruc.}}}_M \times \underbrace{100}_{\text{penalización} = P} = 41,5$$

Con cache' L1, L2 y L3

$$CPI = CPI_{exe} + M \cdot \left\{ H_1 \cdot C_1 + M_1 \cdot [H_2 \cdot C_2 + M_2 \cdot (H_3 \cdot C_3 + M_3 \cdot P)] \right\}$$

Con H_i : hit cache i

C_i : ciclos hit cache i

2,5%

M_i : miss cache i

P: penalización RAM

$$CPI = 1,5 + 0,4 \cdot 2,5\% = 2,53$$

→ Aceleración : $\frac{41,5}{2,53} = 16,4$ veces mas rápido
con cache'

ii) Si $H_3 = 0,5 \Rightarrow CPI = 2,38$

Si $C_3 = 3 \Rightarrow CPI = 2,52$

Es decir, se logra mayor aceleración (menor CPI)

con la estrategia de aumentar tasa de aciertos de L3.

Nombre Alumno:

Pregunta 4. Memoria Virtual (1,5 pts.)

Un programa que se ejecuta en un computador con memoria virtual tiene 10 páginas virtuales enumeradas desde 0 hasta 9. Asuma que la memoria física dispone 5 marcos de página. Durante la ejecución del programa, las páginas virtuales se usan en la siguiente secuencia:

✓	✓	✓	✓	X	✓	X	X	X	X	X	X	X	X	✓	X	X	✓	✓	✓	X	
0	1	2	3	4	2	6	4	7	1	8	9	3	2	6	3	5	1	2	3	6	9

Cuando se necesita sacar una página de la memoria (liberar un marco de página) se saca la más antigua, es decir, aquella que primero entró (FIFO). Asuma que el "Working Set" inicial está compuesto por las páginas 0, 1, 2 y 3.

- A) (0,3 pts.) Determine la cantidad de fallos de página que ocurren en este programa, asumiendo que la memoria es cargada al principio con el "Working Set" inicial.
- B) (0,3 pts.) Indique la secuencia de números de página en las que se produce fallo de página.
- C) (0,3 pts.) Indique la secuencia de páginas que son sacadas de la memoria durante la ejecución del programa.
- D) (0,3 pts.) ¿Habrá menos fallos de página si la memoria dispone de 8 marcos de página en lugar de 5?
- E) (0,3 pts.) Se propone cambiar la política de reemplazo por LRU. ¿Se mejora la tasa de aciertos?

Mem Física:

FIFO	0	0	0	0	0	0	6	6	6	6	6	6	3	3	3	3	3	3	3	3	9
	1	1	1	1	1	1	1	7	7	7	7	7	2	2	2	2	2	2	2	2	2
	2	2	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	6
	3	3	3	3	3	3	3	3	3	3	3	3	8	8	8	8	8	8	5	5	5
								4	4	4	4	4	4	9	9	9	9	9	1	1	1
LRU	✓	✓	✓	✓	✓	X	✓	X	X	X	X	X	X	X	X	X	X	✓	✓	✓	X
LRU	0	0	0	0	0	0	6	6	6	6	6	6	9	9	9	9	9	9	1	1	1
	1	1	1	1	1	1	1	7	7	7	7	7	7	2	2	2	2	2	2	2	2
	2	2	2	2	2	2	2	2	2	2	2	2	2	8	8	8	8	8	5	5	5
	3	3	3	3	3	3	3	3	3	3	3	3	1	1	1	1	1	6	6	6	6
								4	4	4	4	4	4	4	4	4	3	3	3	3	3

- A) 12 fallos de págs.
- B) marcados en azul
- C) pintados amarillo
- D) Sí, por ejemplo no habrá fallo al usar pag. 1 por 2a vez
- E) No, siguen habiendo 12 fallos