

Hafta- 6

191180039
Elif ERDEN
ŞUBE - 3

1- SADELEŞTİRME ADIMLARI

$$X = (A+B)(B'+C+D)(A'+D)$$

$$(A+B) = (A+B+CC') = (A+B+C)(A+B+C') = (A+B+C+DD')(A+B+C'+DD')$$

$$=(A+B+C+D)(A+B+C+D')(A+B+C'+D)(A+B+C'+D')$$

$$(B'+C+D) = (B'+C+D+AA') = (A+B'+C+D)(A'+B'+C+D)$$

$$(A'+D) = (A'+D+BB') = (A'+B+D)(A'+B'+D) = (A'+B+D+CC')(A'+B'+D+CC')$$

$$=(A'+B+C+D)(A'+B+C'+D)(A'+B'+C+D)(A'+B'+C'+D)$$

$$X=(A+B+C+D)(A+B+C+D')(A+B+C'+D)(A+B+C'+D')$$

$$(A+B'+C+D)(A'+B'+C+D)(A'+B+C+D)(A'+B+C'+D)(A'+B'+C'+D)$$

2- GENİŞLETİLMEMİŞ İFADE MODÜLÜNÜN KODLARI

```
module hafta6(x_exp1,a,b,c,d);  
input a,b,c,d;  
output x_exp1;  
wire w_1, w_2, w_3;  
wire not_a, not_b;  
not (not_a, a);  
not (not_b, b);  
or (w_1, a, b);  
or (w_2, not_b, c, d);  
or (w_3, not_a, d);  
and (x_exp1, w_1, w_2, w_3);  
endmodule
```

3- GENİŞLETİLMİŞ İFADE MODÜLÜNÜN KODLARI

```
module hafta6pos(x_pos,a,b,c,d);
input a,b,c,d;
output x_pos;
wire w_1, w_2, w_3, w_4, w_5, w_6, w_7, w_8, w_9;
wire not_a, not_b, not_c, not_d;
not (not_a, a);
not (not_b, b);
not (not_c, c);
not (not_d, d);
or (w_9, a, b, c, d);
or (w_8, a, b, c, not_d);
or (w_7, a, b, not_c, d);
or (w_6, a, not_b, c, d);
or (w_5, not_a, b, c, d);
or (w_4, a, b, not_c, not_d);
or (w_3, not_a, not_b, c, d);
or (w_2, not_a, b, not_c, d);
or (w_1, not_a, not_b, not_c, d);
and (x_pos, w_1, w_2, w_3, w_4, w_5, w_6, w_7, w_8, w_9);
endmodule
```

Hafta- 6

191180039
Elif ERDEN
ŞUBE - 3

4- TEST BENCH KODLARI

module tb1();	c=1'b0;	c=1'b1;
reg a,b,c,d;	d=1'b0;	d=1'b0;
wire x_e, x_s;		
hafta6 exp_0(x_e,	#100	#100
a, b, c, d);	a=1'b0;	a=1'b1;
hafta6pos	b=1'b1;	b=1'b0;
pos_0(x_s, a, b, c,	c=1'b0;	c=1'b1;
d);	d=1'b1;	d=1'b1;
initial begin		
#100	#100	#100
a=1'b0;	a=1'b0;	a=1'b1;
b=1'b0;	b=1'b1;	b=1'b1;
c=1'b0;	c=1'b1;	c=1'b0;
d=1'b0;	d=1'b0;	d=1'b0;
#100	#100	#100
a=1'b0;	a=1'b0;	a=1'b1;
b=1'b0;	b=1'b1;	b=1'b1;
c=1'b0;	c=1'b1;	c=1'b0;
d=1'b1;	d=1'b1;	d=1'b1;
#100	#100	#100
a=1'b0;	a=1'b1;	a=1'b1;
b=1'b0;	b=1'b0;	b=1'b1;
c=1'b1;	c=1'b0;	c=1'b1;
d=1'b0;	d=1'b0;	d=1'b0;
#100	#100	#100
a=1'b0;	a=1'b1;	a=1'b1;
b=1'b0;	b=1'b0;	b=1'b1;
c=1'b1;	c=1'b0;	c=1'b1;
d=1'b1;	d=1'b1;	d=1'b1;
		end
#100	#100	endmodule
a=1'b0;	a=1'b1;	
b=1'b1;	b=1'b0;	

Hafta- 6

191180039
Elif ERDEN
ŞUBE - 3

5- SİMÜLASYON GÖRÜNTÜSÜ

x_e ve x_s wire'larının çıktısına göre farklı giriş kombinasyonları için modüllerin aynı sonucu verdiği görülmektedir.

