

# Sayısal Sistemler-H9CD2

## Flip-Flop Türleri

Dr. Meriç Çetin  
versiyon131120

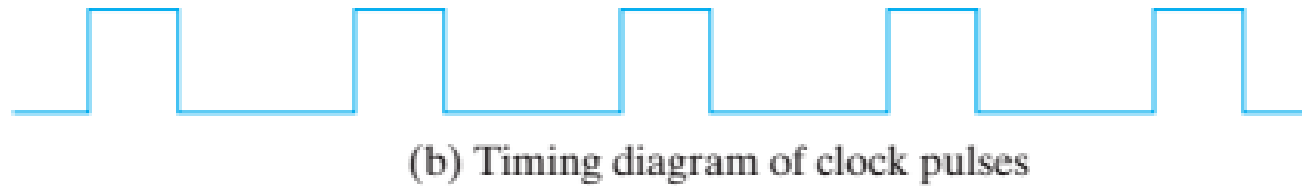
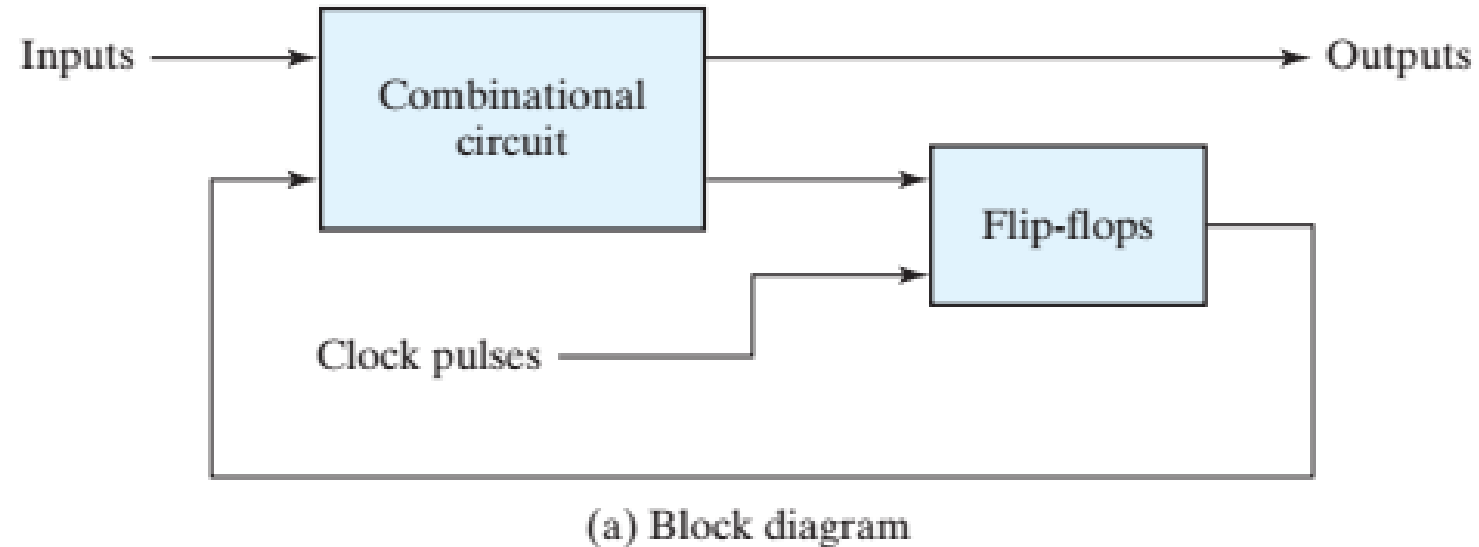
# Bu derste öğreneceklerimiz

## 5 Synchronous Sequential Logic

---

}	5.1	Introduction	190
	5.2	Sequential Circuits	190
	5.3	Storage Elements: Latches	193
	5.4	Storage Elements: Flip-Flops	196
	5.5	Analysis of Clocked Sequential Circuits	204
	5.6	Synthesizable HDL Models of Sequential Circuits	217
	5.7	State Reduction and Assignment	231
	5.8	Design Procedure	236

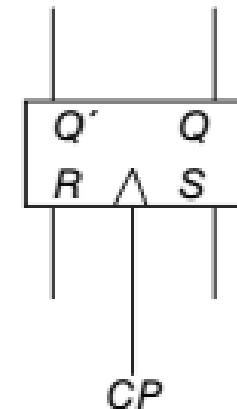
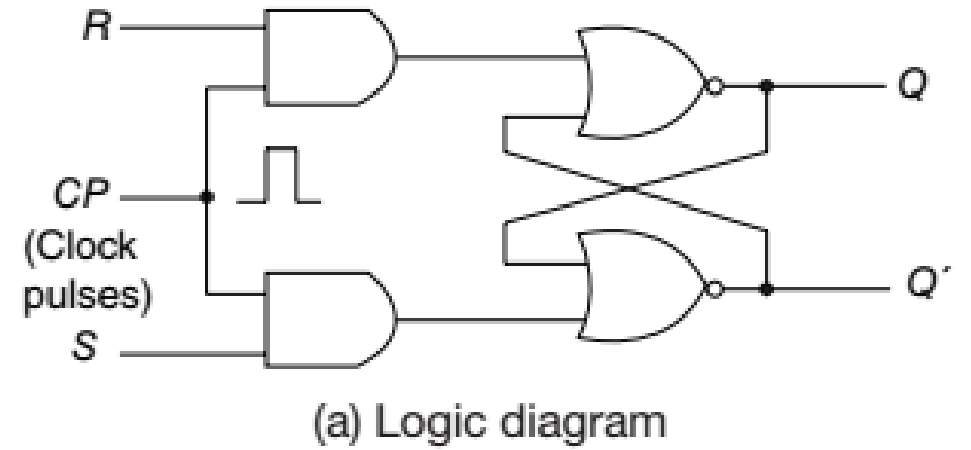
# Eş-zamanlamalı Saat Darbeli Ardışık Devreler



**FIGURE 5.2**  
Synchronous clocked sequential circuit

# RS Tipi Flip-Flop

- Flip-flopun hem S hem de R girişlerine 1 uygulanırsa, her iki çıkış da 0'a gider.
- Bu eylem, tanımlanmamış bir sonraki durum oluşturur, çünkü giriş geçişlerinden kaynaklanan durum, bunların 0'a dönme sırasına bağlıdır.
- Ayrıca çıktıların birbirinin tümleyeni olması şartını da ihlal eder.
- Normal çalışmada, bu durum, 1'lerin her iki girişe aynı anda uygulanmadığından önlenir.



# RS Flip-Flop Doğruluk Tablosu

Önceki Durum				Sonraki Durum
CP	Q(t)	S	R	Q(t+1)
1	0	0	0	0 (Durum Değiştirmez)
1	0	0	1	0
1	0	1	0	1
1	0	1	1	Tanımsız
1	1	0	0	1 (Durum Değiştirmez)
1	1	0	1	0
1	1	1	0	1
1	1	1	1	Tanımsız

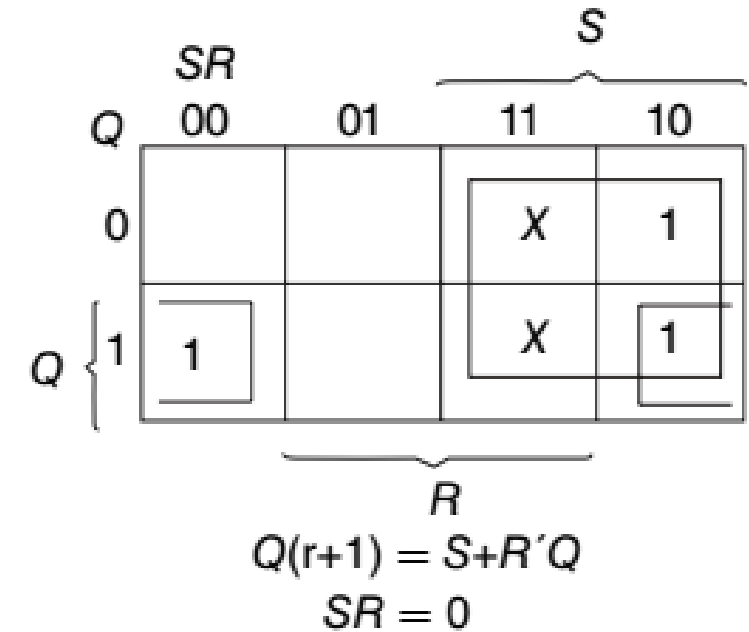
Genel Tablo

Q(t): Önceki Durum, Q(t+1): Sonraki Durum

Q(t)	Q(t+1)	R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X

# RS Flip-Flop Doğruluk Tablosu

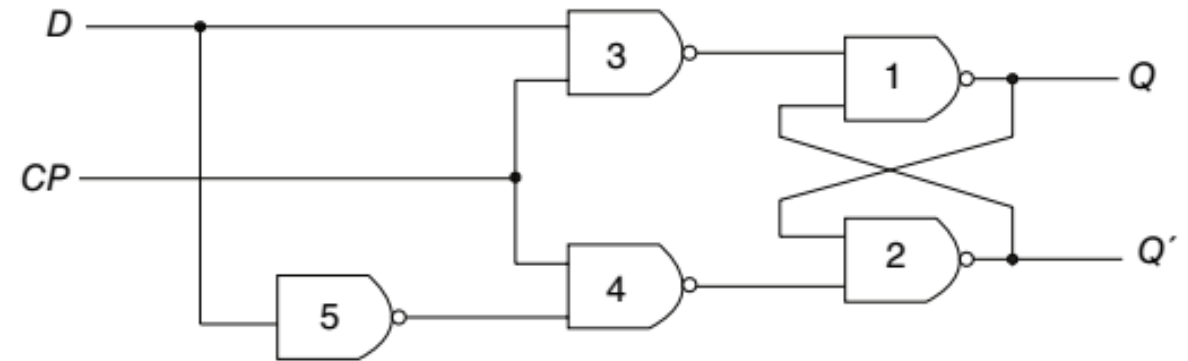
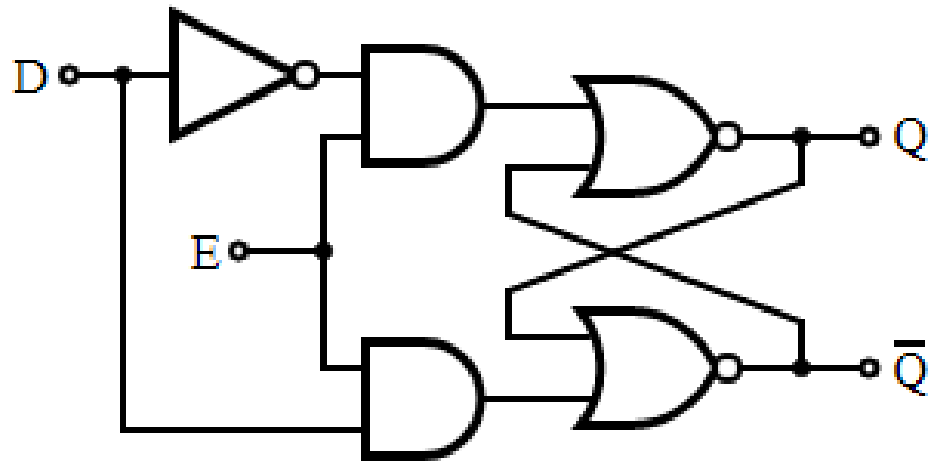
Önceki Durum				Sonraki Durum
CP	Q(t)	S	R	Q(t+1)
1	0	0	0	0 (Durum Değiştirmez)
1	0	0	1	0
1	0	1	0	1
1	0	1	1	Tanımsız
1	1	0	0	1 (Durum Değiştirmez)
1	1	0	1	0
1	1	1	0	1
1	1	1	1	Tanımsız



(d) Characteristic equation

# D Tipi Flip-Flop

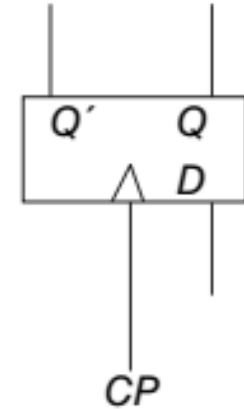
- D tipi flip-flop, RS tipi flip-flop'un girişlerinin değiştirilmesiyle elde edilir. D girişi doğrudan S girişine, R girişi ise S girişine bir invertor (tersleyici) ile bağlanarak D tipi flip-flop elde edilir.



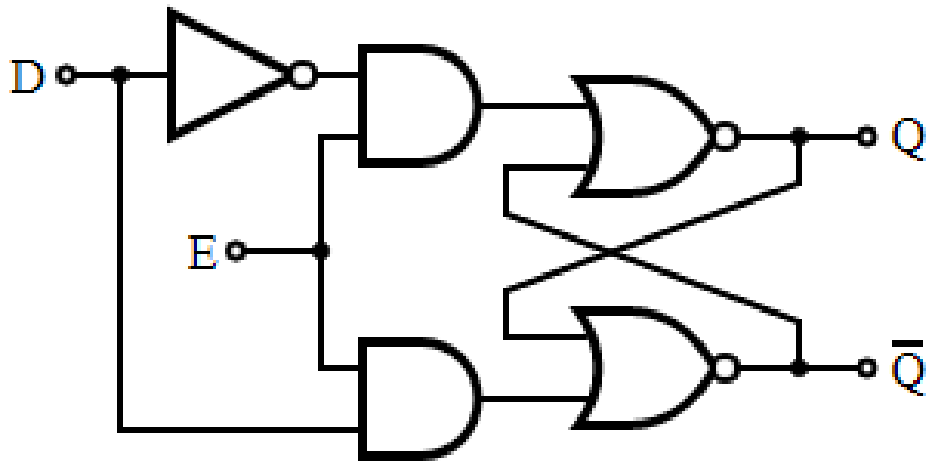
(a) Logic diagram with NAND gates

# D Tipi Flip-Flop

- D tipi flip-flop, RS tipi flip-flop'un girişlerinin değiştirilmesiyle elde edilir. D girişi doğrudan S girişine, R girişi ise S girişine bir invertor (tersleyici) ile bağlanarak D tipi flip-flop elde edilir.

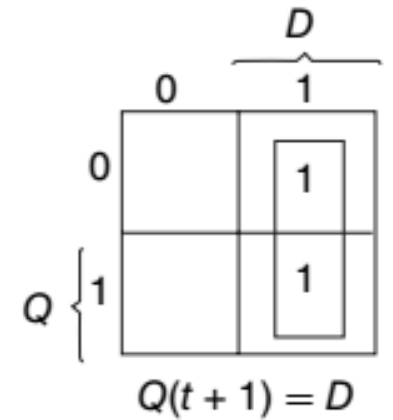


(b) Graphic symbol



$Q$	$D$	$Q(t+1)$
0	0	0
0	1	1
1	0	0
1	1	1

(c) Characteristic table



(d) Characteristic equation



# D Tipi Flip-Flop Doğruluk Tablosu

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

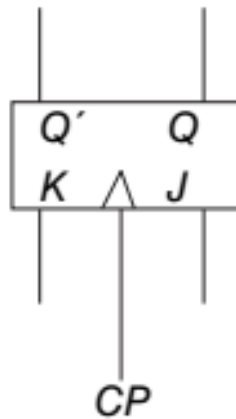
Q(t)	D	Q(t+1)
0	0	0
0	1	1
1	0	0
1	1	1

## Genel Tablo

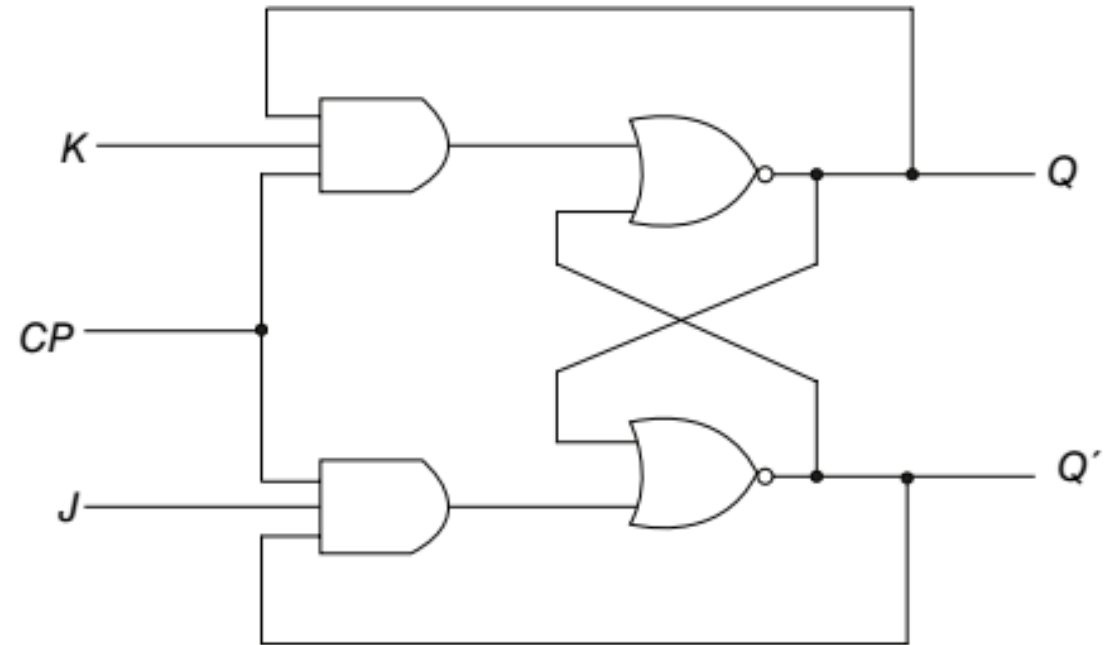
Q(t): Önceki Durum,  
 Q(t+1): Sonraki Durum ise  
 $Q(t+1) = D$

# JK Tipi Flip-Flop

- JK tipi flip-flop'lar, RS tipi flip-flop'lardaki belirsizlik durumunu ortadan kaldırmak için tasarlanmıştır.



(b) Graphic symbol

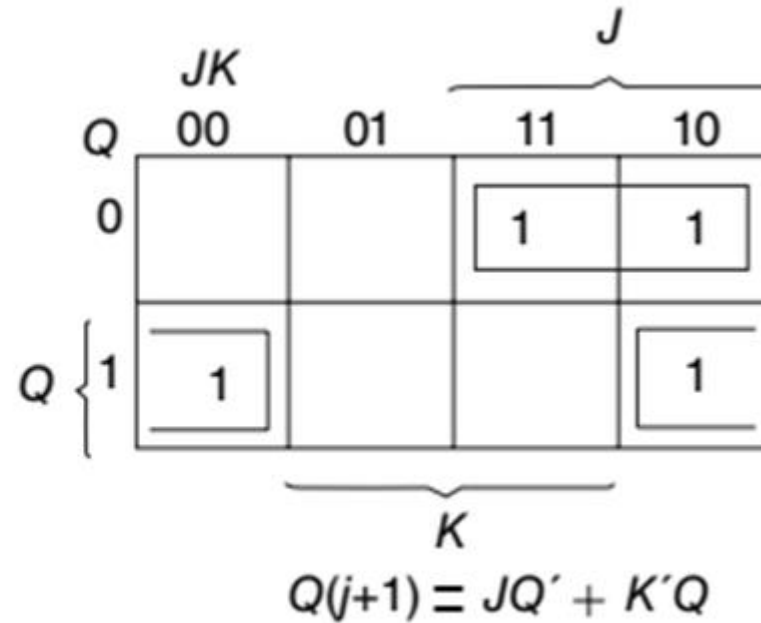


(a) Logic diagram

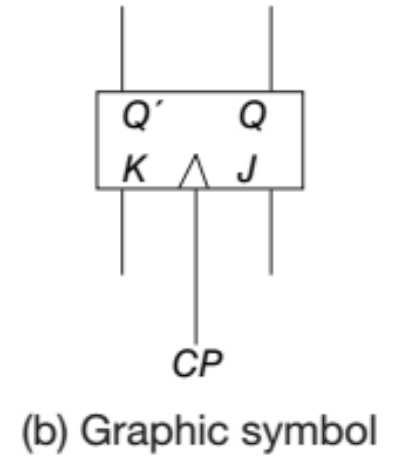
# JK Tipi Flip-Flop

$Q$	$J$	$K$	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

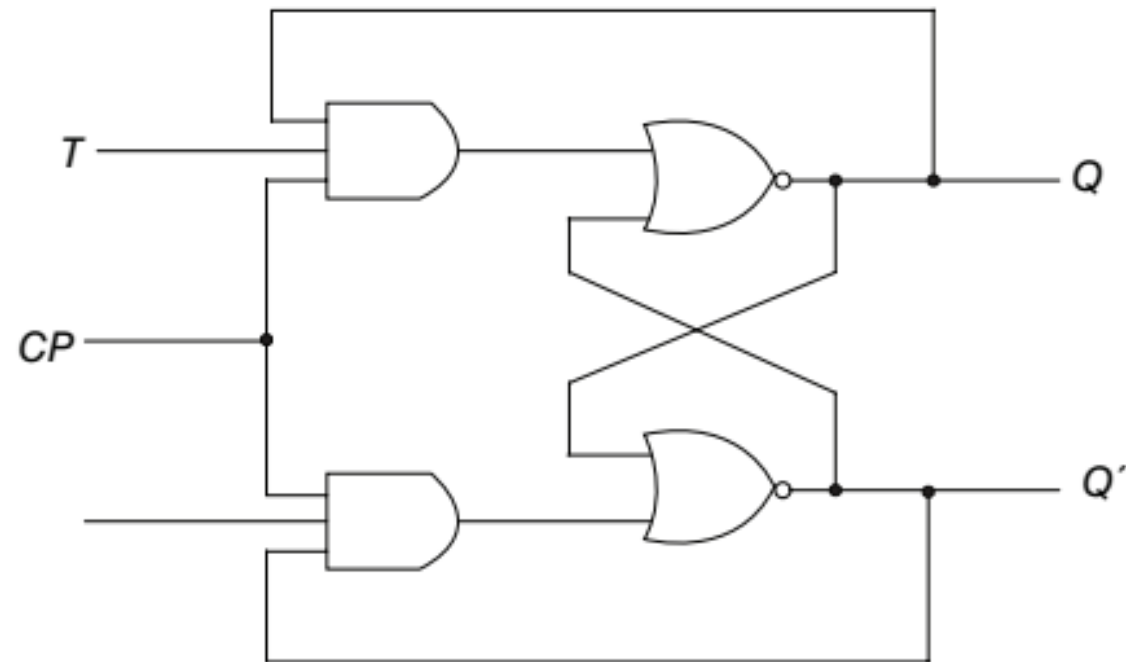
(c) Characteristic table



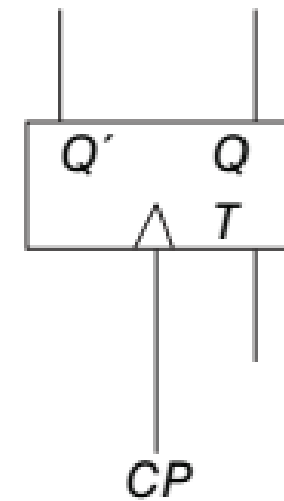
(d) Characteristic equation



# T (Trigger) Tipi Flip-Flop



(a) Logic diagram



(b) Graphic symbol

# T (Trigger) Tipi Flip-Flop

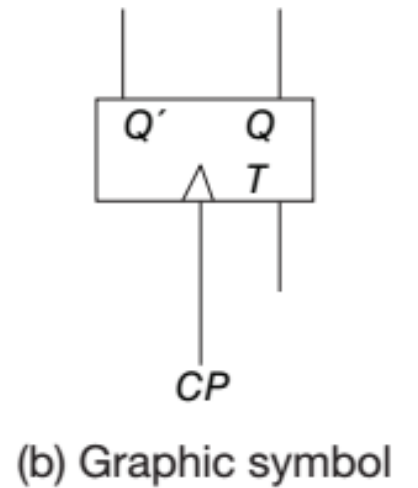
$Q$	$T$	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

(c) Characteristic table

		$T$	
		0	1
$Q$	0		1
	1	1	

$$Q(t+1) = TQ' + T'Q$$

(d) Characteristic equation



# Özetle;

## RS Flip-Flop

$Q$	$S$	$R$	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	indeterminate
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	indeterminate

## JK Flip-Flop

$Q$	$J$	$K$	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

## D Flip-Flop

$Q$	$D$	$Q(t + 1)$
0	0	0
0	1	1
1	0	0
1	1	1

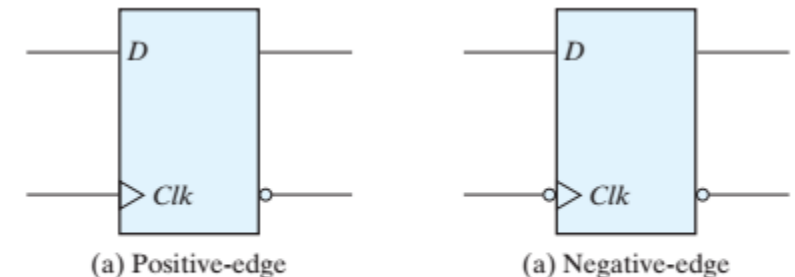
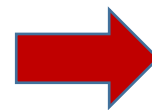
## T Flip-Flop

$Q$	$T$	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

# Kenar Tetiklemeli Flip-Flop’lar

- Flip-flop çıkışlarında herhangi bir hataya sebep vermemek için flip-flop’ların durum değiştirmeleri saat darbelerinin (clock pulse) uygulama zaman aralığı yerine saat darbelerinin
  - lojik «0» dan lojik «1» durumuna yükselme zamanlarında veya
  - lojik «1» den lojik «0» durumuna düşmeleri esnasında
- durum değiştirmelerini sağlamak amacıyla kenar tetiklemeli flip-flop’lar kullanılır.
- Bu sayede çıkış ile giriş arasındaki geri beslemeden dolayı meydana gelebilecek hatalı durum değiştirmeler ortadan kaldırılır.

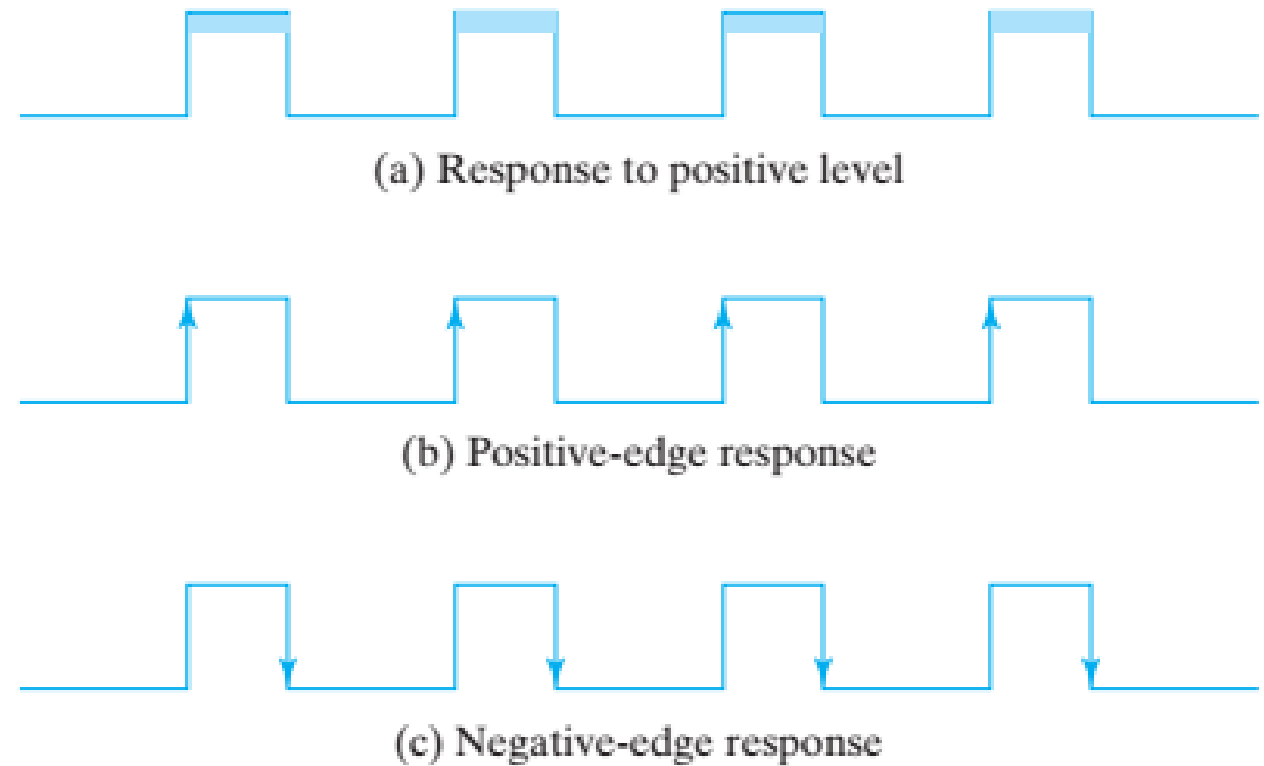
Bir örnek



**FIGURE 5.11**

Graphic symbol for edge-triggered *D* flip-flop

# Kenar Tetiklemeli Flip-Flop'lar



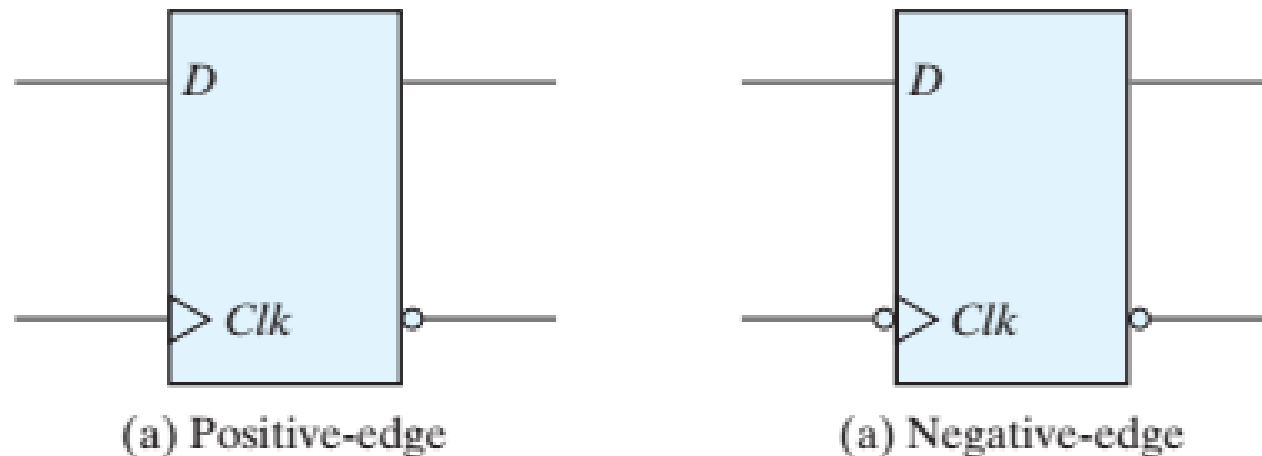
**FIGURE 5.8**

Clock response in latch and flip-flop



# Kenar Tetiklemeli Flip-Flop'lar

- Blok diyagram gösterimi için bir örnek:

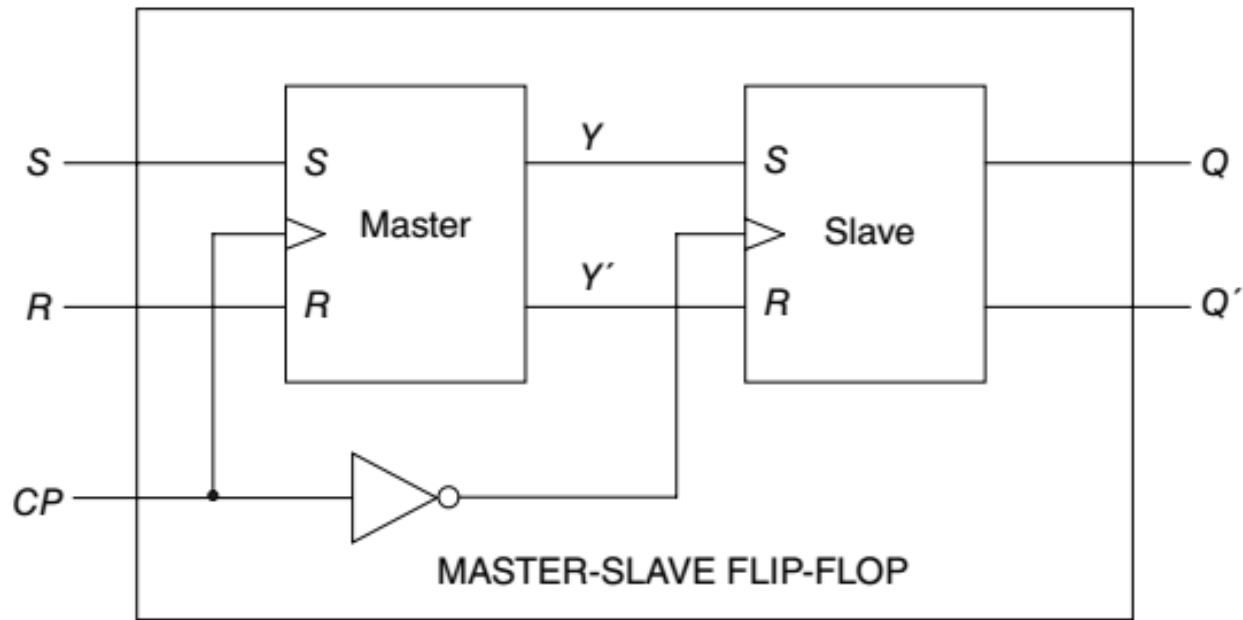


**FIGURE 5.11**

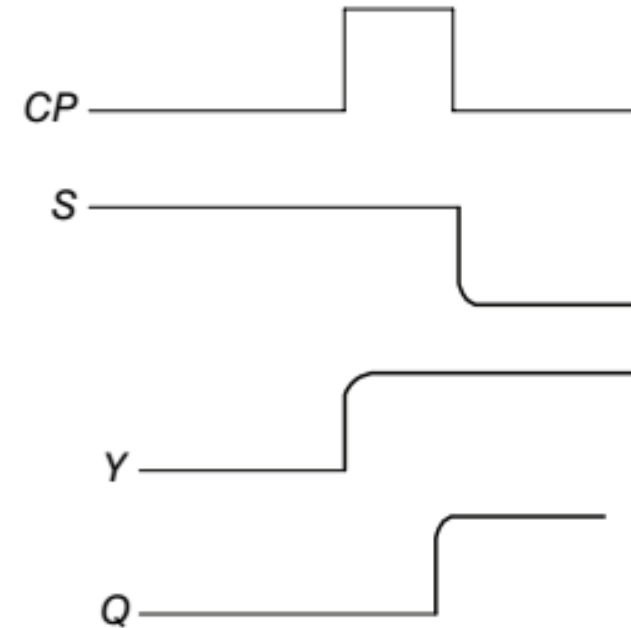
Graphic symbol for edge-triggered *D* flip-flop

# Kenar Tetiklemeli Flip-Flop'larda Sinyal Seviyeleri

- Bir örnek;



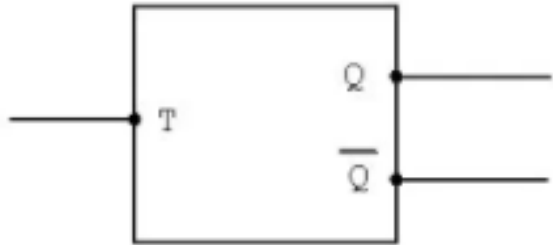
Logic diagram of master-slave flip-flop



Timing relationships in a master-slave flip-flop

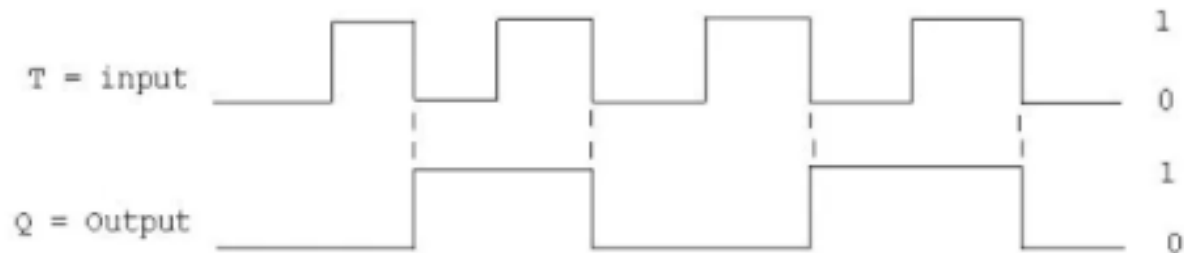
# Kenar Tetiklemeli Flip-Flop'lar için bir örnek

## T Flip - Flop

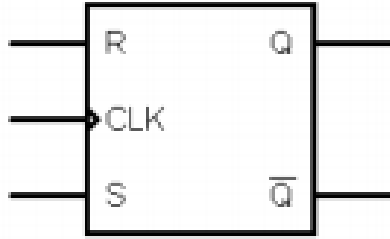


CLOCK	T	Q	Q'
↓	0	1	0
↓	1	0	0
↓	0	1	0
↓	1	0	1

Timing Diagram

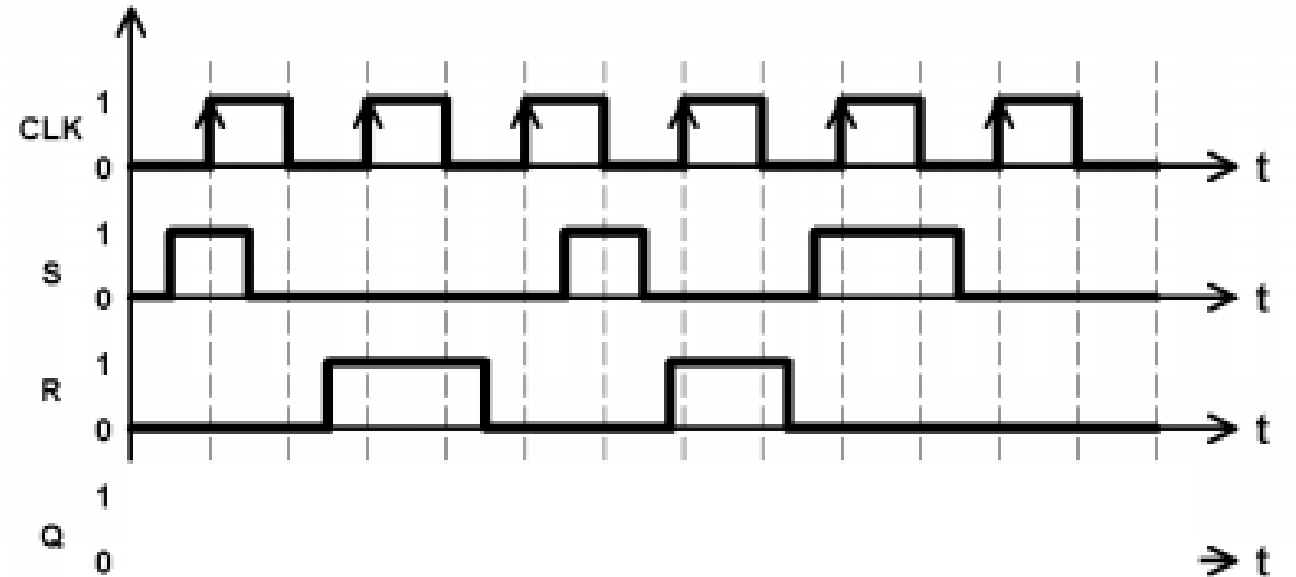


# Kenar Tetiklemeli Flip-Flop'lar için başka bir örnek

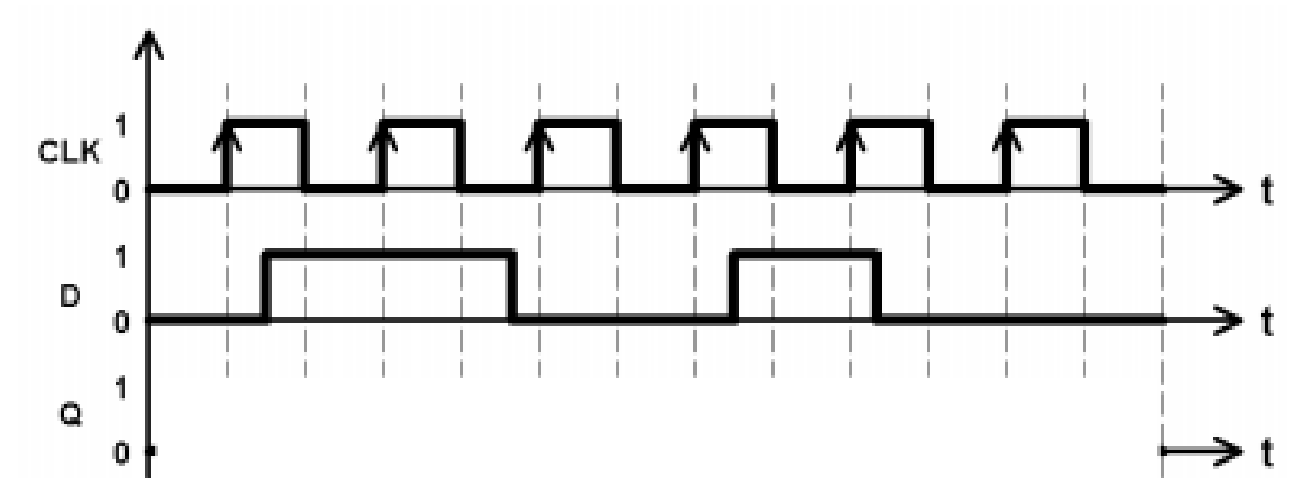
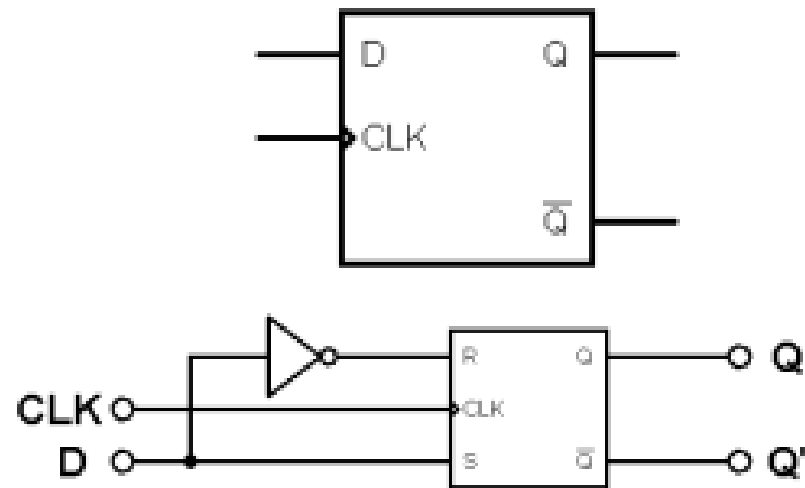


GİRİŞLER			ÇIKIŞ
S	R	CLK	Q
0	0	↑	$Q_0$
0	1	↑	0
1	0	↑	1
1	1	↑	Belirsiz

→ Değişiklik yok.



# Kenar Tetiklemeli Flip-Flop'lar için başka bir örnek



# Kenar Tetiklemeli Flip-Flop'lar için başka bir örnek

