D-FF

A screenshot of a computer

Description automatically generated

**TCL-Console:**

D: 1

RST: 0

Q: x

Q\_NOT: x

--------------------

D: 1

RST: 0

Q: 1

Q\_NOT: x

--------------------

D: 1

RST: 0

Q: 1

Q\_NOT: 0

--------------------

D: 0

RST: 0

Q: 1

Q\_NOT: 0

--------------------

D: 0

RST: 0

Q: 1

Q\_NOT: 0

--------------------

D: 0

RST: 1

Q: 1

Q\_NOT: 0

--------------------

D: 0

RST: 1

Q: 1

Q\_NOT: 0

--------------------

D: 0

RST: 1

Q: 1

Q\_NOT: 0

--------------------

D: 0

RST: 1

Q: 0

Q\_NOT: 0

--------------------

D: 0

RST: 1

Q: 0

Q\_NOT: 0

--------------------

D: 0

RST: 1

Q: 0

Q\_NOT: 0

--------------------

D: 0

RST: 1

Q: 0

Q\_NOT: 1

--------------------

D: 0

RST: 1

Q: 0

Q\_NOT: 1

--------------------

D: 0

RST: 1

Q: 0

Q\_NOT: 1

--------------------

D: 0

RST: 0

Q: 0

Q\_NOT: 1

--------------------

D: 0

RST: 0

Q: 0

Q\_NOT: 1

--------------------

D: 0

RST: 0

Q: 0

Q\_NOT: 1

--------------------

D: 0

RST: 0

Q: 0

Q\_NOT: 1

--------------------

D: 1

RST: 1

Q: 0

Q\_NOT: 1

--------------------

D: 1

RST: 1

Q: 0

Q\_NOT: 1

--------------------

D: 1

RST: 1

Q: 0

Q\_NOT: 1

--------------------

D: 1

RST: 1

Q: 0

Q\_NOT: 1

--------------------

D: 1

RST: 1

Q: 0

Q\_NOT: 1

**Lab-3.v**

`timescale 1ns */* 1ps

*module* D\_FF( CLK, D, RST, Q, Q\_NOT );

    input CLK, D, RST;

    output *reg* Q, Q\_NOT;

*always* *@* ( *posedge* CLK ) *begin*

*if* ( RST ) *begin*

            Q *<=* 1'b0;

*end*

*else* *if* ( D ) *begin*

            Q *<=* 1'b1;

*end*

        Q\_NOT *=* *!*Q;

*end*

*endmodule*

**Lab-3\_tb.v**

`timescale 1ns */* 1ps

*module* D\_FF\_tb();

*reg* CLK, D, RST;

*wire* Q, Q\_NOT;

*D\_FF* ff( CLK, D, RST, Q, Q\_NOT );

*initial* *begin*

        CLK *=* 1'b0;

*forever* *begin*

*#*10;

            CLK *=* *!*CLK; *//This will generate a positive edge every 10ns*

*end*

*end*

*initial* *begin*

*// Test 1*

        D *=* 1'b1;

        RST *=* 1'b0;

        $monitor( "D: %b\nRST: %b\n\nQ: %b\nQ\_NOT: %b\n--------------------\n", D, RST, Q, Q\_NOT );

*#*100;

*// Test 2*

        D *=* 1'b0;

        RST *=* 1'b0;

        $monitor( "D: %b\nRST: %b\n\nQ: %b\nQ\_NOT: %b\n--------------------\n", D, RST, Q, Q\_NOT );

*#*100;

*// Test 3*

        D *=* 1'b0;

        RST *=* 1'b1;

        $monitor( "D: %b\nRST: %b\n\nQ: %b\nQ\_NOT: %b\n--------------------\n", D, RST, Q, Q\_NOT );

*#*100;

*// Test 4*

        D *=* 1'b0;

        RST *=* 1'b0;

        $monitor( "D: %b\nRST: %b\n\nQ: %b\nQ\_NOT: %b\n--------------------\n", D, RST, Q, Q\_NOT );

*#*100;

*// Test 5*

        D *=* 1'b1;

        RST *=* 1'b1;

        $monitor( "D: %b\nRST: %b\n\nQ: %b\nQ\_NOT: %b\n--------------------\n", D, RST, Q, Q\_NOT );

*#*100;

*end*

*endmodule*