

# EFM8 Universal Bee 产品系列

## EFM8UB2 数据表



EFM8UB2 是 Universal Bee 系列的 MCU，是一款带有 USB 功能集的多用途 8 位微控制器。

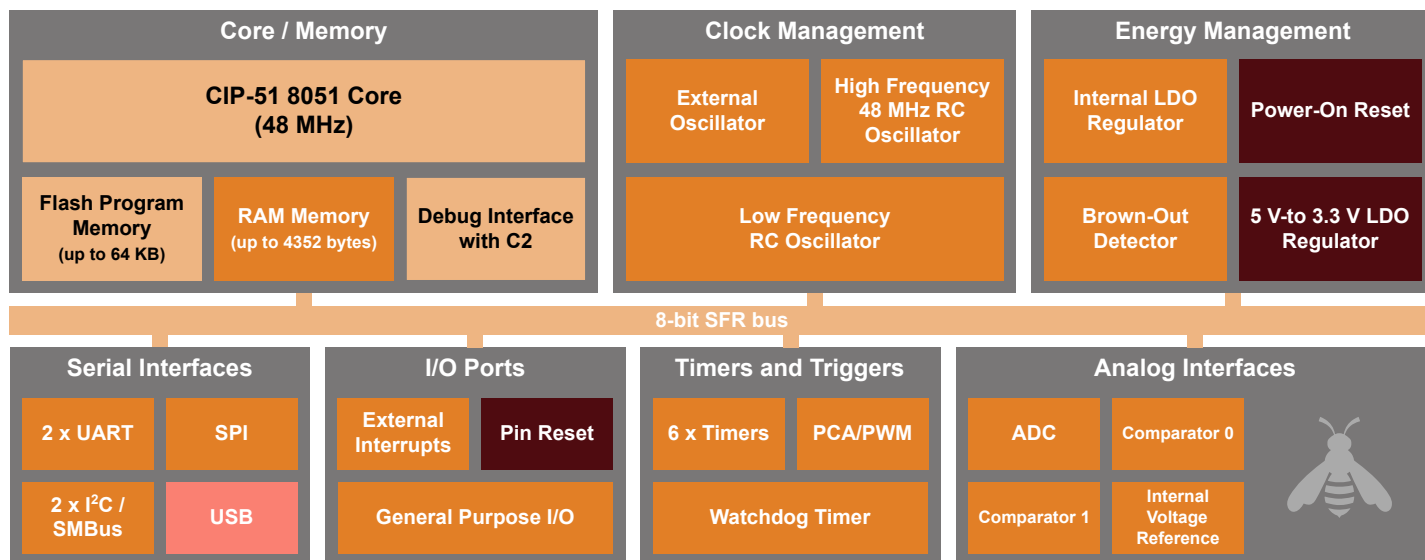
此设备集成带有高精度振荡器的 USB 外围设备接口、时钟恢复电路、以及集成收发器，是所有全速 USB 应用的理想选择，无需外部组件。EFM8UB2 系列采用高效的 8051 内核和精密模拟，也是嵌入式应用的最佳选择。

EFM8UB2 应用包括以下功能：

- USB I/O 控制、加密狗
- 消费类电子设备
- 高速通信桥
- 医疗器件

### 主要功能

- 流水线式 8 位 8051 MCU 内核，最大运行频率 48 MHz
- 最多 40 组多功能 I/O 引脚
- 兼容无晶体全速/低速 USB 2.0 控制器，带有 1 KB 缓冲区
- 一个差分 10 位 ADC 和两个模拟比较器
- 内部 48 MHz 振荡器支持无晶体 USB 和 UART 操作，在使用 USB 时钟恢复时精度为  $\pm 0.25\%$
- 2 个 UART、SPI、2 个 SMBus/I2C 串行通信



Lowest power mode with peripheral operational:

Normal
  Idle
  Suspend
  Shutdown

## 1. 功能列表

EFM8UB2 突出功能如下所列。

- 内核：
  - 流水线式 CIP-51 内核
  - 与标准 8051 指令集完全兼容
  - 70% 指令的执行时间为 1-2 系统时钟周期
  - 48 MHz 最高工作频率
- 内存：
  - 最高 64 kB 闪存，可在系统内对固件重新编程。
  - 最高 4352 字节 RAM (包括 256 字节标准 8051 RAM 和 4096 字节片上 XRAM)
- 电源：
  - 用于 CPU 核心电压的内部 LDO 稳压器
  - 内部 5 至 3.3V LDO 允许直接连接至 USB 供电网
  - 加电复位电路和掉电检测器
- I/O: 最多共 40 组多功能 I/O 引脚：
  - 用于外围路由的灵活的外围设备交叉开关
  - 10 mA 源电流, 25 mA 吸收器允许直接驱动 LED
- 时钟源：
  - 内部 48 MHz 高精度振荡器 (不带 USB 时钟恢复时精度为  $\pm 1.5\%$ , 带有 USB 时钟恢复时精度为  $\pm 0.25\%$ )
  - 内部 80 kHz 低频振荡器
  - 外部晶体、RC、C 和 CMOS 时钟选项
- 定时器/计数器和 PWM：
  - 5 通道可编程计数器阵列 (PCA), 支持 PWM、捕获/比较、带有看门狗定时器功能的频率输出模式
  - 6 个 16 位通用计时器
- 通信和数字外围设备：
  - 通用串行总线 (USB) 功能控制器, 带有 8 个灵活的终端管道、集成收发器和 1 KB FIFO RAM
  - 2 个 UART
  - SPI™ 主 / 从
  - 2 个 SMBus™/I2C™ 主 / 从
  - 外部存储器接口 (EMIF)
- 模拟：
  - 10 位 AD 转换器 (ADC0)
  - 2 个低电流模拟比较器
- 片上非侵入式调试
  - 全内存和寄存器检查
  - 四个硬件断点、单步执行
- 预装 USB 引导装载程序
- -40 至 85 °C 温度范围
- 单电源 2.65 至 3.6 V
- QFP48、QFP32 和 QFN32 封装

借助芯片上加电复位、电源电压监控器、监视程序定时器和时钟振荡器, EFM8UB2 设备成为真正独立的系统单芯片解决方案。闪存是可编程内部电路, 提供非易失性数据存储以及支持固件的现场升级。片上调试接口 (C2) 允许使用安装在最终应用中的生产 MCU 进行非侵入式 (不使用片上资源)、全速、内部电路调试。此调试逻辑支持检查和修改存储器与寄存器、设置断点、单步执行以及运行和停止命令。进行调试时, 所有模拟和数字外围设备的功能都得到充分发挥。各设备的指定操作电压是 2.65 到 3.6 V, 适用于 32 针 QFN、32 针 QFP 或 48 针 QFP 封装的元件。所有封装选项均符合无铅和 RoHS 要求。

2. 订购信息

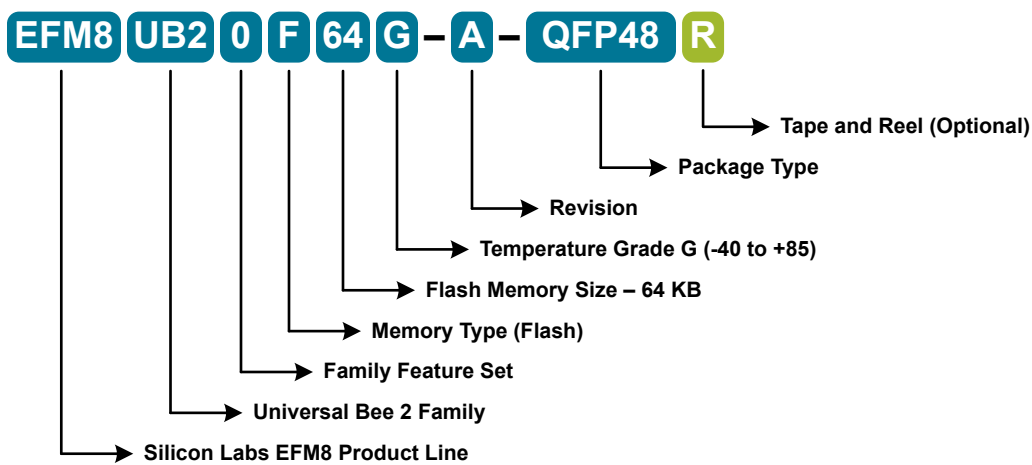


Figure 2.1. EFM8UB2 部件编号

所有 EFM8UB2 产品系列都具备以下功能：

- 运行频率高达 48 MHz 的 CIP-51 核心
- 两种内部振荡器（48 MHz 和 80 kHz）
- USB 全速/低速功能控制器
- 5 V-输入、3.3 V-输出稳压器
- 2 SMBus/I2C 接口
- SPI
- 2 个 UART
- 5 通道可编程计数器阵列（PWM、时钟生成、捕获/比较）
- 6 个 16 位定时器
- 2 个模拟比较器
- 10 位差压 AD 转换器，配有集成多路复用器和温度传感器
- 预装 USB 引导装载程序

除了这些功能之外，EFM8UB2 系列中的各元件随产品系列不同具有不同的功能集。产品选择指南列出了各系列元件的可用功能。

Table 2.1. 产品选择指南

Ordering Part Number	Flash Memory (kB)	RAM (Bytes)	Digital Port I/Os (Total)	ADC Channels	Comparator 0 Inputs	Comparator 1 Inputs	Crystal Oscillator	External Memory Interface	Pb-free (RoHS Compliant)	Temperature Range	Package
EFM8UB20F64G-A-QFP48	64	4352	40	32	5	5	Yes	Yes	Yes	-40 to +85 °C	QFP48
EFM8UB20F64G-A-QFP32	64	4352	25	20	5	4	—	—	Yes	-40 to +85 °C	QFP32
EFM8UB20F64G-A-QFN32	64	4352	25	20	5	4	—	—	Yes	-40 to +85 °C	QFN32
EFM8UB20F32G-A-QFP48	32	2304	40	32	5	5	Yes	Yes	Yes	-40 to +85 °C	QFP48

Ordering Part Number	Flash Memory (kB)	RAM (Bytes)	Digital Port I/Os (Total)	ADC0 Channels	Comparator 0 Inputs	Comparator 1 Inputs	Crystal Oscillator	External Memory Interface	Pb-free (RoHS Compliant)	Temperature Range	Package
EFM8UB20F32G-A-QFP32	32	2304	25	20	5	4	—	—	Yes	−40 to +85 °C	QFP32
EFM8UB20F32G-A-QFN32	32	2304	25	20	5	4	—	—	Yes	−40 to +85 °C	QFN32

### 3. 系统概述

#### 3.1 简介

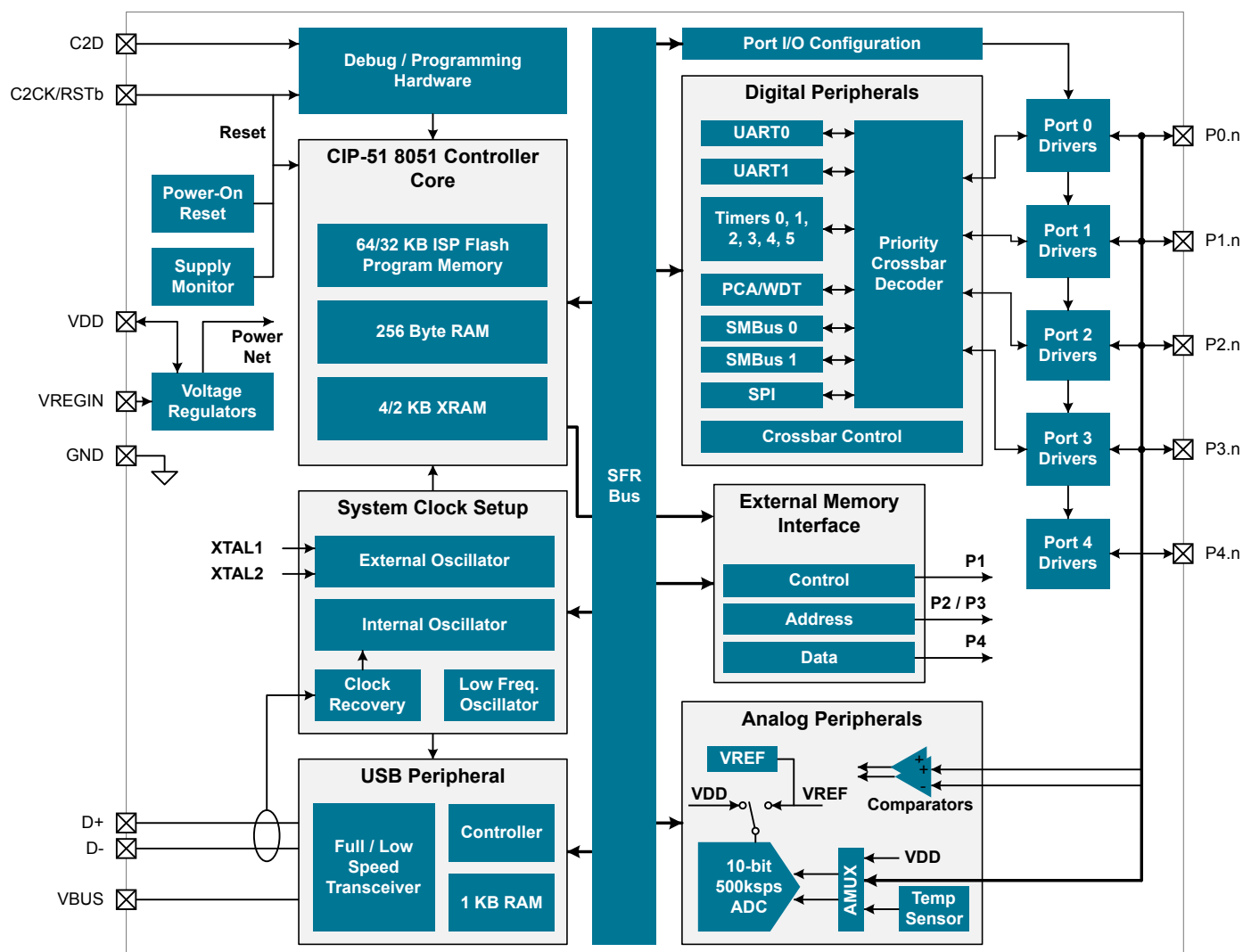


Figure 3.1. EFM8UB2 方框图详情

### 3.2 电源

所有内部电路由 VDD 供电引脚供电。外部 I/O 引脚由 VIO 电源电压供电（或设备上无独立 VIO 连接的 VDD），大多数内部电路由片上 LDO 调节器供电。根据需要启用/禁用各个外围设备可以控制设备功耗。每个模拟外设在不使用时都可以禁用，从而置于低功耗模式。在不使用数字外围设备（如定时器或串行总线）时时钟被关闭且消耗很少的电量。

**Table 3.1. 电源模式**

Power Mode	Details	Mode Entry	Wake-Up Sources
Normal	Core and all peripherals clocked and fully operational	—	—
Idle	<ul style="list-style-type: none"> <li>Core halted</li> <li>All peripherals clocked and fully operational</li> <li>Code resumes execution on wake event</li> </ul>	Set IDLE bit in PCON0	Any interrupt
Suspend	<ul style="list-style-type: none"> <li>Core and peripheral clocks halted</li> <li>Code resumes execution on wake event</li> </ul>	<ol style="list-style-type: none"> <li>Switch SYSCLK to HFOSCO</li> <li>Set SUSPEND bit in HF00CN</li> </ol>	USB0 Bus Activity
Shutdown	<ul style="list-style-type: none"> <li>All internal power nets shut down</li> <li>5V regulator remains active (if enabled)</li> <li>Pins retain state</li> <li>Exit on pin or power-on reset</li> </ul>	<ol style="list-style-type: none"> <li>Set STOPCF bit in REG01CN</li> <li>Set STOP bit in PCON0</li> </ol>	<ul style="list-style-type: none"> <li>RSTb pin reset</li> <li>Power-on reset</li> </ul>

### 3.3 I/O

数字和模拟资源可以通过设备的多功能 I/O 引脚来实现外部调用。端口引脚 P0.0–P3.7 可以被定义为通用 I/O (GPIO)，通过交叉开关或专用信道被分配至其中一个内部数字资源，或者被分配至模拟功能。端口引脚 P4.0–P4.7 可被用作 GPIO。此外，C2 接口数据信号 (C2D) 可与某些封装为 P3.0 共享。

- 最高 40 个多功能 I/O 引脚，支持数字和模拟功能。
- 数字外围设备分配的灵活的优先交叉开关译码器。
- 配有 P0 引脚上专用中断向量 (INT0 和 INT1) 的两个直接引脚中断源。

### 3.4 时钟

CPU 核心和外围设备子系统可以按照内部和外部振荡器资源来设定时钟。默认情况下，系统时钟运行的情况为：48 MHz 振荡器 4 分频，然后 8 分频 (1.5 MHz)。

- 为核心和外围设备提供时钟。
- 48 MHz 内部振荡器 (HFOSCO)，随电源和温度变化，精度为  $\pm 1.5\%$ ；在使用 USB 时钟恢复时，精度为  $\pm 0.25\%$ 。
- 80 kHz 低频振荡器 (LFOSCO)。
- QFP48 封装带有外部 RC、C、CMOS 和 高频晶体时钟选项 (EXTCLK)。
- QFP32 和 QFN32 封装带有外部 CMOS 时钟选项 (EXTCLK)。
- 内部振荡器的时钟分频器具有八个设置，可实现灵活的时钟调整：1、2、4 或 8。

### 3.5 定时器/计数器和 PWM

#### 可编程计数器阵列 (PCAO)

可编程计数器阵列 (PCA) 提供增强的定时器和 PWM 功能的多个信道，与标准计数器/定时器相比，它需要较少的 CPU 干预。PCA 的各信道由一个专用的 16 位计数器/定时器和一个 16 位捕获/比较模块组成。计数器/定时器由具有灵活的外部 and 内部时钟选项的可编程时钟驱动。每个捕获/比较模块可配置为在五种模式中的一种模式下独立运行：边沿触发捕获、软件定时器、高速输出、频率输出、或脉宽调制 (PWM) 输出。每个捕获/比较模块有其自己的关联 I/O 线 (CEX<sub>n</sub>)，这些线在启用时通过交叉开关连接到端口 I/O。

- 16 位时基。
- 可编程时钟分频器和时钟源选择。
- 最多五个独立配置的信道
- 8 和 16 位 PWM 模式（沿对准操作）。
- 输出频率模式。
- 捕获上升沿、下降沿或任何沿。
- 比较任意波形生成函数。
- 软件定时器（内部比较）模式。
- 集成监视程序定时器。

#### 定时器（定时器 0、定时器 1、定时器 2、定时器 3、定时器 4 和定时器 5）

设备中包含几个计数器/定时器：两个是 16 位计数器/定时器与标准 8051 中的计数器/定时器兼容，另外两个是 16 位自动重新加载定时器，可用于定时外围设备或作为通用定时器使用。这些定时器可以用于测量时间间隔、对外部事件计数或生成周期性中断请求。定时器 0 和定时器 1 几乎完全相同，有四种主要工作模式。其他定时器都提供带有自动重新加载和捕获功能的 16 位和分割 8 位定时器功能。

定时器 0 和定时器 1 包括以下功能：

- 标准 8051 定时器，支持向后兼容固件和硬件。
- 时钟源包括 SYSCLK，SYSCLK 12、4 或 48 分频或外部时钟 8 分频或外部引脚分频。
- 8 位自动重新加载计数器/定时器模式
- 13 位计数器/定时器模式
- 16 位计数器/定时器模式
- 双 8 位计数器/定时器模式（定时器 0）

定时器 2、定时器 3、定时器 4、定时器 5 是包括以下功能的 16 位定时器：

- 时钟源包括 SYSCLK，SYSCLK 12 分频或外部时钟 8 分频。
- 16 位自动重新加载定时器模式
- 双 8 位自动重新加载定时器模式
- LFOSC0 捕获的 USB 起始帧或下降沿（定时器 2 和定时器 3）

#### 监视程序定时器 (WDT0)

设备包括 PCA0 外围设备中集成的可编程监视程序定时器 (WDT)。WDT 溢出将使 MCU 复位。为了避免复位，WDT 必须在溢出之前由应用软件重启。如果系统遇到软件或硬件故障阻止软件重启 WDT，则 WDT 溢出并复位。复位之后，WDT 自动开启并以默认最大时间间隔来运行。WDT 可以按需由系统软件禁用。RSTb 引脚的状态不受此复位的影响。

PCA0 外围设备中集成的监视程序定时器具有如下功能：

- 可编程超时间隔
- 从所选 PCA 时钟源运行
- 任何系统复位之后自动启动

### 3.6 通信和其他数字外围设备

#### 通用串行总线 (USB0)

USB0 模块为 USB 外围设备执行提供全速/低速功能。USB 功能控制器 (USB0) 包括串口引擎 (SIE)、USB 收发器 (包括匹配电阻和可配置的上拉电阻)、1 KB FIFO 块和无晶操作的时钟恢复机制。无需外部元件。USB0 模块兼容通用串行总线规范 2.0。

USB0 模块包括以下功能：

- 全速/低速功能。
- 执行 4 个双向端点。
- USB 2.0 兼容 USB 外围设备支持 (无主机功能)。
- 模块直接访问 1 KB RAM 以作为 FIFO 存储器。
- 时钟恢复符合 USB 时钟要求，无需外部元件。

#### 通用异步接收器/发射器 (UART0)

UART0 是一个异步、全双工串口，它提供标准 8051 UART 的模式 1 和 3。增强的波特率支持允许各种时钟源来生成标准波特率。接收数据缓冲机制允许 UART0 在软件尚未读取前一个数据字节的情况下开始接收第二个输入数据字节。

UART 模块提供以下功能：

- 异步发射和接收
- 波特率高达  $\text{SYSCLK}/2$  (发射) 或  $\text{SYSCLK}/8$  (接收)
- 8- 或 9 位数据
- 自动启动和停止发生

#### 通用异步接收器/发射器 (UART1)

UART1 是一个异步、全双工串口，它提供多种数据格式选择。它包括一个由 16 位定时器和可选择的预分频器构成的专用波特率发生器，能生成很宽范围的波特率。接收数据 FIFO 允许 UART1 接收多个字节而不会发生数据丢失或溢出。

UART1 模块提供以下功能：

- 异步发射和接收。
- 专用波特率发生器支持高达  $\text{SYSCLK}/2$  (发射) 或  $\text{SYSCLK}/8$  (接收) 的波特率
- 5、6、7、8、或 9 位数据。
- 自动启动和停止发生。
- 自动生成奇偶位并校验。
- 接收时三字节 FIFO。

#### 串行外围设备接口 (SPI0)

串行外围设备接口 (SPI) 模块可以访问灵活的全双工同步串行总线。SPI 可作为主设备或从属设备在 3-线或 4-线模式下运行，支持单个 SPI 总线上的多个主设备或从属设备。从选择 (NSS) 信号可被配置为输入，以在从模式中选择 SPI，或在多主环境中禁用主模式操作，以避免多个主设备试图同时进行数据传输时发生 SPI 总线冲突。NSS 可以被配置为固件控制的片选输出 (在主模式)，或被禁用以减少所需引脚的数量。在主模式中，可以用其它通用端口 I/O 引脚选择多个从设备。

SPI 模块包括以下功能：

- 支持 3 线或 4 线主或从模式运行。
- 所支持的外部时钟频率在主模式下高达  $\text{SYSCLK} / 2$  和在从模式下为  $\text{SYSCLK} / 10$ 。
- 支持四种时钟相位和极性选项。
- 8 位专用时钟的时钟频率发生器。
- 支持同一数据线上的多主模式。



## 系统管理总线 / I2C (SMB0 和 SMB1)

SMBus I/O 接口是一个二线的双向串行总线。SMBus 完全符合系统管理总线规范 1.1 版，并与 I<sup>2</sup>C 串行总线兼容。

SMBus 模块包括以下功能：

- 标准（最高 100 kbps）和快速（400 kbps）传输速度。
- 支持主、从和多主模式。
- 多主模式的硬件同步和仲裁。
- 时钟低延长（时钟拉伸）以连接到较快的主模式。
- 硬件支持 7 位从模式和一般调用地址识别。
- 固件支持 10 位从地址解码。
- 能够阻止所有从状态。
- 可编程数据建立/保持时间。

## 外部存储器接口 (EMIF0)

外部存储器接口 (EMIF) 允许访问连接到 GPIO 端口的片外存储器和存储器映射的设备。使用带有 8 位或 16 位目标地址的外部传送指令 (MOVX) 来访问外部存储器空间。

- 支持访问多路复用和非多路复用存储器。
- 四种外部存储器模式：
  - 仅内部。
  - 不带存储体选择的分割模式。
  - 带存储体选择的分割模式。
  - 仅外部
- 可配置 ALE（地址锁存允许）定时。
- 可配置地址建立和保持时间。
- 可配置读写脉宽

## 3.7 模拟

### 10 位 AD 转换器 (ADCO)

ADC 是一款逐次逼近寄存器 (SAR) ADC，具有 10 位模式，集成了跟踪保持电路和可编程窗口检测器。该 ADC 可完全在软件控制下通过几个寄存器来配置。ADC 可通过使用模拟多路复用器配置，以测量各种不同信号。ADC 的电压参考可在内部和外部参考源之间选择。

ADC 模块是一款逐次逼近寄存器 (SAR) 模数转换器 (ADC)。此 ADC 模块的关键功能是：

- 高达 32 的外部输入。
- 差压或单端 10 位运行。
- 所支持的输出更新速率为每秒 500 ksp/s 样本。
- 异步硬件转换触发器，可以在软件、外部 I/O 和内部定时器来源之间选择。
- 输出数据窗口比较器允许自动范围检查。
- 带有可编程跟踪时间的两种跟踪模式选项。
- 支持转换完成和窗口比较中断。
- 灵活的输出数据格式。
- 可从外部参考引脚选择电压参考，片上精度参考（通过参考引脚由外部驱动）或 VDD 供电。
- 集成温度传感器。

## 低电流比较器 (CMP0、CMP1)

模拟比较器用于比较两种模拟输入的电压，其中数字输出显示两者之中较高的输入电压。至设备 I/O 引脚的外部输入连接以及内部连接可通过正负输入端上彼此独立的多路复用器来启用。滞后、响应时间和电流消耗可以根据应用的具体需要进行编程。

比较器模块包括下列功能：

- 高达 5 外部正输入。
- 高达 5 外部负输入。
- 同步和异步输出可以通过交叉开关被路由至引脚。
- 可编程滞后位于 0 和  $\pm 20$  mV 之间。
- 可编程响应时间。
- 在上升沿、下降沿或这两者中都可以生成中断。

## 3.8 复位源

复位电路允许很容易地将控制器置于一个预定义的缺省状态。在进入此复位状态时，将发生以下过程：

- 执行核心停止程序。
- 如果复位不是仅使用加电复位，模块寄存器被初始化为指定的复位值。
- 外部端口引脚被置于已知状态。
- 中断和定时器被禁用。

如果复位不是仅使用加电复位，则所有寄存器都被复位为寄存器说明中备注的预定义值。在复位期间 RAM 的内容不受影响；之前存储的数据在断电之前保持不变。端口 I/O 锁存器在开路漏极模式下复位为 1。在复位期间和复位之后弱上拉启用。对于电源监视器和加电复位，RSTb 引脚被驱动为低电平，直到设备退出复位状态。在退出复位状态时，程序计数器 (PC) 被复位，并且系统时钟默认为内部振荡器。监视程序定时器被启用，从位置 0x0000 开始程序执行。

设备上的复位源包括：

- 加电复位
- 外部复位引脚
- 比较器复位
- 软件触发复位
- 电源监控器复位 (监控器 VDD 电源)
- 监视程序定时器复位
- 时钟丢失检测器复位
- 闪存错误复位
- USB 复位

## 3.9 调试

EFM8UB2 设备包括一个片上 Silicon Labs 2 线 (C2) 调试接口，支持闪存编程和使用安装在终端应用中的生产件进行系统内调试。C2 接口使用一个时钟信号 (C2CK) 和一个双向 C2 数据信号 (C2D) 在设备和主机系统之间传输信息。有关 C2 协议的详细信息，请参见 C2 接口规范。

## 3.10 引导装载程序

所有设备都配备预编程的 USB 引导装载程序。此引导程序驻留在闪存中，不需要时可以擦除。

## 4. 电气规格

## 4.1 电气特性

各表中的所有电气参数都适用于 中所列的条件, [Table 4.1 建议的工作条件 on page 10](#) 除非另有说明。

Table 4.1. 建议的工作条件

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Operating Supply Voltage on VDD	V <sub>DD</sub>		2.7 <sup>2</sup>	3.3	3.6	V
Operating Supply Voltage on VREGIN	V <sub>REGIN</sub>		2.7	—	5.25	V
System Clock Frequency	f <sub>SYSClk</sub>		0	—	48	MHz
Operating Ambient Temperature	T <sub>A</sub>		−40	—	85	° C
<b>Note:</b> 1. All voltages with respect to GND 2. The USB specification requires 3.0 V minimum supply voltage.						

Table 4.2. 功耗

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Digital Core Supply Current						
Normal Mode—Full speed with code executing from flash	I <sub>DD</sub>	F <sub>SYSClk</sub> = 48 MHz <sup>2</sup>	—	12	14	mA
		F <sub>SYSClk</sub> = 24 MHz <sup>2</sup>	—	7	8	mA
		F <sub>SYSClk</sub> = 80 kHz <sup>3</sup>	—	280	—	μ A
Idle Mode—Core halted with peripherals running	I <sub>DD</sub>	F <sub>SYSClk</sub> = 48 MHz <sup>2</sup>	—	6.5	8	mA
		F <sub>SYSClk</sub> = 24 MHz <sup>2</sup>	—	3.5	5	mA
		F <sub>SYSClk</sub> = 80 kHz <sup>3</sup>	—	220	—	μ A
Suspend Mode—Core halted and high frequency clocks stopped, Supply monitor off. Regulators in low-power mode.	I <sub>DD</sub>	LFO Running	—	105	—	μ A
		LFO Stopped	—	100	—	μ A
Stop Mode—Core halted and all clocks stopped, Regulators in low-power mode, Supply monitor off.	I <sub>DD</sub>		—	100	—	μ A
Shutdown Mode—Core halted and all clocks stopped, Regulators Off, Supply monitor off.	I <sub>DD</sub>		—	0.25	—	μ A
Analog Peripheral Supply Currents						
High-Frequency Oscillator 0	I <sub>HFOSC0</sub>	Operating at 48 MHz, T <sub>A</sub> = 25 ° C	—	900	—	μ A
Low-Frequency Oscillator	I <sub>LFOSC</sub>	Operating at 80 kHz, T <sub>A</sub> = 25 ° C	—	5	—	μ A

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
ADC0 Supply Current	$I_{ADC}$	Operating at 500 ksp/s $V_{DD} = 3.0\text{ V}$	—	750	1000	$\mu\text{A}$
On-chip Precision Reference	$I_{VREFP}$		—	75	—	$\mu\text{A}$
Temperature Sensor	$I_{TSENSE}$		—	35	—	$\mu\text{A}$
Comparator 0 (CMP0, CMP1)	$I_{CMP}$	CPMD = 11	—	1	—	$\mu\text{A}$
		CPMD = 10	—	4	—	$\mu\text{A}$
		CPMD = 01	—	10	—	$\mu\text{A}$
		CPMD = 00	—	20	—	$\mu\text{A}$
Voltage Supply Monitor (VMON0)	$I_{VMON}$		—	15	50	$\mu\text{A}$
Regulator Bias Currents	$I_{VREG}$	Both Regulators in Normal Mode	—	200	—	$\mu\text{A}$
		Both Regulators in Low Power Mode	—	100	—	$\mu\text{A}$
		5 V Regulator Off, Internal LDO in Low Power Mode	—	150	—	$\mu\text{A}$
USB (USB0) Full-Speed	$I_{USB}$	Active	—	8	—	mA

**Note:**

1. Currents are additive. For example, where  $I_{DD}$  is specified and the mode is not mutually exclusive, enabling the functions increases supply current by the specified amount.
2. Includes supply current from regulators, supply monitor, and High Frequency Oscillator.
3. Includes supply current from regulators, supply monitor, and Low Frequency Oscillator.

**Table 4.3. 复位和电源监控器**

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
VDD Supply Monitor Threshold	$V_{VDDM}$		2.60	2.65	2.70	V
VDD Ramp Time	$t_{RMP}$	Time to $V_{DD} > 2.7\text{ V}$	—	—	1	ms
Reset Delay from non-POR source	$t_{RST}$	Time between release of reset source and code execution	—	—	250	$\mu\text{s}$
RST Low Time to Generate Reset	$t_{RSTL}$		15	—	—	$\mu\text{s}$
Missing Clock Detector Response Time (final rising edge to re-set)	$t_{MCD}$	$F_{SYSCLK} > 1\text{ MHz}$	80	580	800	$\mu\text{s}$
VDD Supply Monitor Turn-On Time	$t_{MON}$		—	—	100	$\mu\text{s}$

**Table 4.4. 闪存**

Parameter	Symbol	Test Condition	Min	Typ	Max	Units
Write Time <sup>1</sup>	$t_{WRITE}$	One Byte	10	15	20	$\mu\text{s}$
Erase Time <sup>1</sup>	$t_{ERASE}$	One Page	10	15	22.5	ms
$V_{DD}$ Voltage During Programming <sup>2</sup>	$V_{PROG}$		2.7	—	3.6	V
Endurance (Write/Erase Cycles)	$N_{WE}$		10k	100k	—	Cycles

Parameter	Symbol	Test Condition	Min	Typ	Max	Units
<b>Note:</b>						
1. Does not include sequencing time before and after the write/erase operation, which may be multiple SYSCLK cycles.						
2. Flash can be safely programmed at any voltage above the supply monitor threshold ( $V_{DDM}$ ).						
3. Data Retention Information is published in the Quarterly Quality and Reliability Report.						

Table 4.5. 内部振荡器

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
High Frequency Oscillator 0 (48 MHz)						
Oscillator Frequency	$f_{HFOSC0}$	Full Temperature and Supply Range	47.3	48	48.7	MHz
Power Supply Sensitivity	$PSS_{HFOSC0}$	$T_A = 25^\circ\text{C}$	—	110	—	ppm/V
Temperature Sensitivity	$TS_{HFOSC0}$	$V_{DD} = 3.0\text{ V}$	—	25	—	ppm/ $^\circ\text{C}$
Low Frequency Oscillator (80 kHz)						
Oscillator Frequency	$f_{LFOSC}$	Full Temperature and Supply Range	75	80	85	kHz
Power Supply Sensitivity	$PSS_{LFOSC}$	$T_A = 25^\circ\text{C}$	—	0.05	—	%/V
Temperature Sensitivity	$TS_{LFOSC}$	$V_{DD} = 3.0\text{ V}$	—	65	—	ppm/ $^\circ\text{C}$

Table 4.6. 晶体振荡器

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Crystal Frequency	$f_{XTAL}$		0.02	—	30	MHz

Table 4.7. 外部时钟输入

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
External Input CMOS Clock Frequency (at EXTCLK pin)	$f_{CMOS}$		0	—	48	MHz

Table 4.8. ADC

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Resolution	$N_{bits}$		10			Bits
Throughput Rate	$f_S$		—	—	500	ksps
Tracking Time	$t_{TRK}$		300	—	—	ns
SAR Clock Frequency	$f_{SAR}$		—	—	8.33	MHz
Conversion Time	$t_{CNV}$	10-Bit Conversion,	13	—	—	Clocks
Sample/Hold Capacitor	$C_{SAR}$		—	30	—	pF
Input Mux Impedance	$R_{MUX}$		—	5	—	k $\Omega$
Voltage Reference Range	$V_{REF}$		1	—	$V_{DD}$	V

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Input Voltage Range <sup>1</sup>	$V_{IN}$	Single-Ended ( $A_{IN+} - GND$ )	0	—	$V_{REF}$	V
		Differential ( $A_{IN+} - A_{IN-}$ )	$-V_{REF}$	—	$V_{REF}$	V
Power Supply Rejection Ratio	$PSRR_{ADC}$		—	70	—	dB
DC Performance, $V_{REF} = 2.4\text{ V}$						
Integral Nonlinearity	INL		—	$\pm 0.5$	$\pm 1$	LSB
Differential Nonlinearity (Guaranteed Monotonic)	DNL		—	$\pm 0.5$	$\pm 1$	LSB
Offset Error	$E_{OFF}$		-2	0	2	LSB
Offset Temperature Coefficient	$TC_{OFF}$		—	0.005	—	LSB/ $^{\circ}\text{C}$
Slope Error	$E_M$		—	-0.2	$\pm 0.5$	%
Dynamic Performance 10 kHz Sine Wave Input 1dB below full scale, $V_{REF} = 2.4\text{ V}$						
Signal-to-Noise	SNR		55	58	—	dB
Signal-to-Noise Plus Distortion	SNDR		55	58	—	dB
Total Harmonic Distortion (Up to 5th Harmonic)	THD		—	-73	—	dB
Spurious-Free Dynamic Range	SFDR		—	78	—	dB
<b>Note:</b> 1. Absolute input pin voltage is limited by the VDD and GND supply pins.						

Table 4.9. 参考电压

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
On-chip Precision Reference						
Output Voltage	$V_{REFP}$	$T = 25^{\circ}\text{C}$	2.38	2.42	2.46	V
Turn-on Time, settling to 0.5 LSB	$t_{VREFP}$	4.7 $\mu\text{F}$ tantalum + 0.1 $\mu\text{F}$ ceramic bypass on VREF pin	—	3	—	ms
		0.1 $\mu\text{F}$ ceramic bypass on VREF pin	—	100	—	$\mu\text{s}$
Load Regulation	$LR_{VREFP}$	Load = 0 to 200 $\mu\text{A}$ to GND	—	360	—	$\mu\text{V} / \mu\text{A}$
Short-circuit current	$ISC_{VREFP}$		—	—	8	mA
Power Supply Rejection	$PSRR_{VREFP}$		—	140	—	ppm/V
External Reference						
Input Current	$I_{EXTREF}$	Sample Rate = 500 ksps; $V_{REF} = 3.0\text{ V}$	—	9	—	$\mu\text{A}$

Table 4.10. 温度传感器

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Offset	$V_{OFF}$	$T_A = 0^{\circ}\text{C}$	—	764	—	mV
Offset Error <sup>1</sup>	$E_{OFF}$	$T_A = 0^{\circ}\text{C}$	—	15	—	mV

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Slope	M		—	2.87	—	mV/° C
Slope Error <sup>1</sup>	E <sub>M</sub>		—	120	—	μ V/° C
Linearity			—	0.5	—	° C
Turn-on Time			—	1.8	—	μ s

**Note:**

1. Represents one standard deviation from the mean.

**Table 4.11. 5V 稳压器**

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Input Voltage Range <sup>1</sup>	V <sub>REGIN</sub>		2.7	—	5.25	V
Output Voltage on VDD <sup>2</sup>	V <sub>REGOUT</sub>	Output Current = 1 to 100 mA	3.0	3.3	3.6	V
Output Current <sup>2</sup>	I <sub>REGOUT</sub>		—	—	100	mA

**Note:**

1. Input range specified for regulation. When an external regulator is used, V<sub>REGIN</sub> should be tied to VDD.

2. Output current is total regulator output, including any current required by the device.

**Table 4.12. 比较器**

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Response Time, CPMD = 00 (Highest Speed)	t <sub>RESP0</sub>	+100 mV Differential	—	100	—	ns
		-100 mV Differential	—	250	—	ns
Response Time, CPMD = 11 (Low - est Power)	t <sub>RESP3</sub>	+100 mV Differential	—	1.05	—	μ s
		-100 mV Differential	—	5.2	—	μ s
Positive Hysteresis Mode 0 (CPMD = 00)	HYS <sub>CP+</sub>	CPHYP = 00	—	0.4	—	mV
		CPHYP = 01	—	8	—	mV
		CPHYP = 10	—	16	—	mV
		CPHYP = 11	—	32	—	mV
Negative Hysteresis Mode 0 (CPMD = 00)	HYS <sub>CP-</sub>	CPHYN = 00	—	-0.4	—	mV
		CPHYN = 01	—	-8	—	mV
		CPHYN = 10	—	-16	—	mV
		CPHYN = 11	—	-32	—	mV
Positive Hysteresis Mode 1 (CPMD = 01)	HYS <sub>CP+</sub>	CPHYP = 00	—	0.5	—	mV
		CPHYP = 01	—	6	—	mV
		CPHYP = 10	—	12	—	mV
		CPHYP = 11	—	24	—	mV

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Negative Hysteresis Mode 1 (CPMD = 01)	HYS <sub>CP-</sub>	CPHYN = 00	—	-0.5	—	mV
		CPHYN = 01	—	-6	—	mV
		CPHYN = 10	—	-12	—	mV
		CPHYN = 11	—	-24	—	mV
Positive Hysteresis Mode 2 (CPMD = 10)	HYS <sub>CP+</sub>	CPHYN = 00	—	0.7	—	mV
		CPHYN = 01	—	4.5	—	mV
		CPHYN = 10	—	9	—	mV
		CPHYN = 11	—	18	—	mV
Negative Hysteresis Mode 2 (CPMD = 10)	HYS <sub>CP-</sub>	CPHYN = 00	—	-0.6	—	mV
		CPHYN = 01	—	-4.5	—	mV
		CPHYN = 10	—	-9	—	mV
		CPHYN = 11	—	-18	—	mV
Positive Hysteresis Mode 3 (CPMD = 11)	HYS <sub>CP+</sub>	CPHYN = 00	—	1.5	—	mV
		CPHYN = 01	—	4	—	mV
		CPHYN = 10	—	8	—	mV
		CPHYN = 11	—	16	—	mV
Negative Hysteresis Mode 3 (CPMD = 11)	HYS <sub>CP-</sub>	CPHYN = 00	—	-1.5	—	mV
		CPHYN = 01	—	-4	—	mV
		CPHYN = 10	—	-8	—	mV
		CPHYN = 11	—	-16	—	mV
Input Range (CP+ or CP-)	V <sub>IN</sub>		-0.25	—	V <sub>DD</sub> +0.25	V
Input Pin Capacitance	C <sub>CP</sub>		—	7.5	—	pF
Common-Mode Rejection Ratio	CMRR <sub>CP</sub>		—	60	—	dB
Power Supply Rejection Ratio	PSRR <sub>CP</sub>		—	60	—	dB
Input Offset Voltage	V <sub>OFF</sub>	T <sub>A</sub> = 25 °C	-10	0	10	mV

Table 4.13. 端口 I/O

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Output High Voltage	V <sub>OH</sub>	I <sub>OH</sub> = -3 mA	V <sub>DD</sub> - 0.7	—	—	V
		I <sub>OH</sub> = -10 μA	V <sub>DD</sub> - 0.1	—	—	V
Output Low Voltage	V <sub>OL</sub>	I <sub>OL</sub> = 8.5 mA	—	—	0.6	V
		I <sub>OL</sub> = 10 μA	—	—	0.1	V
Input High Voltage	V <sub>IH</sub>		2.0	—	—	V
Input Low Voltage	V <sub>IL</sub>		—	—	0.8	V
Pin Capacitance	C <sub>I0</sub>		—	7	—	pF



Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Weak Pull-Up Current ( $V_{IN} = 0\text{ V}$ )	$I_{PU}$	$V_{DD} = 3.6$	-50	-15	—	$\mu\text{ A}$
Input Leakage (Pullups off or Analog)	$I_{LK}$	$GND < V_{IN} < V_{DD}$	-1	—	1	$\mu\text{ A}$
Input Leakage Current with $V_{IN}$ above $V_{DD}$	$I_{LK}$	$V_{DD} < V_{IN} < V_{DD}+2.0\text{ V}$	0	5	150	$\mu\text{ A}$

Table 4.14. USB 收发器

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Transmitter						
Output High Voltage	V <sub>OH</sub>	V <sub>DD</sub> ≥3.0V	2.8	—	—	V
Output Low Voltage	V <sub>OL</sub>	V <sub>DD</sub> ≥3.0V	—	—	0.8	V
Output Crossover Point	V <sub>CRS</sub>		1.3	—	2.0	V
Output Impedance	Z <sub>DRV</sub>	Driving High	—	38	—	Ω
		Driving Low	—	38	—	
Pull-up Resistance	R <sub>PU</sub>	Full Speed (D+ Pull-up)	1.425	1.5	1.575	kΩ
		Low Speed (D- Pull-up)				
Output Rise Time	T <sub>R</sub>	Low Speed	75	—	300	ns
		Full Speed	4	—	20	ns
Output Fall Time	T <sub>F</sub>	Low Speed	75	—	300	ns
		Full Speed	4	—	20	ns
Receiver						V
Differential Input Sensitivity	V <sub>DI</sub>	(D+) - (D-)	0.2	—	—	V
Differential Input Common Mode Range	V <sub>CM</sub>		0.8	—	2.5	V
Input Leakage Current	I <sub>L</sub>	Pullups Disabled	—	<1.0	—	μA
Refer to the USB Specification for timing diagrams and symbol definitions.						

## 4.2 热状态

Table 4.15. 热状态

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Thermal Resistance	$\theta_{JA}$	QFP48 Packages	—	60	—	° C/W
		QFP32 Packages	—	80	—	° C/W
		QFN32 Packages	—	28	—	° C/W
<b>Note:</b> 1. Thermal resistance assumes a multi-layer PCB with any exposed pad soldered to a PCB pad.						

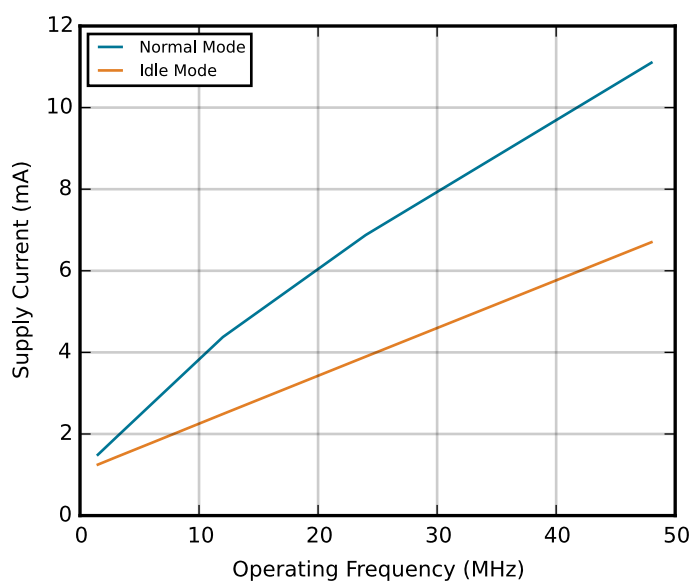
### 4.3 绝对最大额定值

超过 中所列的应力值 [Table 4.16 绝对最大额定值 on page 17](#) 可能会永久损坏设备。这仅为应力额定值，不表示在此值之下或在此规范的操作列表中标明的额定值之上的任何其他条件下可以对设备进行功能性操作。长期在最大额定值条件下工作可影响设备的可靠性。有关质量参数和可靠性数据的更多信息，请参阅以下网址上的《质量和可靠性监视报告》：<http://www.silabs.com/support/quality/pages/default.aspx>.

**Table 4.16. 绝对最大额定值**

Parameter	Symbol	Test Condition	Min	Max	Unit
Ambient Temperature Under Bias	$T_{BIAS}$		-55	125	° C
Storage Temperature	$T_{STG}$		-65	150	° C
Voltage on VDD	$V_{DD}$		GND-0.3	4.2	V
Voltage on VREGIN	$V_{REGIN}$		GND-0.3	5.8	V
Voltage on I/O, RSTb, or VBUS pins	$V_{IN}$	$V_{DD} > 2.2\text{ V}$	GND-0.3	5.8	V
		$V_{DD} < 2.2\text{ V}$	GND-0.3	$V_{DD}+3.6$	V
Total Current Sunk into Supply Pin	$I_{VDD}$		—	500	mA
Total Current Sourced out of Ground Pin	$I_{GND}$		500	—	mA
Current Sourced or Sunk by any I/O Pin or RSTb	$I_{IO}$		-100	100	mA
<b>Note:</b> 1. Exposure to maximum rating conditions for extended periods may affect device reliability.					

### 4.4 典型性能曲线



**Figure 4.1. 使用 HF0SC0 时常见的工作电流**

## 5. 典型连接图

### 5.1 电源

Figure 5.1 使用稳压器且连接 USB（总线供电）的连接图 on page 18 显示在使用内部稳压器且连接 USB（总线供电）时，EFM8UB2 设备电源引脚的典型连接图。VBUS 信号用来检测何时 USB 连接至主机设备。

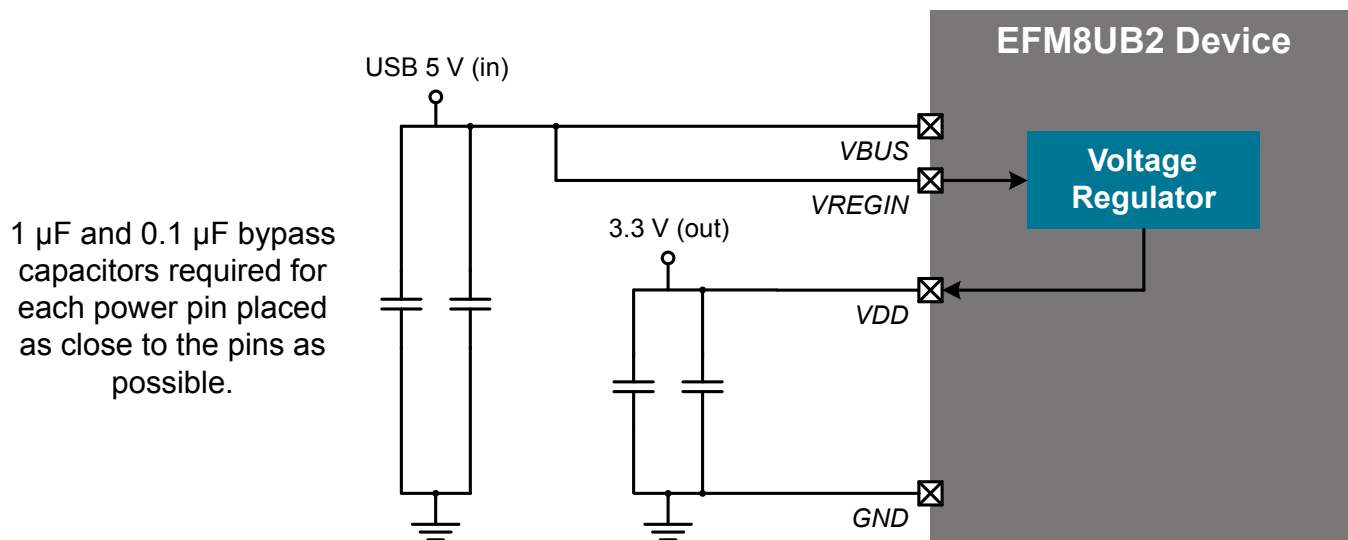


Figure 5.1. 使用稳压器且连接 USB（总线供电）的连接图

Figure 5.2 使用稳压器且连接 USB（自供电）的连接图 on page 18 显示在使用内部稳压器且连接 USB（自供电）时，EFM8UB2 设备电源引脚的典型连接图。VBUS 信号用来检测何时 USB 连接至主机设备，且用电阻分压器显示。此 VBUS 上的电阻分压器（或同等功能的电路）需要满足 VBUS 规范中自供电系统的最大绝对电压，在此自供电系统中当 VBUS 供电为 5 V 时，VDD 和 VIO 可能断电。

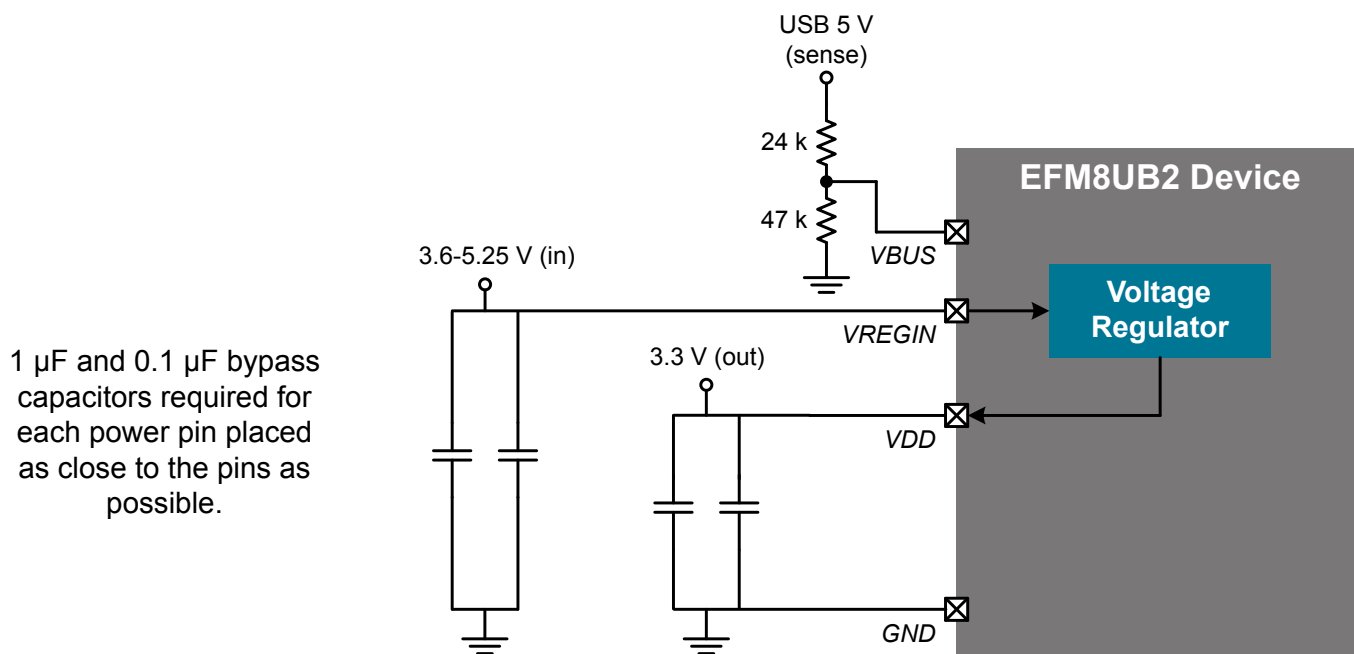


Figure 5.2. 使用稳压器且连接 USB（自供电）的连接图

## 5.2 USB

Figure 5.3 USB 引脚连接图 on page 19 显示 EFM8UB2 设备的 USB 引脚典型连接图，包括 USB 引脚上的 ESD 保护二极管。

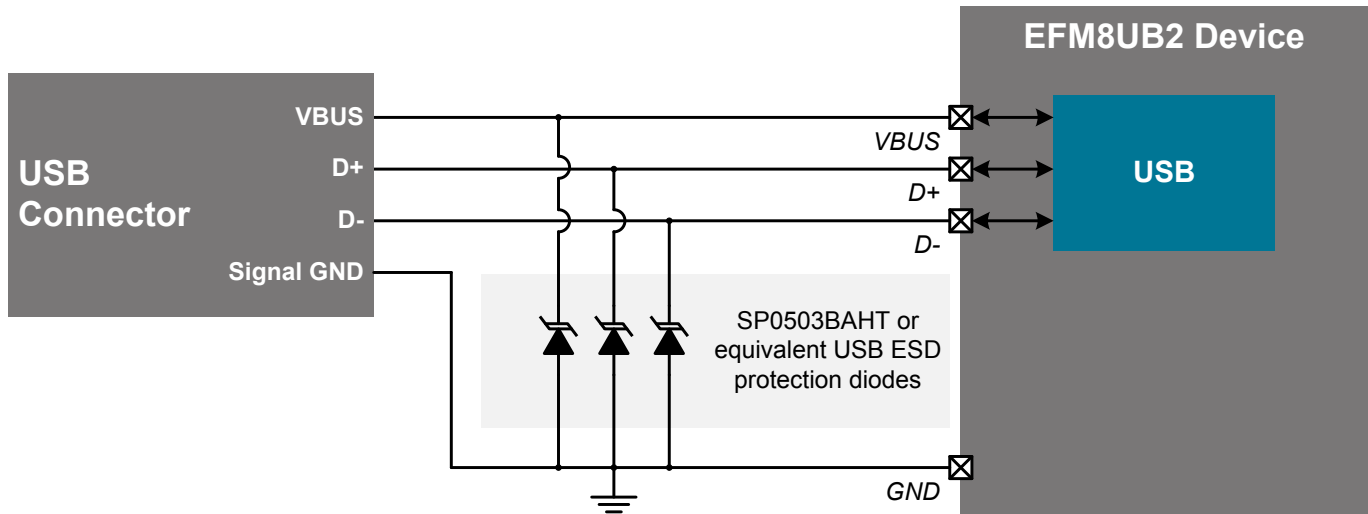


Figure 5.3. USB 引脚连接图

## 5.3 参考电压 (VREF)

Figure 5.4 内部参考电压的连接图 on page 19 显示在使用内部参考电压时，EFM8UB2 设备的参考电压 (VREF) 引脚典型连接图。当使用外部参考电压时，查阅外部参考数据表，以获得连接建议。

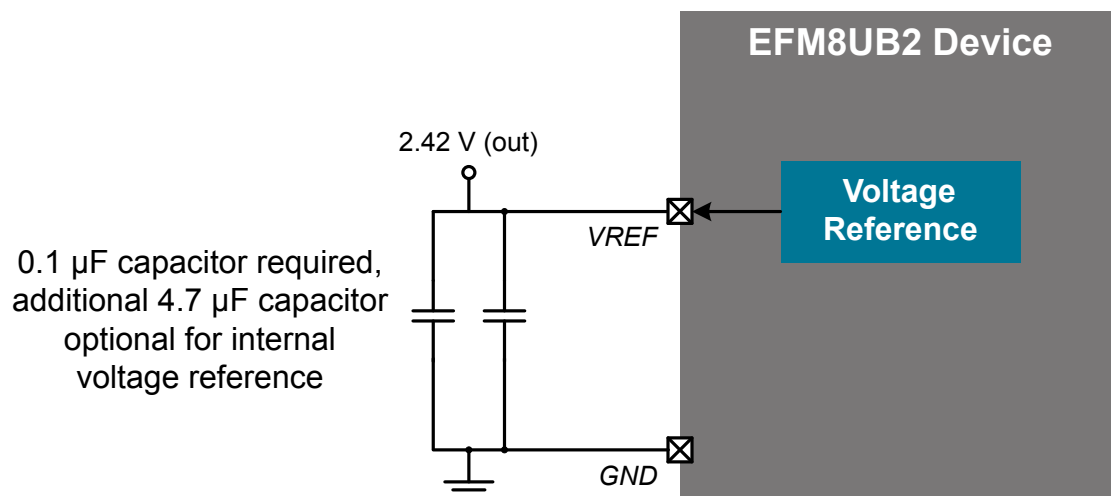


Figure 5.4. 内部参考电压的连接图

## 6. 引脚定义

### 6.1 EFM8UB2x-QFP48 引脚定义

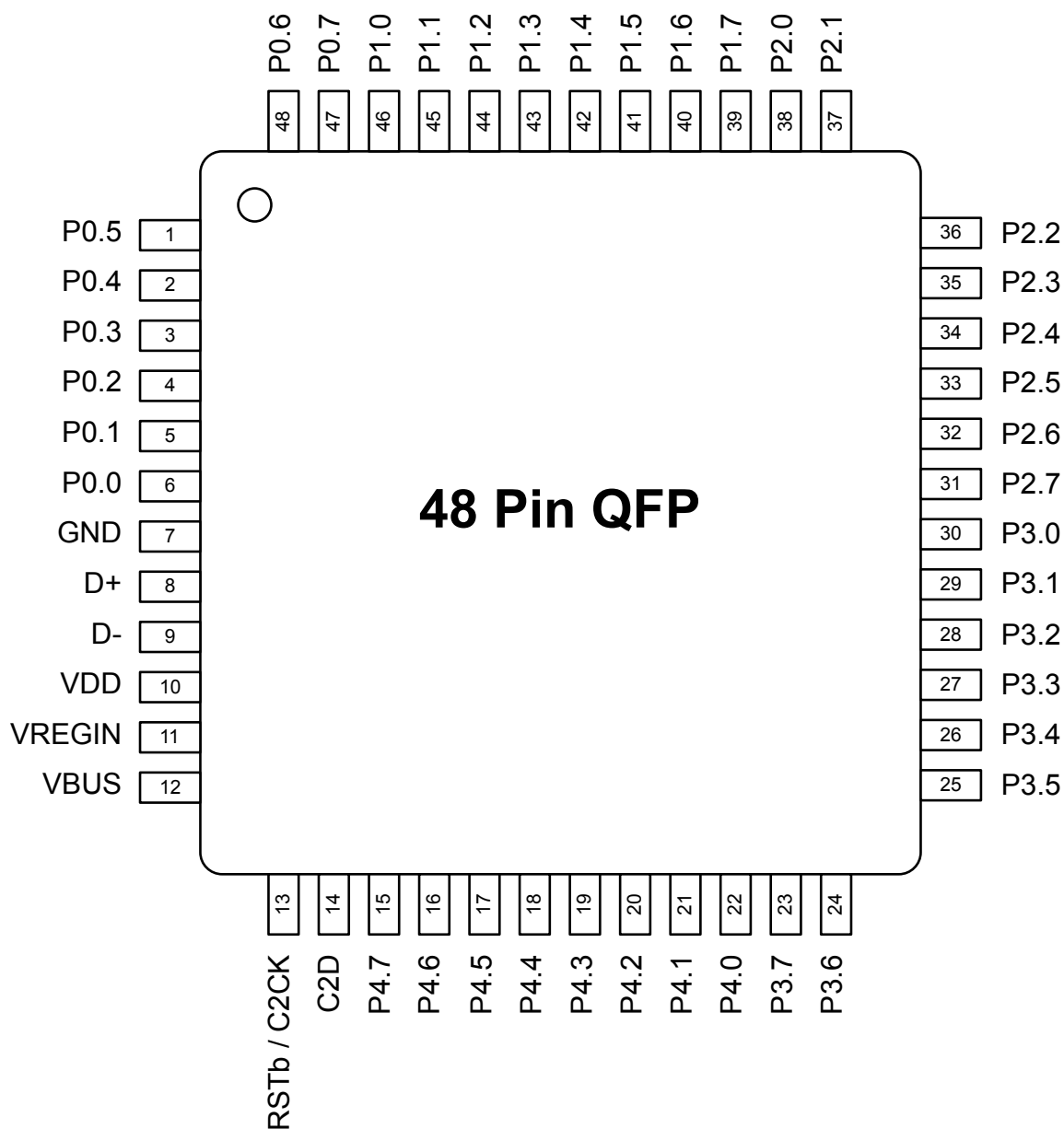


Figure 6.1. EFM8UB2x-QFP48 插脚

Table 6.1. EFM8UB2x-QFP48 的引脚定义

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.5	Multifunction I/O	Yes	UART0_RX INT0.5 INT1.5	
2	P0.4	Multifunction I/O	Yes	UART0_TX INT0.4 INT1.4	ADCOP.18 ADCON.18 CMPON.4
3	P0.3	Multifunction I/O	Yes	INT0.3 INT1.3	ADCOP.17 ADCON.17 CMPOP.4
4	P0.2	Multifunction I/O	Yes	INT0.2 INT1.2	
5	P0.1	Multifunction I/O	Yes	INT0.1 INT1.1	
6	P0.0	Multifunction I/O	Yes	INT0.0 INT1.0	
7	GND	Ground			
8	D+	USB Data Positive			
9	D-	USB Data Negative			
10	VDD	Supply Power Input / 5V Regulator Output			
11	VREGIN	5V Regulator Input			
12	VBUS	USB VBUS Sense Input		VBUS	
13	RST / C2CK	Active-low Reset / C2 Debug Clock			
14	C2D	C2 Debug Data			
15	P4.7	Multifunction I/O		EMIF_D7 EMIF_AD7m	ADCOP.34 ADCON.34
16	P4.6	Multifunction I/O		EMIF_D6 EMIF_AD6m	ADCOP.15 ADCON.15 CMP1N.3
17	P4.5	Multifunction I/O		EMIF_D5 EMIF_AD5m	ADCOP.14 ADCON.14 CMP1P.3

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
18	P4.4	Multifunction I/O		EMIF_D4 EMIF_AD4m	ADCOP. 13 ADCON. 13 CMPON. 3
19	P4.3	Multifunction I/O		EMIF_D3 EMIF_AD3m	ADCOP. 12 ADCON. 12 CMPOP. 3
20	P4.2	Multifunction I/O		EMIF_D2 EMIF_AD2m	ADCOP. 33 ADCON. 33
21	P4.1	Multifunction I/O		EMIF_D1 EMIF_AD1m	ADCOP. 32 ADCON. 32
22	P4.0	Multifunction I/O		EMIF_D0 EMIF_AD0m	ADCOP. 11 ADCON. 11 CMP1N. 2
23	P3.7	Multifunction I/O	Yes	EMIF_A7 EMIF_A15m	ADCOP. 10 ADCON. 10 CMP1P. 2
24	P3.6	Multifunction I/O	Yes	EMIF_A6 EMIF_A14m	ADCOP. 29 ADCON. 29
25	P3.5	Multifunction I/O	Yes	EMIF_A5 EMIF_A13m	ADCOP. 9 ADCON. 9 CMPON. 2
26	P3.4	Multifunction I/O	Yes	EMIF_A4 EMIF_A12m	ADCOP. 8 ADCON. 8 CMPOP. 2
27	P3.3	Multifunction I/O	Yes	EMIF_A3 EMIF_A11m	ADCOP. 28 ADCON. 28
28	P3.2	Multifunction I/O	Yes	EMIF_A2 EMIF_A10m	ADCOP. 27 ADCON. 27
29	P3.1	Multifunction I/O	Yes	EMIF_A1 EMIF_A9m	ADCOP. 7 ADCON. 7 CMP1N. 1
30	P3.0	Multifunction I/O	Yes	EMIF_A0 EMIF_A8m	ADCOP. 6 ADCON. 6 CMP1P. 1
31	P2.7	Multifunction I/O	Yes	EMIF_A15	ADCOP. 26 ADCON. 26

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
32	P2.6	Multifunction I/O	Yes	EMIF_A14	ADCOP. 5 ADCON. 5 CMPON. 1
33	P2.5	Multifunction I/O	Yes	EMIF_A13	ADCOP. 4 ADCON. 4 CMPOP. 1
34	P2.4	Multifunction I/O	Yes	EMIF_A12	ADCOP. 25 ADCON. 25
35	P2.3	Multifunction I/O	Yes	EMIF_A11	ADCOP. 3 ADCON. 3 CMP1N. 0
36	P2.2	Multifunction I/O	Yes	EMIF_A10	ADCOP. 2 ADCON. 2 CMP1P. 0
37	P2.1	Multifunction I/O	Yes	EMIF_A9	ADCOP. 1 ADCON. 1 CMPON. 0
38	P2.0	Multifunction I/O	Yes	EMIF_A8	ADCOP. 0 ADCON. 0 CMPOP. 0
39	P1.7	Multifunction I/O	Yes	EMIF_WRb	ADCOP. 24 ADCON. 24
40	P1.6	Multifunction I/O	Yes	EMIF_RDb	ADCOP. 23 ADCON. 23
41	P1.5	Multifunction I/O	Yes		VREF
42	P1.4	Multifunction I/O	Yes	CNVSTR	
43	P1.3	Multifunction I/O	Yes	EMIF_ALEm	ADCOP. 22 ADCON. 22
44	P1.2	Multifunction I/O	Yes		ADCOP. 20 ADCON. 20 CMP1N. 4
45	P1.1	Multifunction I/O	Yes		ADCOP. 19 ADCON. 19 CMP1P. 4
46	P1.0	Multifunction I/O	Yes		ADCOP. 21 ADCON. 21



Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
47	P0.7	Multifunction I/O	Yes	XTAL2 EXTCLK INT0.7 INT1.7	
48	P0.6	Multifunction I/O	Yes	XTAL1 INT0.6 INT1.6	

6.2 EFM8UB2x-QFP32 引脚定义

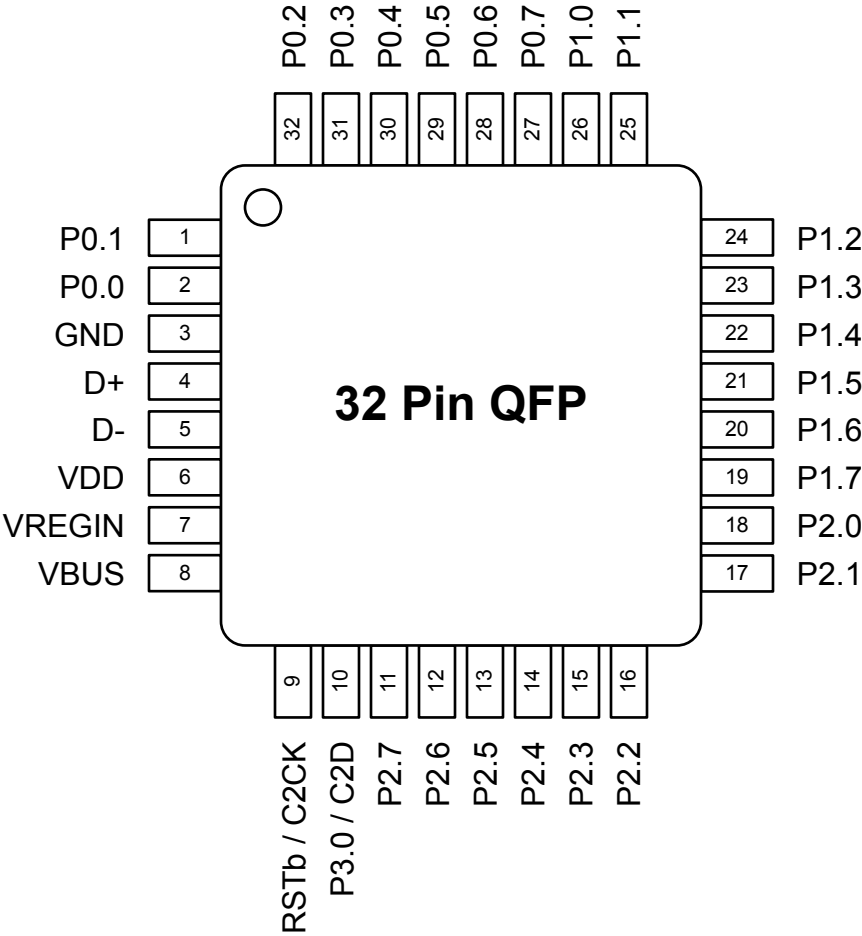


Figure 6.2. EFM8UB2x-QFP32 插脚

Table 6.2. EFM8UB2x-QFP32 的引脚定义

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.1	Multifunction I/O	Yes	INT0.1 INT1.1	ADCOP. 18 ADCON. 18 CMPON. 4
2	P0.0	Multifunction I/O	Yes	INT0.0 INT1.0	ADCOP. 17 ADCON. 17 CMPOP. 4
3	GND	Ground			
4	D+	USB Data Positive			

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
5	D-	USB Data Negative			
6	VDD	Supply Power Input / 5V Regulator Output			
7	VREGIN	5V Regulator Input			
8	VBUS	USB VBUS Sense Input		VBUS	
9	RST / C2CK	Active-low Reset / C2 Debug Clock			
10	P3.0 / C2D	Multifunction I/O / C2 Debug Data	Yes		ADCOP. 16 ADCON. 16
11	P2.7	Multifunction I/O	Yes		ADCOP. 15 ADCON. 15
12	P2.6	Multifunction I/O	Yes		ADCOP. 14 ADCON. 14
13	P2.5	Multifunction I/O	Yes		ADCOP. 13 ADCON. 13 CMPON. 3
14	P2.4	Multifunction I/O	Yes		ADCOP. 12 ADCON. 12 CMPOP. 3
15	P2.3	Multifunction I/O	Yes		ADCOP. 11 ADCON. 11 CMP1N. 2
16	P2.2	Multifunction I/O	Yes		ADCOP. 10 ADCON. 10 CMP1P. 2
17	P2.1	Multifunction I/O	Yes		ADCOP. 9 ADCON. 9 CMPON. 2
18	P2.0	Multifunction I/O	Yes		ADCOP. 8 ADCON. 8 CMPOP. 2
19	P1.7	Multifunction I/O	Yes		ADCOP. 7 ADCON. 7 CMP1N. 1

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
20	P1.6	Multifunction I/O	Yes		ADCOP. 6 ADCON. 6 CMP1P. 1
21	P1.5	Multifunction I/O	Yes		ADCOP. 5 ADCON. 5 CMPON. 1
22	P1.4	Multifunction I/O	Yes		ADCOP. 4 ADCON. 4 CMPOP. 1
23	P1.3	Multifunction I/O	Yes		ADCOP. 3 ADCON. 3 CMP1N. 0
24	P1.2	Multifunction I/O	Yes		ADCOP. 2 ADCON. 2 CMP1P. 0
25	P1.1	Multifunction I/O	Yes		ADCOP. 1 ADCON. 1 CMPON. 0
26	P1.0	Multifunction I/O	Yes		ADCOP. 0 ADCON. 0 CMPOP. 0
27	P0.7	Multifunction I/O	Yes	INT0. 7 INT1. 7	VREF
28	P0.6	Multifunction I/O	Yes	CNVSTR INT0. 6 INT1. 6	
29	P0.5	Multifunction I/O	Yes	INT0. 5 INT1. 5 UART0_RX	ADCOP. 20 ADCON. 20 CMP1N. 4
30	P0.4	Multifunction I/O	Yes	INT0. 4 INT1. 4 UART0_TX	ADCOP. 19 ADCON. 19 CMP1P. 4
31	P0.3	Multifunction I/O	Yes	EXTCLK INT0. 3 INT1. 3	

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
32	P0.2	Multifunction I/O	Yes	INT0.2 INT1.2	

6.3 EFM8UB2x-QFN32 引脚定义

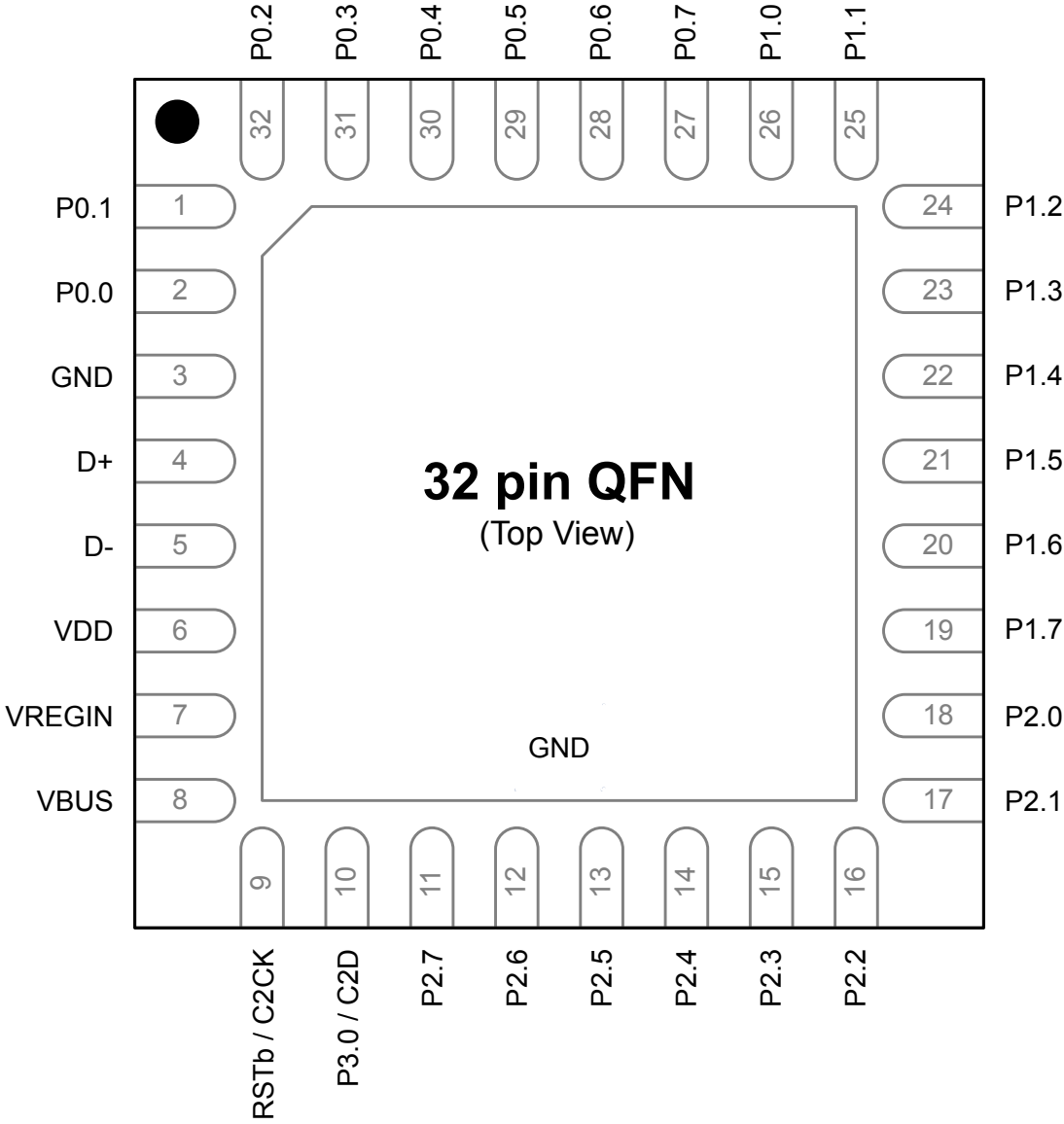


Figure 6.3. EFM8UB2x-QFN32 插脚

Table 6.3. EFM8UB2x-QFN32 的引脚定义

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.1	Multifunction I/O	Yes	INT0.1 INT1.1	ADCOP. 18 ADCON. 18 CMPON. 4

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
2	P0.0	Multifunction I/O	Yes	INT0.0 INT1.0	ADCOP.17 ADCON.17 CMPOP.4
3	GND	Ground			
4	D+	USB Data Positive			
5	D-	USB Data Negative			
6	VDD	Supply Power Input / 5V Regulator Output			
7	VREGIN	5V Regulator Input			
8	VBUS	USB VBUS Sense Input		VBUS	
9	RST / C2CK	Active-low Reset / C2 Debug Clock			
10	P3.0 / C2D	Multifunction I/O / C2 Debug Data	Yes		ADCOP.16 ADCON.16
11	P2.7	Multifunction I/O	Yes		ADCOP.15 ADCON.15
12	P2.6	Multifunction I/O	Yes		ADCOP.14 ADCON.14
13	P2.5	Multifunction I/O	Yes		ADCOP.13 ADCON.13 CMPON.3
14	P2.4	Multifunction I/O	Yes		ADCOP.12 ADCON.12 CMPOP.3
15	P2.3	Multifunction I/O	Yes		ADCOP.11 ADCON.11 CMP1N.2
16	P2.2	Multifunction I/O	Yes		ADCOP.10 ADCON.10 CMP1P.2
17	P2.1	Multifunction I/O	Yes		ADCOP.9 ADCON.9 CMPON.2
18	P2.0	Multifunction I/O	Yes		ADCOP.8 ADCON.8 CMPOP.2

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
19	P1.7	Multifunction I/O	Yes		ADCOP. 7 ADCON. 7 CMP1N. 1
20	P1.6	Multifunction I/O	Yes		ADCOP. 6 ADCON. 6 CMP1P. 1
21	P1.5	Multifunction I/O	Yes		ADCOP. 5 ADCON. 5 CMPON. 1
22	P1.4	Multifunction I/O	Yes		ADCOP. 4 ADCON. 4 CMPOP. 1
23	P1.3	Multifunction I/O	Yes		ADCOP. 3 ADCON. 3 CMP1N. 0
24	P1.2	Multifunction I/O	Yes		ADCOP. 2 ADCON. 2 CMP1P. 0
25	P1.1	Multifunction I/O	Yes		ADCOP. 1 ADCON. 1 CMPON. 0
26	P1.0	Multifunction I/O	Yes		ADCOP. 0 ADCON. 0 CMPOP. 0
27	P0.7	Multifunction I/O	Yes	INT0. 7 INT1. 7	VREF
28	P0.6	Multifunction I/O	Yes	CNVSTR INT0. 6 INT1. 6	
29	P0.5	Multifunction I/O	Yes	INT0. 5 INT1. 5 UART0_RX	ADCOP. 20 ADCON. 20 CMP1N. 4
30	P0.4	Multifunction I/O	Yes	INT0. 4 INT1. 4 UART0_TX	ADCOP. 19 ADCON. 19 CMP1P. 4



Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
31	P0.3	Multifunction I/O	Yes	EXTCLK INT0.3 INT1.3	
32	P0.2	Multifunction I/O	Yes	INT0.2 INT1.2	
Center	GND	Ground			

## 7. QFP48 封装规格

### 7.1 QFP48 封装尺寸

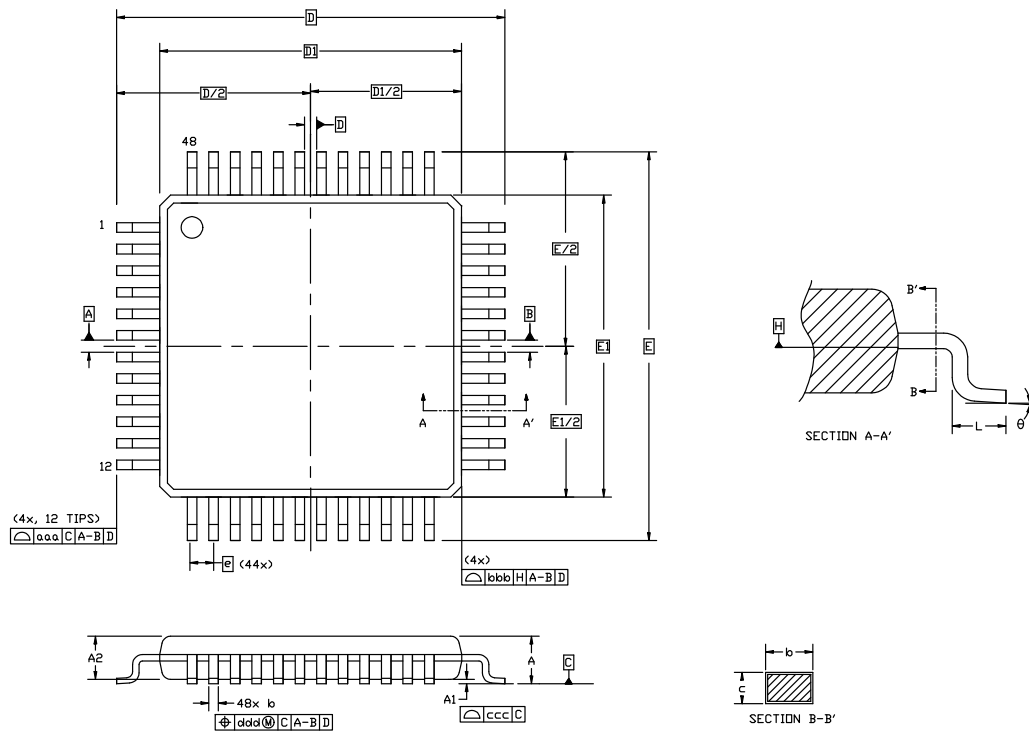


Figure 7.1. QFP48 封装图

Table 7.1. QFP48 封装尺寸

Dimension	Min	Typ	Max
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b	0.17	0.22	0.27
D	9.00 BSC		
D1	7.00 BSC		
e	0.50 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
aaa	0.20		
bbb	0.20		

Dimension	Min	Typ	Max
ccc	0.08		
ddd	0.08		
theta	0°	3.5°	7°
<b>Note:</b> <ol style="list-style-type: none"> <li>1. All dimensions shown are in millimeters (mm) unless otherwise noted.</li> <li>2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.</li> <li>3. This drawing conforms to JEDEC outline MS-026, variation ABC.</li> <li>4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.</li> </ol>			

7.2 QFP48 PCB 焊盘布局

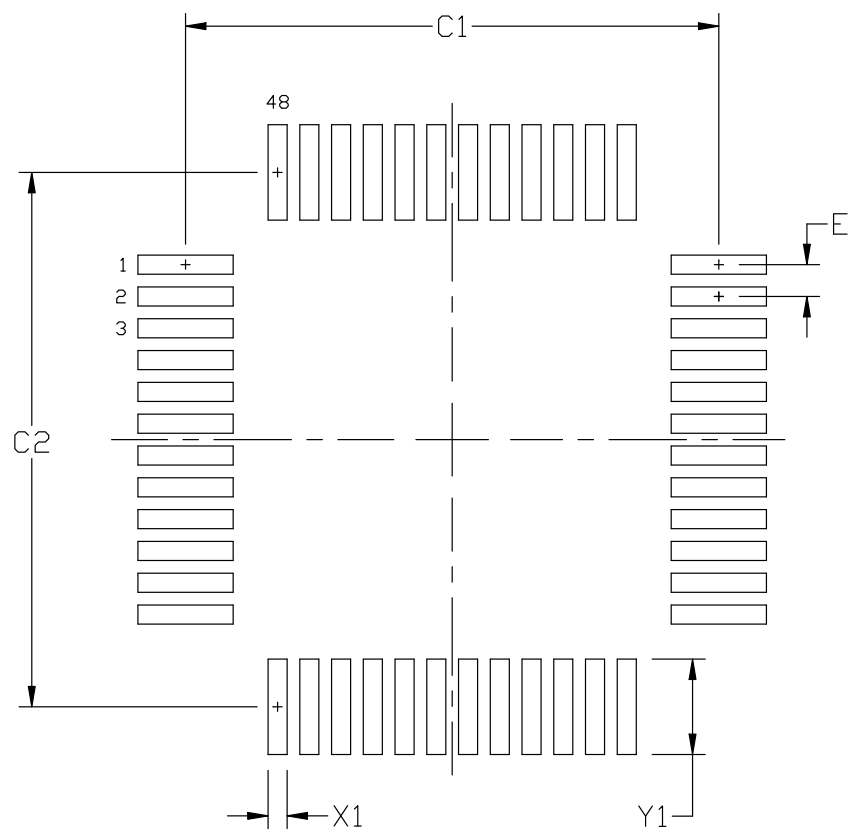


Figure 7.2. QFP48 PCB 焊盘布局图

Table 7.2. QFP48 PCB 焊盘布局尺寸

Dimension	Min	Max
C1	8.30	8.40
C2	8.30	8.40
E	0.50 BSC	
X1	0.20	0.30
Y1	1.40	1.50

Dimension	Min	Max
<b>Note:</b> <ol style="list-style-type: none"> <li>1. All dimensions shown are in millimeters (mm) unless otherwise noted.</li> <li>2. This Land Pattern Design is based on the IPC-7351 guidelines.</li> <li>3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 <math>\mu\text{m}</math> minimum, all the way around the pad.</li> <li>4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.</li> <li>5. The stencil thickness should be 0.125 mm (5 mils).</li> <li>6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.</li> <li>7. A No-Clean, Type-3 solder paste is recommended.</li> <li>8. The recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.</li> </ol>		

### 7.3 QFP48 封装标识

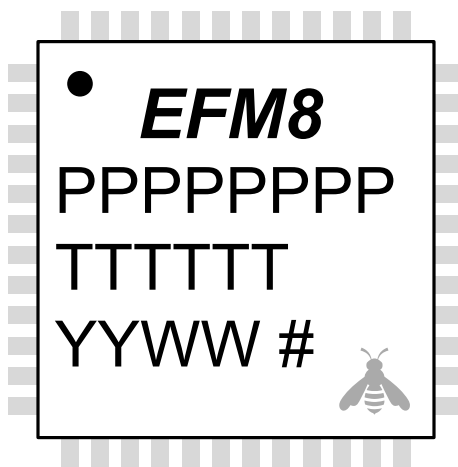


Figure 7.3. QFP48 封装标识

封装标识的组成为：

- P P P P P P P P - 指定的部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

## 8. QFP32 封装规格

### 8.1 QFP32 封装尺寸

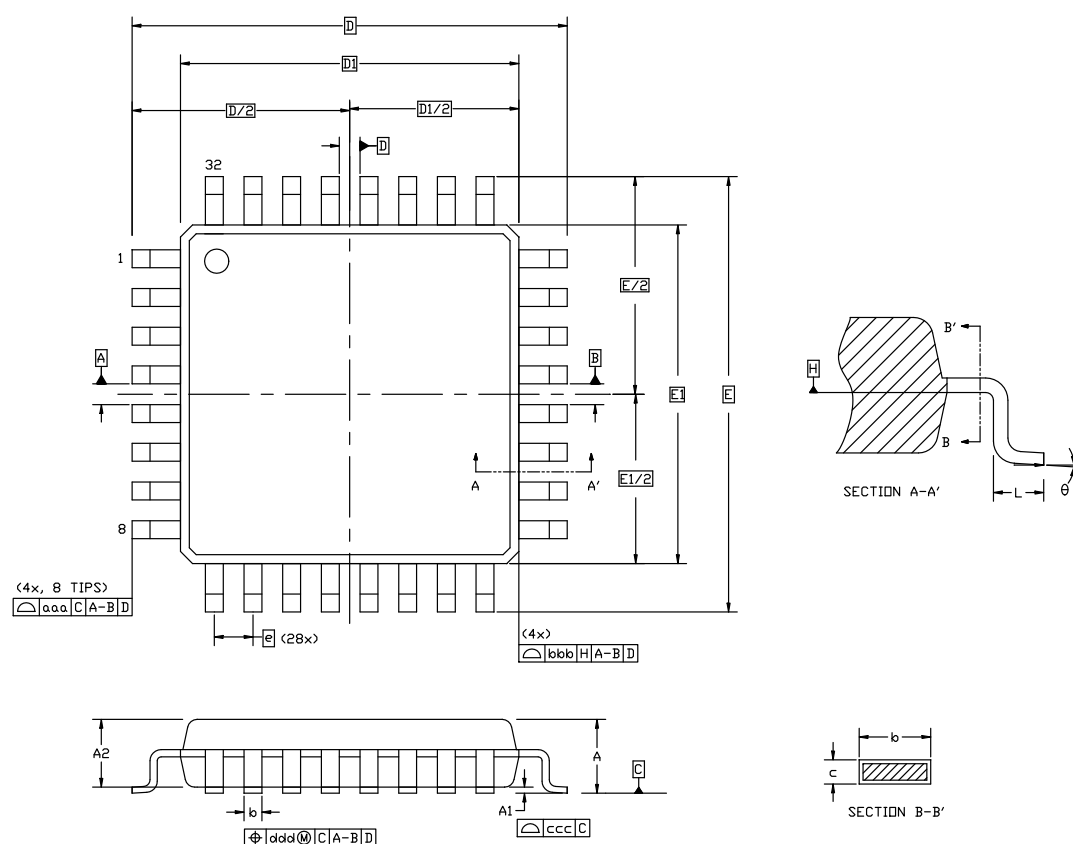


Figure 8.1. QFP32 封装图

Table 8.1. QFP32 封装尺寸

Dimension	Min	Typ	Max
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
b	0.30	0.37	0.45
D	9.00 BSC		
D1	7.00 BSC		
e	0.80 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
aaa	0.20		

Dimension	Min	Typ	Max
bbb	0.20		
ccc	0.10		
ddd	0.20		
theta	0°	3.5°	7°

**Note:**

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to JEDEC outline MS-026, variation BBA.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.

## 8.2 QFP32 PCB 焊盘布局

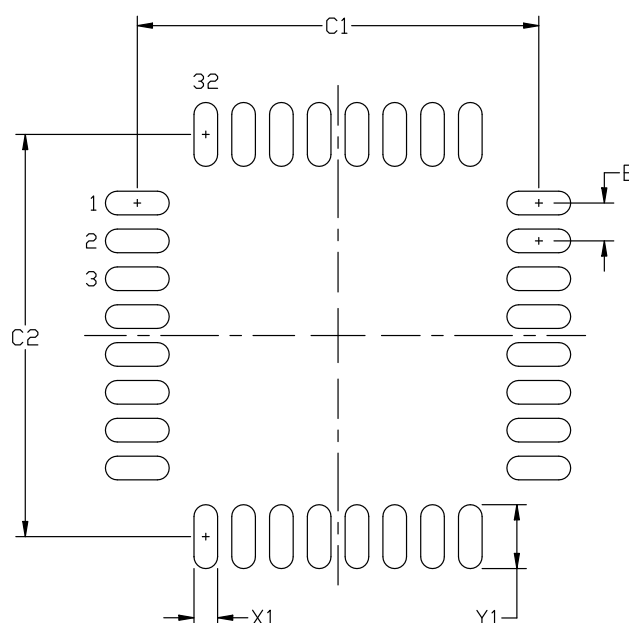


Figure 8.2. QFP32 PCB 焊盘布局图

Table 8.2. QFP32 PCB 焊盘布局尺寸

Dimension	Min	Max
C1	8.40	8.50
C2	8.40	8.50
E	0.80 BSC	
X1	0.40	0.50
Y1	1.25	1.35

**Note:**

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. This Land Pattern Design is based on the IPC-7351 guidelines.
3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60  $\mu\text{m}$  minimum, all the way around the pad.
4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.
5. The stencil thickness should be 0.125 mm (5 mils).
6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.
7. A No-Clean, Type-3 solder paste is recommended.
8. The recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.



## 8.3 QFP32 封装标识

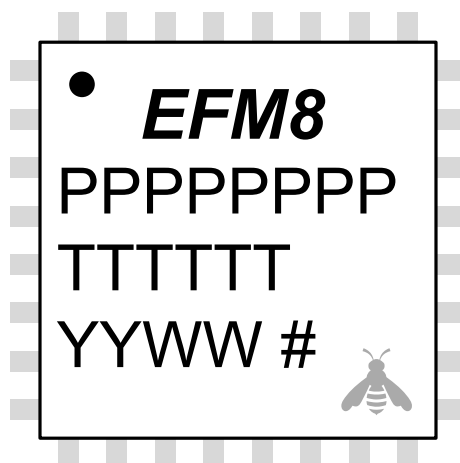


Figure 8.3. QFP32 封装标识

封装标识的组成为：

- P P P P P P P P - 指定的部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

## 9. QFP32 封装规格

## 9.1 QFN32 封装尺寸

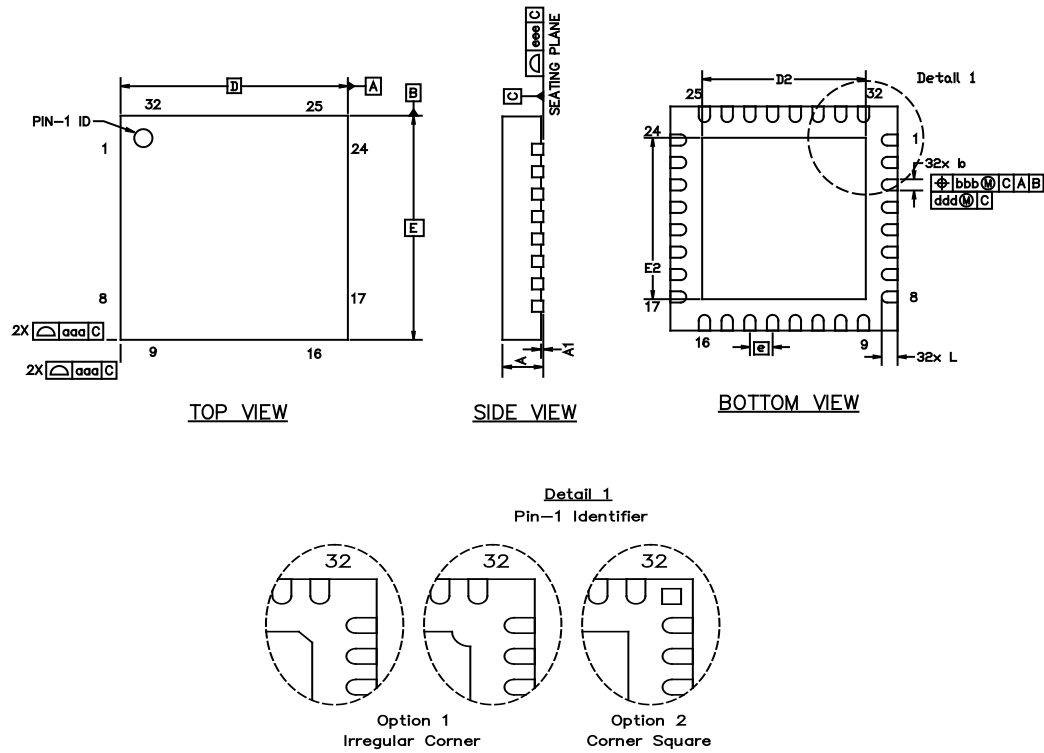


Figure 9.1. QFN32 封装图

Table 9.1. QFN32 封装尺寸

Dimension	Min	Typ	Max
A	0.80	0.85	0.90
A1	0.00	0.02	0.05
b	0.18	0.25	0.30
D	5.00 BSC		
D2	3.20	3.30	3.40
e	0.50 BSC		
E	5.00 BSC		
E2	3.20	3.30	3.40
L	0.35	0.40	0.45
aaa	—	—	0.10
bbb	—	—	0.10
ddd	—	—	0.05

Dimension	Min	Typ	Max
eee	—	—	0.08
<b>Note:</b> 1. All dimensions shown are in millimeters (mm) unless otherwise noted. 2. Dimensioning and Tolerancing per ANSI Y14.5M-1994. 3. This drawing conforms to JEDEC Solid State Outline MO-220, variation VHHD except for custom features D2, E2, and L which are toleranced per supplier designation. 4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.			

## 9.2 QFN32 PCB 焊盘布局

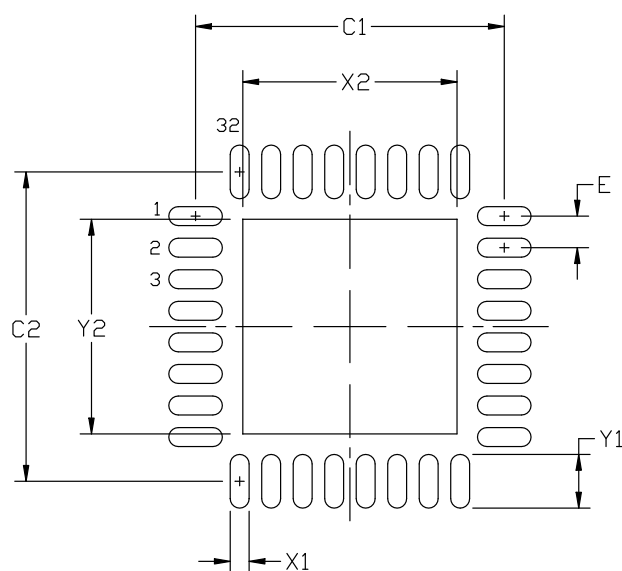


Figure 9.2. QFN32 PCB 焊盘布局图

Table 9.2. QFN32 PCB 焊盘布局尺寸

Dimension	Min	Max
C1	4.80	4.90
C2	4.80	4.90
E	0.50 BSC	
X1	0.20	0.30
X2	3.20	3.40
Y1	0.75	0.85
Y2	3.20	3.40

**Note:**

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. This Land Pattern Design is based on the IPC-7351 guidelines.
3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60  $\mu\text{m}$  minimum, all the way around the pad.
4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.
5. The stencil thickness should be 0.125 mm (5 mils).
6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.
7. A 3 x 3 array of 1.0 mm x 1.0 mm openings on a 1.2 mm pitch should be used for the center pad.
8. A No-Clean, Type-3 solder paste is recommended.
9. The recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.

## 9.3 QFN32 封装标识

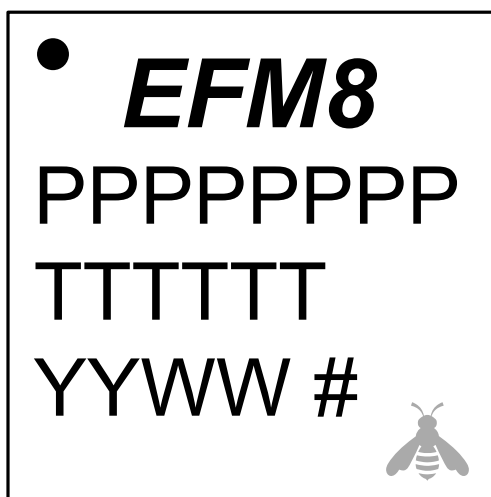


Figure 9.3. QFN32 封装标识

封装标识的组成为：

- P P P P P P P P - 指定的部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

## 10. 版本历史

### 10.1 版本 1.2

VDD Ramp 时间规范更新为 [Table 4.3 复位和电源监控器 on page 11](#) 最多 1 ms。

### 10.2 版本 1.1

首次发行。

<b>1. 功能列表</b>	<b>1</b>
<b>2. 订购信息</b>	<b>2</b>
<b>3. 系统概述</b>	<b>4</b>
3.1 简介	4
3.2 电源	5
3.3 I/O	5
3.4 时钟	5
3.5 定时器/计数器和 PWM	6
3.6 通信和其他数字外围设备	7
3.7 模拟	8
3.8 复位源	9
3.9 调试	9
3.10 引导装载程序	9
<b>4. 电气规格</b>	<b>10</b>
4.1 电气特性	10
4.2 热状态	16
4.3 绝对最大额定值	17
4.4 典型性能曲线	17
<b>5. 典型连接图</b>	<b>18</b>
5.1 电源	18
5.2 USB	19
5.3 参考电压 (VREF)	19
<b>6. 引脚定义</b>	<b>20</b>
6.1 EFM8UB2x-QFP48 引脚定义	20
6.2 EFM8UB2x-QFP32 引脚定义	25
6.3 EFM8UB2x-QFN32 引脚定义	29
<b>7. QFP48 封装规格</b>	<b>33</b>
7.1 QFP48 封装尺寸	33
7.2 QFP48 PCB 焊盘布局	35
7.3 QFP48 封装标识	36
<b>8. QFP32 封装规格</b>	<b>37</b>
8.1 QFP32 封装尺寸	37
8.2 QFP32 PCB 焊盘布局	39
8.3 QFP32 封装标识	40
<b>9. QFN32 封装规格</b>	<b>41</b>

---

9.1	QFN32 封装尺寸 . . . . .	41
9.2	QFN32 PCB 焊盘布局 . . . . .	43
9.3	QFN32 封装标识 . . . . .	44
10.	版本历史 . . . . .	45
10.1	版本 1.2 . . . . .	45
10.2	版本 1.1 . . . . .	45
	目录 . . . . .	46



## Simplicity Studio

One-click access to MCU tools, documentation, software, source code libraries & more. Available for Windows, Mac and Linux!

[www.silabs.com/simplicity](http://www.silabs.com/simplicity)



**MCU Portfolio**  
[www.silabs.com/mcu](http://www.silabs.com/mcu)



**SW/HW**  
[www.silabs.com/simplicity](http://www.silabs.com/simplicity)



**Quality**  
[www.silabs.com/quality](http://www.silabs.com/quality)



**Support and Community**  
[community.silabs.com](http://community.silabs.com)

### Disclaimer

Silicon Laboratories intends to provide customers with the latest, accurate, and in-depth documentation of all peripherals and modules available for system and software implementers using or intending to use the Silicon Laboratories products. Characterization data, available modules and peripherals, memory sizes and memory addresses refer to each specific device, and "Typical" parameters provided can and do vary in different applications. Application examples described herein are for illustrative purposes only. Silicon Laboratories reserves the right to make changes without further notice and limitation to product information, specifications, and descriptions herein, and does not give warranties as to the accuracy or completeness of the included information. Silicon Laboratories shall have no liability for the consequences of use of the information supplied herein. This document does not imply or express copyright licenses granted hereunder to design or fabricate any integrated circuits. The products must not be used within any Life Support System without the specific written consent of Silicon Laboratories. A "Life Support System" is any product or system intended to support or sustain life and/or health, which, if it fails, can be reasonably expected to result in significant personal injury or death. Silicon Laboratories products are generally not intended for military applications. Silicon Laboratories products shall under no circumstances be used in weapons of mass destruction including (but not limited to) nuclear, biological or chemical weapons, or missiles capable of delivering such weapons.

### Trademark Information

Silicon Laboratories Inc., Silicon Laboratories, Silicon Labs, SiLabs and the Silicon Labs logo, CMEMS®, EFM, EFM32, EFR, Energy Micro, Energy Micro logo and combinations thereof, "the world's most energy friendly microcontrollers", Ember®, EZLink®, EZMac®, EZRadio®, EZRadioPRO®, DSPLL®, ISOmodem®, Precision32®, ProSLIC®, SiPHY®, USBXpress® and others are trademarks or registered trademarks of Silicon Laboratories Inc. ARM, CORTEX, Cortex-M3 and THUMB are trademarks or registered trademarks of ARM Holdings. Keil is a registered trademark of ARM Limited. All other products or brand names mentioned herein are trademarks of their respective holders.



Silicon Laboratories Inc.  
400 West Cesar Chavez  
Austin, TX 78701  
USA

<http://www.silabs.com>