# Cesar Albenes Zeferino

Endereço para acessar este CV: http://lattes.cnpq.br/9888386354516064

ID Lattes: 9888386354516064

Última atualização do currículo em 12/07/2021

# Resumo

Possui graduação em Engenharia Elétrica pela Universidade Federal de Santa Maria (1993), mestrado em Ciência da Computação pela Universidade Federal de Santa Catarina (1996) e doutorado em Ciência da Computação pela Universidade Federal do Rio Grande do Sul (2003), com estágio na Université Pierre et Marie Curie / Sorbonne University (2001). Tem experiência em ensino, pesquisa e desenvolvimento na área de Computação, com ênfase em Arquitetura de Sistemas de Computação. &#10;&#10;Atualmente é professor da Universidade do Vale do Itajaí, onde é Gerente de Pesquisa e Pós-Graduação da Instituição e líder do grupo de pesquisa LEDS - Laboratory of Embedded and Distributed Systems.. &#10;&#10;É membro da Sociedade Brasileira de Computação (SBC), da Sociedade Brasileira de Microeletrônica (SBMicro) e da IEEE Circuits and Systems Society. É também membro consultor ad-hoc das agências de fomento Capes, CNPq e FAPESC, assim como revisor de diversos periódicos científicos..&#10;&#10;Os principais tópicos de pesquisa de seu interesse incluem: Sistemas Embarcados, com ênfase em tecnologias para a Internet das Coisas, e Projeto de Sistemas Digitais, com foco em arquiteturas de comunicação chaveadas de alto desempenho para sistemas integrados em um único chip (NoCs - Networks-on-Chip) e aceleradores de hardware para o processamento digital de imagens.

# Identificação

|  |  |
| --- | --- |
| Nome | Cesar Albenes Zeferino |
| Nome em citações bibliográficas | ZEFERINO, Cesar Albenes;ZEFERINO, C. A.;ZEFERINO, CESAR;ZEFERINO, CESAR A.;ALBENES ZEFERINO, CESAR;A. ZEFERINO, CESAR |
| Lattes iD | 9888386354516064 |
| Orcid iD | https://orcid.org/0000-0003-3039-4410 |

# Endereço

|  |  |
| --- | --- |
| Endereço Profissional | Universidade do Vale do Itajaí, Centro de Ciências Tecnológicas da Terra e do Mar - CTTMar |
|  | Rua Uruguai - de 402 ao fim - lado par |
|  | Centro |
|  | 88302202 - Itajaí, SC - Brasil - Caixa-postal: 360 |
|  | Telefone: (47) 33417911 |
|  | Fax: (47) 33417544 |

# Artigos completos publicados em periódicos

|  |  |
| --- | --- |
| **1** | SESTREM OCHÔA, IAGO; REIS QUIETINHO LEITHARDT, VALDERI; CALBUSCH, Leonardo; DE PAZ SANTANA, JUAN FRANCISCO; DELCIO PARREIRA, WEMERSON; ORIEL SEMAN, LAIO; ZEFERINO, Cesar Albenes. Performance and Security Evaluation on a Blockchain Architecture for License Plate Recognition Systems. Applied Sciences-Basel, v. 11, p. 1255-1255:21, 2021. |
| **2** | VERRI LUCCA, ARIELLE; MARIANO SBORZ, GUILHERME AUGUSTO; LEITHARDT, Valderi Reis Quietinho; BEKO, MARKO; ALBENES ZEFERINO, CESAR; PARREIRA, WEMERSON DELCIO. A Review of Techniques for Implementing Elliptic Curve Point Multiplication on Hardware. JOURNAL OF SENSOR AND ACTUATOR NETWORKS, v. 10, p. 3-17, 2021. |
| **3** | UHLENDORF, Roseli da Silveira; VIEL, Felipe; SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. An MPI-based MPSoC Platform in FPGA. IEEE Latin America Transactions, v. 19, p. 697-705, 2021. |
| **4** | DA SILVA, LUCAS D. L.; PEREIRA, THIAGO F.; LEITHARDT, VALDERI R. Q.; SEMAN, LAIO O.; ZEFERINO, CESAR A.. Hybrid Impedance-Admittance Control for Upper Limb Exoskeleton Using Electromyography. Applied Sciences-Basel, v. 10, p. 7146-, 2020. |
| **5** | CESCONETTO, JONAS; AUGUSTO SILVA, LUÍS; BORTOLUZZI, FABRICIO; NAVARRO-CÁCERES, MARÍA; A. ZEFERINO, CESAR; R. Q. LEITHARDT, VALDERI. PRIPRO-Privacy Profiles: User Profiling Management for Smart Environments. ELECTRONICS, v. 9, p. 1519-1519:22, 2020. |
| **6** | VIEL, Felipe; PARREIRA, WEMERSON DELCIO; SUSIN, Altamiro Amadeu; ZEFERINO, Cesar Albenes. A Hardware Accelerator for Onboard Spatial Resolution Enhancement of Hyperspectral Images. IEEE Geoscience and Remote Sensing Letters, v. 17, p. 1-5, 2020. |
| **7** | VIEL, Felipe; AUGUSTO SILVA, LUIS; LEITHARDT, Valderi Reis Quietinho; DE PAZ SANTANA, JUAN FRANCISCO; CELESTE GHIZONI TEIVE, RAIMUNDO; ALBENES ZEFERINO, CESAR. An Efficient Interface for the Integration of IoT Devices with Smart Grids. SENSORS, v. 20, p. 2849-, 2020. |
| **8** | LEITHARDT, Valderi Reis Quietinho; SANTOS, Douglas Almeida dos; SILVA, Luis Augusto; VIEL, Felipe; ZEFERINO, CESAR; SILVA, Jorge Sá. A Solution for Dynamic Management of User Profiles in IoT Environments. IEEE Latin America Transactions, v. 18, p. 1193-1199, 2020. |
| **9** | ALVES DA SILVA, EDUARDO; KREUTZ, Márcio Eduardo; ZEFERINO, Cesar Albenes. Experimental Data from the Simulation of On-Chip Communication Architectures using RedScarf Simulation Environment. DATA IN BRIEF, v. 1, p. 104725-104738, 2019. |
| **10** | MELO, DOUGLAS R.; ZEFERINO, CESAR A.; DILILLO, LUIGI; BEZERRA, EDUARDO A.. Maximizing the Inner Resilience of a Network-on-Chip through Router Controllers Design. SENSORS, v. 19, p. 5416-, 2019. |
| **11** | DA SILVA, EDUARDO A.; KREUTZ, MÁRCIO E.; ZEFERINO, CESAR A.. RedScarf: an open-source multi-platform simulation environment for performance evaluation of Networks-on-Chip. JOURNAL OF SYSTEMS ARCHITECTURE, v. 99, p. 101633-101648, 2019. |
| **12** | PEREIRA, Thiago Felski; MELO, Douglas Rossi; BEZERRA, Eduardo Augusto; ZEFERINO, Cesar Albenes. Mechanisms to Provide Fault Tolerance to a Network-on-Chip. IEEE Latin America Transactions, v. 15, p. 1034-1042, 2017. |
| **13** | VIEL, Felipe; WEIDLE JR., Guilherme Frederico; ZEFERINO, Cesar Albenes. Sistema integrado para o processamento do Filtro de Difusão Anisotrópica em FPGA. REVISTA DE SISTEMAS E COMPUTAÇÃO - RSC, v. 7, p. 406-424, 2017. |
| **14** | VIEIRA, Paulo Viniccius; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Projeto BIP: impactos de 10 anos de uso de uma proposta interdisciplinar de ensino de Computação. INTERNATIONAL JOURNAL OF COMPUTER ARCHITECTURE EDUCATION, v. 5, p. 32-37, 2016. |
| **15** | VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes; RAABE, ANDRÉ LUIS. Avaliação Empírica da Proposta Interdisciplinar de Uso dos Processadores BIP. REVISTA BRASILEIRA DE INFORMÁTICA NA EDUCAÇÃO, v. 23, p. 99-110, 2015. |
| **16** | SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. Uma Análise sobre Ferramentas de Redes-em-Chip e seus Recursos para Uso no Ensino. International Journal of Computer Architecture Education, v. 4, p. 29-32, 2015. |
| **17** | MELO, Douglas Rossi; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. XIRU: Interface de Rede Extensível para Integração de Núcleos a uma Rede-em-Chip. REVISTA DE INFORMÁTICA TEÓRICA E APLICADA: RITA, v. 21, p. 10-, 2014. |
| **18** | OLIVEIRA JR., Nereu Pires de; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Implementando Suporte a Novas Linguagens de Programação e outros Idiomas no Ambiente de Desenvolvimento Integrado Bipide. International Journal of Computer Architecture Education, v. 3, p. 5-8, 2014. |
| **19** | BARON, Sidnei; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Segurança em Redes-em-Chip: Conceitos e Revisão do Estado da Arte. REVISTA DE INFORMÁTICA TEÓRICA E APLICADA: RITA, v. 21, p. 110-, 2014. |
| **20** | VIEIRA, Paulo Viniccius; RECH, Paulo Roberto Machado; MENSCH, Roney Carlos; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Estendendo a arquitetura dos processadores BIP para ampliar o seu potencial de uso em disciplinas de introdução a programação. International Journal of Computer Architecture Education, v. 1, p. 1-10, 2012. |
| **21** | VIEIRA, Paulo Viniccius; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Bipide - Ambiente de Desenvolvimento Integrado para a Arquitetura dos Processadores BIP. REVISTA BRASILEIRA DE INFORMÁTICA NA EDUCAÇÃO, v. 18, p. 32-43, 2010. |
| **22** | MORANDI, Diana; PEREIRA, Maicon Carlos; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Um processador básico para o ensino de conceitos de arquitetura e organização de computadores. Hífen (Uruguaiana), v. 30, p. 73-80, 2006. |
| **23** | HEIL, Maiara; ZEFERINO, Cesar Albenes; TORRES, Roberto Miguel; CANCIAN, Rafael Luiz. Escalonamento de requisições em um sistema para gerenciamento do acesso a um observatório remoto. Hífen (Uruguaiana), v. , p. 243-250, 2005. |
| **24** | FIAMONCINI, Julio Cesar; CANCIAN, Rafael Luiz; ZEFERINO, Cesar Albenes. Desenvolvimento de Drivers de Dispositivos para uma Plataforma de Sistema Embarcado Microcontrolado. Hífen (Uruguaiana), v. 28, p. 83-88, 2004. |
| **25** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Modelos Parametrizáveis de Árbitros Centralizados para a Síntese de Redes-em-Chip. Hífen (Uruguaiana), v. , p. 91-96, 2003. |
| **26** | SANTO, Frederico Guilherme Mariani do Espírito; ZEFERINO, Cesar Albenes. Projeto e Avaliação de Árbitros para Redes-em-Chip. Hífen (Uruguaiana), v. 26, p. 81-86, 2002. |
| **27** | KREUTZ, Márcio Eduardo; ZEFERINO, Cesar Albenes; CARRO, Luigi; SUSIN, Altamiro Amadeu. Análise e Seleção de Redes de Interconexão para Síntese de Sistemas no Ambiente S3E2S. REVISTA DE INFORMÁTICA TEÓRICA E APLICADA (IMPRESSO), v. 8, p. 83-101, 2001. |

# Livros publicados/organizados ou edições

|  |  |
| --- | --- |
| **1** | ZEFERINO, CESAR; MELO, Ana Cláudia Reiser; VIEIRA, Adriana Dalçoquio; MAFRA, Isadora Siqueira; PEREZ, Lilian Helena Franzen; SBORZ, Guilherme Augusto. Anais do 18o Seminário de Iniciação Científica e da 7a Mostra Científica de Integração Pós-Graduação e Graduação. 18. ed. Itajaí: Universidade do Vale do Itajaí, 2019. v. 1. 242p. |
| **2** | ROSA JUNIOR, Leomar Soares da; AGOSTINI, Luciano Volcan; ZEFERINO, Cesar Albenes; BOEMO, Eduardo; GLESNER, Manfred. Proceedings of the 8th Southern Programmable Logic Conference. 1. ed. Bento Gonçalves: UFPEL, 2012. v. . 258p. |

# Capítulos de livros publicados

|  |  |
| --- | --- |
| **1** | RECALCATTI, Éderson; PEREIRA, Rodrigo Vinícius Mendonça; ZEFERINO, Cesar Albenes. Uso do protocolo LIN na interconexão de sistemas em satélites artificiais. In: Coordenação do Programa UNIESPAÇO (Org.). Rumo à independência tecnológica do Programa Espacial Brasileiro - Volume 2 1a ed. Brasília: AEB, 2013, vol. 2, p. 19-32. |
| **2** | ZEFERINO, Cesar Albenes; RAABE, André Luis Alice; VIEIRA, Paulo Viniccius; PEREIRA, Maicon Carlos. Um Enfoque Interdisciplinar no Ensino de Arquitetura de Computadores. In: MARTINS, Carlos Augusto Paiva da Silva; NAVAUX, Philippe Olivier Alexandre; AZEVEDO, Rodolfo Jardim de; KOFUJI, Sérgio Takeo (Org.). Arquitetura de Computadores: educação, ensino e aprendizado 1 ed. Porto Alegre: Sociedade Brasileira de Computação (SBC), 2012, p. 165-193. |
| **3** | ZEFERINO, Cesar Albenes. Introdução às redes-em-chip. In: GÜNTZEL, José; FRANCO, Denis; REIS, Ricardo. (Org.). V Escola de Microeletrônica Sul (livro texto) Porto Alegre: SBC, 2003, p. 93-104. |

# Textos em jornais de notícias/revistas

|  |  |
| --- | --- |
| **1** | ZEFERINO, Cesar Albenes. Todos a bordo? A invasão dos sistemas embarcados no dia-a-dia do mundo contemporâneo. A Notícia, Joiville, p. 4-, 2007. |

# Trabalhos completos publicados em anais de congressos

|  |  |
| --- | --- |
| **1** | WILLIAM MEZGER, BENJAMIN; BORTOLUZZI, FABRICIO; ALBENES ZEFERINO, CESAR; ROBERTO OLIVEIRA VALIM, PAULO; ROSSI MELO, DOUGLAS. A Basic Microkernel for the RISC-V Instruction Set Architecture. In: Computer on the Beach, 2021, Online. Anais do XII Computer on the Beach - COTB &apos;21. Itajaí: Universidade do Vale do Itajaí, 2021. p. 057-63 |
| **2** | SANTOS, Douglas Almeida dos; LUZA, Lucas Matana; KASTRIOTOU, Maria; CAZZANIGA, Carlo; ZEFERINO, Cesar Albenes; MELO, Douglas Rossi; DILILLO, LUIGI. Characterization of a RISC-V System-on-Chip under Neutron Radiation. In: International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS), 2021, Apulia. Proceedings.... New York: IEEE, 2021. p. 1-6 |
| **3** | MELO, Douglas Rossi; ZEFERINO, CESAR; BEZERRA, Eduardo Augusto; DILILLO, LUIGI. Design and Evaluation of Implementation Impact on a Fault-Tolerant Network-on-Chip Router. In: International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS), 2021, Apulia. Proceedings.... New York: IEEE, 2021. p. 1-6 |
| **4** | SBORZ, Guilherme Augusto; VIEL, Felipe; ZEFERINO, Cesar Albenes. Architectural Exploration of an FPGA-based Hardware Accelerator for the Gaussian Filter using Approximate Computing. In: Brazilian Symposium on Computing Systems Engineering (SBESC), 2020, On-line. Proceedings.... : , 2020. p. 1-6 |
| **5** | SANTOS, Douglas Almeida dos; ZOLETT, Daniel; BELLI, Mateus; VIEL, Felipe; ZEFERINO, Cesar Albenes. An Analysis of the Implementation of Edge Detection Operators in FPGA. In: Brazilian Symposium on Computing Systems Engineering (SBESC), 2020, On-line. Proceedings.... : , 2020. p. 1-5 |
| **6** | IMIANOSKY, Carolina; VALIM, PAULO R. O.; ZEFERINO, CESAR A.; VIEL, Felipe. Evaluating the CCSDS 123 Compressor Running on RISC-V and ARM Architectures. In: 2020 X Brazilian Symposium on Computing Systems Engineering (SBESC), 2020, Florianopolis. 2020 X Brazilian Symposium on Computing Systems Engineering (SBESC). : IEEE, 2020. p. 1-7 |
| **7** | SANTOS, DOUGLAS ALMEIDA; LUZA, Lucas Matana; ZEFERINO, Cesar Albenes; DILILLO, LUIGI; MELO, Douglas Rossi. A Low-Cost Fault-Tolerant RISC-V Processor for Space Systems. In: 2020 15th Design &amp; Technology of Integrated Systems in Nanoscale Era (DTIS), 2020, Marrakech. 2020 15th Design &amp; Technology of Integrated Systems in Nanoscale Era (DTIS). : , 2020. p. 1-5 |
| **8** | SANTOS, DOUGLAS; ZEFERINO, CESAR; BEZERRA, EDUARDO; DILILLO, LUIGI; MELO, DOUGLAS. On-board Compressing of Hyperspectral Images using CCSDS 123. In: Computer on the Beach, 2020, Balneário Camboriú. Anais do XI Computer on the Beach - COTB &apos;20. Itajaí: Univali, 2020. p. 332-336 |
| **9** | PASSOS, Arthur; VIEL, Felipe; ZEFERINO, CESAR A.. A Hardware Accelerator for the Segmentation of Hyperspectral Images. In: 2020 33rd Symposium on Integrated Circuits and Systems Design (SBCCI), 2020, Campinas. 2020 33rd Symposium on Integrated Circuits and Systems Design (SBCCI). New York: IEEE, 2020. p. 1-4 |
| **10** | MARTINS, LUCAS A.; SBORZ, GUILHERME A. M.; VIEL, Felipe; ZEFERINO, CESAR A.. An SVM-based hardware accelerator for onboard classification of hyperspectral images. In: the 32nd Symposium, 2019, S&amp;#227;o Paulo. Proceedings of the 32nd Symposium on Integrated Circuits and Systems Design - SBCCI &apos;19. New York: ACM Press, 2019. p. 1-6 |
| **11** | SBORZ, GUILHERME A. M.; POHL, GUILHERME A.; VIEL, Felipe; ZEFERINO, CESAR A.. A custom processor for an FPGA-based platform for automatic license plate recognition. In: the 32nd Symposium, 2019, S&amp;#227;o Paulo. Proceedings of the 32nd Symposium on Integrated Circuits and Systems Design - SBCCI &apos;19. New York: ACM Press, 2019. p. 1-6 |
| **12** | PEREIRA, LUCAS M. V.; SANTOS, DOUGLAS A.; ZEFERINO, CESAR A.; MELO, DOUGLAS R.. A Low-Cost Hardware Accelerator for CCSDS 123 Predictor in FPGA. In: 2019 IEEE International Symposium on Circuits and Systems (ISCAS), 2019, Sapporo. 2019 IEEE International Symposium on Circuits and Systems (ISCAS). New York: IEEE, 2019. p. 1-5 |
| **13** | DE MELO, DOUGLAS ROSSI; ALBENES ZEFERINO, CESAR; DILILLO, LUIGI; BEZERRA, Eduardo Augusto. Analyzing the Error Propagation in a Parameterizable Network-on-Chip Router. In: 2019 IEEE Latin American Test Symposium (LATS), 2019, Santiago. 2019 IEEE Latin American Test Symposium (LATS). New York: IEEE, 2019. p. 1-6 |
| **14** | OCHOA, IAGO SESTREM; PIEMONTEZ, Rafael Alexandre; MARTINS, Lucas Amilton; LEITHARDT, Valderi Reis Quietinho; ZEFERINO, CESAR. Experimental Analysis of the Processing Cost of Ethereum Blockchain in a Private Network. In: II Workshop Blockchain: Teoria, Tecnologias e Aplicações (WBlockchain 2019), 2019, Gramado. Anais.... Porto Alegre: SBC, 2019. p. 16-28 |
| **15** | DUARTE, Luiz Fernando Heidrich; ZEFERINO, Cesar Albenes; TEIVE, Raimundo Celeste Ghizoni. An Architecture for Delivering Graphical Web Applications in Constrained IoT Devices. In: 2019 IX Brazilian Symposium on Computing Systems Engineering (SBESC), 2019, Natal. 2019 IX Brazilian Symposium on Computing Systems Engineering (SBESC). : IEEE, 2019. p. 1-8 |
| **16** | OCHOA, IAGO; CALBUSCH, Leonardo; VIECELLI, Karize; DE PAZ, JUAN; LEITHARDT, VALDERI; ZEFERINO, CESAR. Privacy in the Internet of Things: A Study to Protect User's Data in LPR Systems Using Blockchain. In: 2019 17th International Conference on Privacy, Security and Trust (PST), 2019, Fredericton. 2019 17th International Conference on Privacy, Security and Trust (PST). New York: IEEE, 2019. p. 1-5 |
| **17** | MELO, Douglas Rossi; ZEFERINO, Cesar Albenes; RAMOS, António Luis Lopes; DILILLO, LUIGI; BEZERRA, Eduardo Augusto. Implementation of Fault Tolerance Techniques for Integrated Network Interfaces. In: Latin American CubeSat Workshop (LACW), 2018, Ubatuba. Proceedings of the Latin American CubeSat Workshop (LACW). : , 2018. p. 387-394 |
| **18** | OCHOA, IAGO SESTREM; LEITHARDT, VALDERI R. Q.; ZEFERINO, Cesar Albenes; SILVA, JORGE SA. Data Transmission Performance Analysis with Smart Grid Protocol and Cryptography Algorithms. In: 2018 13th IEEE International Conference on Industry Applications (INDUSCON), 2018, São Paulo. 2018 13th IEEE International Conference on Industry Applications (INDUSCON). New York: IEEE, 2018. p. 482-486 |
| **19** | VIEL, Felipe; SILVA, LUIS A.; VALDERI LEITHARDT, R. Q.; ZEFERINO, CESAR A.. Internet of Things: Concepts, Architectures and Technologies. In: 2018 13th IEEE International Conference on Industry Applications (INDUSCON), 2018, São Paulo. 2018 13th IEEE International Conference on Industry Applications (INDUSCON). New York: IEEE, 2018. p. 909-916 |
| **20** | VARGAS JUNIOR, S.; SILVA, Eduardo Alves da; ZEFERINO, CESAR. Análise do tráfego interno em uma Rede-em-Chip por meio de simulação. In: 9o Computer on the Beach (COTB), 2018, Florianópolis. Anais.... Itajaí: Univali, 2018. p. 1-10 |
| **21** | SANTOS, Marciel de Liz; ZEFERINO, CESAR; WANGHAM, Michelle Silva. Mecanismo de verificação de integridade de software baseado em BIOS UEFI. In: 36o Simpósio Brasileiro de Redes de Computadores e Sistemas Distribuídos (SBRC), 2018, Campos do Jordão. Anais. Porto Alegre: SBC, 2018. p. 1-14 |
| **22** | WEIDLE, GUILHERME F.; VIEL, Felipe; DE MELO, DOUGLAS R.; ZEFERINO, CESAR A.. A Hardware Accelerator for Anisotropic Diffusion Filtering in FPGA. In: 2018 IEEE International Symposium on Circuits and Systems (ISCAS), 2018, Florence. 2018 IEEE International Symposium on Circuits and Systems (ISCAS). New York: IEEE, 2018. p. 1-4 |
| **23** | PEREIRA, Lucas Martins Veras; MELO, Douglas Rossi; ZEFERINO, Cesar Albenes; BEZERRA, Eduardo Augusto. Análise de alternativas de integração do processador LEON3 em sistemas embarcados. In: COMPUTER ON THE BEACH (COTB), 8., 2017, Florianópolis. Anais.... Itajaí: Univali, 2017. p. 1-10 |
| **24** | GAYA, Fernando Luis; ZEFERINO, Cesar Albenes; MELO, Douglas Rossi; BEZERRA, Eduardo Augusto. AMBA-AHB network interface for core interconnection in a Network-on-Chip. In: IBERCHIP WORKSHOP (IWS), 2017, Bariloche. Proceedings.... : , 2017. p. 82-85 |
| **25** | VIEL, Felipe; ZEFERINO, Cesar Albenes. A module for remote reconfiguration of FPGAs in satellites. In: IBERCHIP WORKSHOP (IWS), 2017, Barilhoce. Proceedings.... : , 2017. p. 50-53 |
| **26** | VARGAS JUNIOR, S.; SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. Produção de material instrucional para o ambiente de Simulação RedScarf. In: COMPUTER ON THE BEACH (COTB), 8., 2017, Florianópolis. Anais.... Itajaí: Univali, 2017. p. 1-10 |
| **27** | SOPRAN, Robson; MELO, Douglas Rossi; ZEFERINO, Cesar Albenes; BEZERRA, Eduardo Augusto. Análise comparativa do custo e do desempenho de um algoritmo de criptografia para sistemas embarcados explorando o particionamento hardware/software. In: COMPUTER ON THE BEACH (COTB), 8., 2017, Florianópolis. Anais.... Itajaí: Univali, 2017. p. 1-10 |
| **28** | SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. Análise arquitetural comparativa do desempenho de Redes-em-Chip baseada em simulação. In: SIMPÓSIO DE SISTEMAS COMPUTACIONAIS DE ALTO DESEMPENHO (WSCAD), 2017, Campinas. Anais.... Porto Alegre: SBC, 2017. p. 268-279 |
| **29** | PERES, BRUNO; ZEFERINO, CESAR; VIEIRA, PAULO. Simulador Web para a Família de Processadores BIP. In: XXVIII Simpósio Brasileiro de Informática na Educação SBIE (Brazilian Symposium on Computers in Education), 2017, Recife. . : , 2017. p. 827-836 |
| **30** | SILVA, Eduardo Alves da; MENEGASSO, Daniel; VARGAS, SERGIO; ZEFERINO, Cesar Albenes. RedScarf: A User-Friendly Multi-Platform Network-on-Chip Simulator. In: 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC), 2017, Curitiba. 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC). Porto Alegre: SBC, 2017. p. 71-78 |
| **31** | SILVA, MARCOS ROBERTO; ZEFERINO, Cesar Albenes. Confidentiality and Authenticity in a Platform Based on Network-on-Chip. In: 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC), 2017, Curitiba. 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC). New York: IEEE, 2017. p. 225-230 |
| **32** | BRUCH, Jaison Valmor; SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes; INDRUSIAK, Leandro Soares. Deadline, Energy and Buffer-Aware Task Mapping Optimization in NoC-Based SoCs Using Genetic Algorithms. In: 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC), 2017, Curitiba. 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC). Porto Alegre: SBC, 2017. p. 86-93 |
| **33** | VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes; RAABE, André Luis Alice. Aplicação de grupo focal para avaliação da utilização de uma família de processadores simplificados em uma disciplina de compiladores. In: COMPUTER ON THE BEACH (COTB), 7., 2016, Florianópolis. Anais.... São José: Univali, 2016. p. 232-241 |
| **34** | BARON, Sidnei; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Segurança em Redes-em-Chip: mecanismos para proteger a rede SoCIN contra ataques de negação de serviço. In: SIMPÓSIO BRASILEIRO DE SEGURANÇA DA INFORMAÇÃO E SISTEMAS COMPUTACIONAIS (SBSeg), 14., 2014, Belo Horizonte. Anais.... Porto Alegre: SBC, 2014. p. 647-654 |
| **35** | VIEL, Felipe; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Introdução à programação e à implementação de processadores por estudantes do Ensino Médio. In: WORKSHOP DE INFORMÁTICA NA ESCOLA (WIE), 20., 2014, Dourados. Anais do 3o Congresso Brasileiro de Informática na Educação. Porto Alegre: SBC, 2014. p. 1-10 |
| **36** | SILVA, Eduardo Alves da; METZGER, Luiz Gustavo; ZEFERINO, Cesar Albenes. On the development of a Qt-based multithread NoC simulator. In: WORKSHOP ON CIRCUITS AND SYSTEMS DESIGN (WCAS), 4., 2014, Aracajú. Proceedings.... Aracajú: UFS, 2014. p. 1-4 |
| **37** | GONCALVES, Hendrig Wernner Maus Santana; BORTOLUZZI, Fabrício; ZEFERINO, Cesar Albenes. Desenvolvimento de um sistema operacional de tempo real para um microcontrolador básico. In: SIMPÓSIO BRASILEIRO DE ENGENHARIA DE SISTEMAS COMPUTACIONAIS (SBESC 2013), 3., 2013, Niterói. Proceedings.... Niterói: UFF, 2013. p. 1-6 |
| **38** | MELO, Douglas Rossi; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Extensible communication Interface to SoCIN Network-on-Chip. In: SOUTH SYMPOSIUM ON MICROELECTRONICS (SIM 2013), 28., 2013, Porto Alegre. Proceedings.... Porto Alegre: UFRGS, 2013. p. 1-4 |
| **39** | MELO, Douglas Rossi; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Evaluating the costs of communication services in a network interface for a Network-on-Chip. In: WORKSHOP ON CIRCUITS AND SYSTEMS DESIGN (WCAS 2013), 3., 2013, Curitiba. Proceedings.... Porto Alegre: SBC, 2013. p. 1-4 |
| **40** | BOMER, Rubens Vicente de Liz; ZEFERINO, Cesar Albenes. Cost and performance characterization of communication mechanisms for Networks-on-Chip. In: MICROELECTRONICS STUDENTS FORUM (SFORUM), 13., 2013, Curitiba. Proceedings.... São Paulo: SBMicro, 2013. p. 1-6 |
| **41** | PEREIRA, Thiago Felski; ZEFERINO, Cesar Albenes. Adding fault-tolerance to a Network-on-Chip. In: SOUTH SYMPOSIUM ON MICROELECTRONICS (SIM 2013), 28., 2013, Porto Alegre. Proceedings. Porto Alegre: UFRGS, 2013. p. 1-4 |
| **42** | BARON, Sidnei; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Security mechanisms to improve the availability of a Network-on-Chip. In: IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS (ICECS 2013), 20., 2013, Abu Dhabi. Proceedings... New York: IEEE, 2013. p. 609-612 |
| **43** | VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes; RAABE, André Luis Alice. Avaliação Empírica da Proposta Interdisciplinar de Uso dos Processadores BIP. In: Congresso Brasileiro de Informática na Educação, 2., 2013, Campinas. Anais dos Workshops do Congresso Brasileiro de Informática na Educação. Porto Alegre: SBC, 2013. p. 71-80 |
| **44** | BRUCH, Jaison Valmor; ZEFERINO, Cesar Albenes. Evaluation of architectural alternatives to reduce power consumption in a Network-on-Chip. In: WORKSHOP ON CIRCUITS AND SYSTEMS DESIGN (WCAS 2012), 2., 2012, Brasília. Proceedings.... Brasília: UnB, 2012. p. 1-6 |
| **45** | RECH, Paulo Roberto Machado; VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes; RAABE, André Luis Alice. BIP IV: especificação e suporte na ferramenta Bipide. In: Workshop sobre Educação em Arquitetura de Computadores (WEAC 2011), 2011, Vitória. Proceedings of the 23rd International Symposium on Computer Architecture and High Performance Computing. : , 2011. p. - |
| **46** | PEREIRA, Rodrigo Vinícius Mendonça; GUTSTEIN, William Simon; FREITAS, Gabriel Goedert; RECALCATTI, Éderson; ZEFERINO, Cesar Albenes. Development of an IP core for the LIN automotive network. In: WORKSHOP ON CIRCUITS AND SYSTEMS DESIGN (WCAS 2011), 1., 2011, João Pessoa. Proceedings.... João Pessoa: UFPB, 2011. p. 1-6 |
| **47** | VEIGA, Fabrício; ZEFERINO, Cesar Albenes. Implementation of techniques for fault tolerance in a Network-on-Chip. In: SYMPOSIUM ON COMPUTING SYSTEMS (WSCAD-SCC 2010), 11., 2010, Petrópolis. Anais. Los Alamitos: IEEE Computer Society, 2010. p. 80-87 |
| **48** | MELO, Douglas Rossi; ZEFERINO, Cesar Albenes; BEREJUCK, Marcelo Daniel. Desenvolvimento de aplicação com requisitos de QoS para SoC baseado em NoC. In: IBERCHIP WORKSHOP (IWS 2010), 16., 2010, Foz do Iguaçu. Proceedings.... [S.l.: s.n.], 2010. p. 60-65 |
| **49** | PIRES, Pablo Pereira; ZEFERINO, Cesar Albenes. Verificação funcional aplicada a Redes-em-Chip. In: IBERCHIP WORKSHOP (IWS 2010), 16., 2010, Foz do Iguaçu. Proceedings.... [S.l.: s.n.], 2010. p. 66-69 |
| **50** | PIZZONI, Magnos Roberto; PEREIRA, Thiago Felski; MELO, Douglas Rossi; ZEFERINO, Cesar Albenes. Development of hardware and software components for a platform for NoC evaluation in FPGA. In: STUDENTS FORUM ON MICROELECTRONICS (SFORUM 2010), 10., 2010, São Paulo. Proceedings.... : , 2010. p. - |
| **51** | PEREIRA, Rodrigo Vinícius Mendonça; GUTSTEIN, William Simon; FREITAS, Gabriel Goedert; RECALCATTI, Éderson; GUERRA, Jorge Luiz; ZEFERINO, Cesar Albenes. Applying functional verification techinques on the design of an IP-core for an automotive communication protocol. In: STUDENTS FORUM ON MICROELECTRONICS (SFORUM 2010), 10., 2010, São Paulo. Proceedings.... : , 2010. p. - |
| **52** | PIZZONI, Magnos Roberto; ZEFERINO, Cesar Albenes. Performance evaluation of a Network-on-Chip by using a SystemC-based simulator. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 24., 2009, Pelotas. Proceedings.... Pelotas: UFPel, 2009. p. 169-172 |
| **53** | VIEIRA, Paulo Viniccius; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Bipide: ambiente de desenvolvimento integrado para utilização dos processadores BIP no ensino de programação. In: SIMPÓSIO BRASILEIRO DE INFORMÁTICA NA EDUCAÇÃO - SBIE 2009, 20., 2009, Florianópolis. Anais.... Porto Alegre: SBC, 2009. p. 1-8 |
| **54** | BRUCH, Jaison Valmor; PIZZONI, Magnos Roberto; ZEFERINO, Cesar Albenes. BrownPepper: a SystemC-based simulator for performance evaluation of Networks-on-Chip. In: IFIP/IEEE INT. CONFERENCE ON VERY LARGE SCALE INTEGRATION (VLSI-SOC 2009), 17., 2009, Florianópolis. Proceedings.... : IFIP/IEEE, 2009. p. 1-4 |
| **55** | BEREJUCK, Marcelo Daniel; ZEFERINO, Cesar Albenes. Adding mechanisms for QoS to a Network-on-Chip. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS (SBCCI 2009), 22., 2009, Natal. Proceedings.... New York: ACM, 2009. p. 153-158 |
| **56** | FRANTZ, Lúcio; ZEFERINO, Cesar Albenes. Gerador de tráfego para Redes-em-Chip baseado no PicoBlaze. In: CONFERÊNCIA IBÉRICA DE SISTEMAS E TECNOLOGIAS DE INFORMAÇÃO, 2009, Póvoa de Varzim. Anais.... Porto: FEUP, 2009. p. - |
| **57** | BEREJUCK, Marcelo Daniel; ZEFERINO, Cesar Albenes. Analysis of the cost of implementation techniques for QoS on a Network-on-Chip. In: SOUTH SYMPOSIUM ON MICROELECTRONICS (SIM 2009), 24., 2009, Pelotas. Proceedings.... Pelotas: UFPel, 2009. p. 165-168 |
| **58** | PEREIRA, Rodrigo Vinícius Mendonça; ZEFERINO, Cesar Albenes. Desenvolvimento de um IP sintetizável para uma interface escravo de rede LIN. In: WORKSHOP IBERCHIP (IWS 2009), 15., 2009, Buenos Aires. Memorias.... : , 2009. p. 510-515 |
| **59** | SALVADOR, Caroline Farias; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. PicoBlaze C: a compiler for PicoBlaze microcontroller core. In: SOUTH SIMPOSIUM ON MICROELECTRONICS, 24., 2009, Pelotas. Proceedings.... Pelotas: UFPel, 2009. p. 45-48 |
| **60** | PEREIRA, Rodrigo Vinícius Mendonça; ZEFERINO, Cesar Albenes. Aplicação do protocolo LIN como sub-rede CAN. In: CONFERÊNCIA INTERNACIONAL DE APLICAÇÕES INDUSTRIAIS (INDUSCON), 2008, Poços de Caldas. Anais.... : , 2008. p. - |
| **61** | PEREIRA, Thiago Felski; ZEFERINO, Cesar Albenes. A set of VHDL IPs to evaluate performance of Networks-on-Chip. In: IP BASED ELECTRONIC SYSTEM CONFERENCE & EXHIBITION - IP 08, 2008, Grenoble. Proceedings.... Grenoble: Design and Reuse, 2008. p. 239-243 |
| **62** | PEREIRA, Maicon Carlos; ZEFERINO, Cesar Albenes. uBIP: a simplified microcontroller architecture for education in embedded systems design. In: IP BASED ELECTRONIC SYSTEM CONFERENCE & EXHIBITION - IP 08, 2008, Grenoble. Proceedings.... Grenoble: Design and Reuse, 2008. p. 193-197 |
| **63** | PEREIRA, Maicon Carlos; ZEFERINO, Cesar Albenes. Architectural specification of a microcontroller by using ArchC. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 2008, Bento Gonçalves. Proceedings?. Porto Alegre: SBC, 2008. p. 99-103 |
| **64** | BRUCH, Jaison Valmor; CANCIAN, Rafael Luiz; ZEFERINO, Cesar Albenes. A SystemC-based environment for performance evaluation of Networks-on-Chip. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 2008, Bento Gonçalves. Proceedings?. SBC: Porto Alegre, 2008. p. 41-44 |
| **65** | PEREIRA, Thiago Felski; ZEFERINO, Cesar Albenes. Soft cores for performance evaluation of NoCs in FPGA. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 2008, Bento Gonçalves. Proceedings?. Porto Alegre: SBC, 2008. p. 37-40 |
| **66** | ZEFERINO, Cesar Albenes; BRUCH, Jaison Valmor; PEREIRA, Thiago Felski; KREUTZ, Márcio Eduardo; SUSIN, Altamiro Amadeu. Avaliação de desempenho de Rede-em-Chip modelada em SystemC. In: WORKSHOP DE DESEMPENHO DE SISTEMAS COMPUTACIONAIS E DE COMUNICAÇÃO (WPERFORMANCE 2007), 2007, Rio de Janeiro. Anais do Congresso da Sociedade Brasileira de Computação. Porto Alegre: Sociedade Brasileira de Computação, 2007. p. 559-578 |
| **67** | MORANDI, Diana; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Processadores para Ensino de Conceitos Básicos de Arquitetura de Computadores. In: Workshop de Educação em Arquitetura de Computadores - WEAC, 2006, Ouro Preto. 18th International Symposium on Computer Architecture and High Performance Computing - Workshops. Porto Alegre: SBC, 2006. p. 17-24 |
| **68** | SILVA, Marcos Roberto da; PEREIRA, Maicon Carlos; SALVADOR, Caroline Farias; CANCIAN, Rafael Luiz; TORRES, Roberto Miguel; ZEFERINO, Cesar Albenes. AstroFácil: Sistema Computacional Embarcado para Automatização de Telescópios de Pequeno Porte. In: XV Seminário de Computação, 2006, Blumenau. Anais do XV Seminário de Computação. Blumenau: FURB, 2006. p. 165-176 |
| **69** | CANCIAN, Maiara Heil; ZEFERINO, Cesar Albenes; CANCIAN, Rafael Luiz; TORRES, Roberto Miguel. Sistema Web para Gerenciamento do Acesso a um Observatório Astronômico. In: XV Seminário de Computação, 2006, Blumenau. Anais do XV Seminário de Computação. Blumenau: FURB, 2006. p. 209-219 |
| **70** | ZEFERINO, Cesar Albenes; HEIL, Maiara; CANCIAN, Rafael Luiz; TORRES, Roberto Miguel. A Web-based system for management of the access to an astronomical observatory through Internet. In: 4th International Information and Telecomunication Technologies Symposium (I2TS 2005), 2005, Florianópolis. P. : , 2005. p. 130-133 |
| **71** | ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani Do Espirito; SUSIN, Altamiro Amadeu. A Fully Parameterizable Network-on-Chip Platform. In: 19th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2004, Ijuí. Proceedings. Ijuí: UNIJUÍ, Departamento de Tecnologia, 2004. p. 91-97 |
| **72** | ZEFERINO, Cesar Albenes; KREUTZ, Márcio Eduardo; SUSIN, Altamiro Amadeu. RASoC: A Router Soft-Core for Networks-on-Chip. In: (INT) DESIGN AUTOMATION & TEST IN EUROPE (DATE) - DESIGNER´S FORUM, 2004, Paris. Proceedings. Piscataway: IEEE Computer Society, 2004. p. 198-205 |
| **73** | CARDOZO, Rodrigo S; PANATO, Alex; ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani Do Espirito; SUSIN, Altamiro Amadeu; CARRO, Luigi. TONGA: A Low Cost Router for NOCs. In: X Int. Workshop IBERCHIP, 2004, Cartagena. Memorias (CD-ROM). S.l.: s.n., 2004. p. 1-8 |
| **74** | CORRÊA, Edgard Faria; ZEFERINO, Cesar Albenes; CARDOZO, Rodrigo S; SUSIN, Altamiro Amadeu; WAGNER, Flávio Rech; CARRO, Luigi. A Heterogeneous Router for Networks-on-Chip. In: X Int. Workshop IBERCHIP, 2004, Cartagena. Memorias (CD-ROM). S.l.: s.n., 2004. p. 1-6 |
| **75** | ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani do Espírito; SUSIN, Altamiro Amadeu. ParIS: A Parameterizable Interconnect Switch for Networks-on-Chip. In: 17th (INT.) SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI), 2004, Porto de Galinhas. Proceedings. New York: ACM Press, 2004. p. 204-209 |
| **76** | SANTO, Frederico Guilherme Mariani do Espírito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Uma Arquitetura de Roteador Parametrizável para a Síntese de Redes-em-Chip. In: IV Congresso Brasileiro de Computação, 2004, Itajaí. Anais. Itajaí: UNIVALI, 2004. p. 469-474 |
| **77** | ZEFERINO, Cesar Albenes; PEREIRA, Fabiano Melo; HOSTINS, Higor. Developing of a VHDL Model of the PIC Microcontroller for Synthesis in FPGA. In: VI Induson - Conferência Internacional de Aplicações Industriais, 2004, Joinville. Anais (CD-ROM). Joinville: UDESC, 2004. p. 1-5 |
| **78** | ADRIAHANTENAINA, Adrijean; CHARLERY, Hervé; GREINER, Alain; MORTIEZ, Laurent; ZEFERINO, Cesar Albenes. SPIN: A Scalable, Packet Switched, On-Chip Micro-Network. In: (INT) DESIGN AUTOMATION & TEST IN EUROPE (DATE) - DESIGNER´S FORUM, 2003, Messe Munich. Proceedings. Piscataway: IEEE Computer Society, 2003. p. 70-74 |
| **79** | SANTO, Frederico Guilherme Mariani do Espírito; ZEFERINO, Cesar Albenes. Parametric Vhdl Models of Arbiters for Networks-On-Chip. In: III Student Forum on Microelectronics, 2003, São Paulo. Proceedings. São Paulo: FATEC, 2003. p. - |
| **80** | COTA, Erika; KREUTZ, Márcio Eduardo; ZEFERINO, Cesar Albenes; CARRO, Luigi; SUSIN, Altamiro Amadeu; LUBASZEWSKI, Marcelo. The Impact of NoC Reuse on the Testing of Core-Based Systems. In: 21st (INT.) IEEE VLSI Test Symposium, 2003, Napa. Proceedings. Los Alamitos: IEEE Press, 2003. p. 128-133 |
| **81** | PANATO, Alex; CARDOZO, Rodrigo S; ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani Do Espirito; SUSIN, Altamiro Amadeu; CARRO, Luigi. Tonga: A Low Cost Router for NoCs. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 139-146 |
| **82** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. A System-on-Chip Interconnection Network. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 145-148 |
| **83** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. A Router Architecture for Systems-on-Chip. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 149-152 |
| **84** | ZEFERINO, Cesar Albenes; CORRÊA, Edgard Faria; WAGNER, Flávio Rech; CARRO, Luigi; SUSIN, Altamiro Amadeu. A Heterogeneous Router for Networks-on-Chip. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 153-156 |
| **85** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Distributed Arbiters for Networks-on-Chip. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 169-172 |
| **86** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. SoCIN: A Parametric and Scalable Network-on-Chip. In: 16th (INT.) SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI), 2003, São Paulo. Proceedings. Los Alamitos: IEEE CS Press, 2003. p. 169-174 |
| **87** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Modelos Parametrizáveis de Árbitros Distribuídos para a síntese de roteadores de Redes-em-Chip. In: III Congresso Brasileiro de Computação, 2003, Itajaí. Anais. Itajaí: UNIVALI-CTTMar, 2003. p. 717-728 |
| **88** | ZEFERINO, Cesar Albenes; GREINER, Alain; SUSIN, Altamiro Amadeu. Evaluating On-Chip Communication Architectures. In: 17th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2002, Gramado. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 2002. p. 136-139 |
| **89** | ZEFERINO, Cesar Albenes; KREUTZ, Márcio Eduardo; CARRO, Luigi; SUSIN, Altamiro Amadeu. Modelling Communication on Systems-On-Chip. In: 17th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2002, Gramado. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 2002. p. 149-152 |
| **90** | ZEFERINO, Cesar Albenes; KREUTZ, Márcio Eduardo; CARRO, Luigi; SUSIN, Altamiro Amadeu. A Study on Communication Issues for Systems-on-Chip. In: 15th (INT.) SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI), 2002, Porto Alegre. Proceedings. Los Alamitos: IEEE Computer Society, 2002. p. 121-126 |
| **91** | ZEFERINO, Cesar Albenes; KREUTZ, Márcio Eduardo; CARRO, Luigi; SUSIN, Altamiro Amadeu. Models for Communication Tradeoffs on Systems-on-Chip. In: INTERNATIONAL WORKSHOP ON IP-BASED SYSTEM-ON-CHIP DESIGN, 2002, Grenoble. PROCEENDINGS OF THE INTERNATIONAL WORKSHOP ON IP-BASED SYSTEM-ON-CHIP DESIGN. S.l.: s.n., 2002. p. 394-400 |
| **92** | KREUTZ, Márcio Eduardo; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Trends in Designing Complex Systems. In: MICROELECTRONICS SEMINAR, 2001, Santa Maria. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 2001. p. 89-94 |
| **93** | KREUTZ, Márcio Eduardo; CARRO, Luigi; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Análise e Seleção de Redes de Interconexão para Síntese de Sistemas no Ambiente S³E²S. In: (INT.) WORKSHOP IIBERCHIP, 2001, Montevideo. Memorias. Universidad de la República: Montevideo, 2001. p. - |
| **94** | KREUTZ, Márcio Eduardo; CARRO, Luigi; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Communication Architectures for System-on-Chip. In: (INT.) Symposium on Integrated Circuits and System Design, 2001, Pirinópolis. Proceedings. Los Alamitos: IEEE Computer Society, 2001. p. 14-19 |
| **95** | RIZZI, Rogério Luiz; DORNELES, Ricardo Vargas; ZEFERINO, Cesar Albenes; DIVERIO, Tiaraju Asmuz; NAVAUX, Philippe Alexander Olivier; SUSIN, Altamiro Amadeu; BAMPI, Sergio. Fluvial Flow of the Guaíba River - A Parallel Solution for the Shallow Water Equations Model. In: INTERNATIONAL MEETING ON VECTOR AND PARALLEL PROCESSING (VECPAR - International Meeting on High Performance Computing for Computational Science), 2000, Porto. Proceedings. Porto: Faculdade de Engenharia da Universidade do Porto, 2000. p. 885-896 |
| **96** | ZEFERINO, Cesar Albenes; RIZZI, Rogério Luiz; DORNELES, Ricardo Vargas; BAMPI, Sergio; SUSIN, Altamiro Amadeu. Parallel Simulation of the Hydrodynamics of Guaíba River. In: MICROELECTRONICS SEMINAR, 2000, Torres. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 2000. p. 22-24 |
| **97** | DORNELES, Ricardo Vargas; RIZZI, Rogério Luiz; ZEFERINO, Cesar Albenes; DIVERIO, Tiaraju Asmuz; NAVAUX, Philippe Alexander Olivier; SUSIN, Altamiro Amadeu; BAMPI, Sergio. PC Cluster Implementation of a Mass Transport Two-Dimensional Model. In: (INT.) SYMPOSIUM ON COMPUTER ARCHITECTURE AND HIGH PERFORMANCE COMPUTING, 2000, São Pedro. Proceedings. São Carlos: UFSCar, 2000. p. 191-198 |
| **98** | DORNELES, Ricardo Vargas; RIZZI, Rogério Luiz; ZEFERINO, Cesar Albenes; DIVERIO, Tiaraju Asmuz; NAVAUX, Philippe Alexander Olivier; SUSIN, Altamiro Amadeu; BAMPI, Sergio. Parallel Solution for Shallow Waters Equations Using Data Decomposition. In: (INT.) WORKSHOP DE SISTEMAS DISTRIBUÍDOS Y PARALELISMO, 2000, Santiago. Anales. Santiago: Universidad de Santiago, 2000. p. - |
| **99** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu; CARRO, Luigi. Projeto em VHDL de uma Rede de Interconexão Experimental. In: (INT.) WORKSHOP IBERCHIP, 1999, Lima. Memorias. Lima: Hozlo S.L.R, 1999. p. 277-284 |
| **100** | ZEFERINO, Cesar Albenes; BAMPI, Sergio; SUSIN, Altamiro Amadeu. A Study on Interconnection Networks for High Performance Parallel Computers. In: MICROELECTRONICS SEMINAR, 1999, Pelotas. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 1999. p. 33-40 |
| **101** | ZEFERINO, Cesar Albenes; FREITAS FILHO, Paulo José de; MERKLE, Carla; BOING, Hamilcar; SILVA, Valéria Alves. A Simulation Model for the Comparision of Two Multicomputer Architectures. In: (INT.) SUMMER COMPUTER SIMULATION CONFERENCE, 1996, Portland. Proceedings. : , 1996. p. 481-484 |
| **102** | ZEFERINO, Cesar Albenes; FRÖHLICH, Antônio Augusto; SILVA, Valéria Alves. Process Communication in Nó//. In: INTERNATIONAL CONFERENCE ON INFORMATION SYSTEMS ANALYSIS AND SYSTEMS, 1996, Orlando. Proceedings. : , 1996. p. - |
| **103** | ZEFERINO, Cesar Albenes; LÜCKE, Herman Adolf Harry; SILVA, Valéria Alves. Um Multicomputador com Sistema Experimental de Comunicação. In: SIMPÓSIO BRASILEIRO DE ARQUITETURA DE COMPUTADORES - PROCESSAMENTO DE ALTO DESEMPENHO, 1995, Canela. Anais. Porto Alegre: Editora da UFRGS, 1995. p. 137-150 |
| **104** | ZEFERINO, Cesar Albenes; PINHEIRO, Humberto. A Simple Control Strategy for Shunt Passive Conditioner with Indutive Energy Storage. In: INTERNATIONAL CONFERENCE ON INDUSTRIAL ELECTRONICS, CONTROLl AND INSTRUMENTATION, 1993, Maui. Proceedings. : , 1993. p. 1093-1098 |
| **105** | PEREIRA, M. C.; VIERA, P. V.; RAABE, A. L. A.; ZEFERINO, C. A.. A basic processor for teaching digital circuits and systems design with FPGA. In: 2012 VIII Southern Conference on Programmable Logic (SPL), , Bento Goncalves. 2012 VIII Southern Conference on Programmable Logic. : IEEE, . p. 1-194 |