

Digital System Design Lab 4 report

김지현 (20220302)

1. 개요

- 반가산기(half adder)와 전가산기 (full adder) 를 이해하고 회로를 구현한다. 전가산기를 이용해 5 bit 리플 가산기/감산기를 구현한다. 5bit 리플 가산기/감산기를 이용해 5x3 이진 곱셈기를 구현한다.

2. 이론적 배경

- a. 반가산기 (half adder)
 - i. 반가산기는 디지털 논리 회로(logical gate) 이며 두개의 1-bit binary number 를 입력 받아 더하는 회로이다. 입력으로 들어오는 두 비트 를 합산해서 sum 과 carry-out 으로 출력한다. 반 가산기를 이용하면 전가산기를 만들 수 있다.
- b. 전가산기 (full adder)
 - i. 전가산기는 2 개의 반가산기를 이용해 만들어진 회로이다. 반 가산기와 다른 점은 이전 가산기의 carry-out 을 carry-in 으로 받아온다는 차이점이 있다.
- c. N-bit 리플 가산기/감산기 (N-bit ripple adder / subtractor)
 - i. N-bit 리플 가산기는 N-bit binary number 두 개를 입력 받아온 뒤 합을 계산한다. N 개의 전가산기를 순차적으로 이어붙여 sum 과 carry-out 를 출력한다. N-bit 리플 감산기는 두 개의 N-bit binary number 를 입력 받아온 뒤 차를 계산한다. $A-B$ 는 $A+(-B)$ 로도 계산 가능 한 것을 이용해 빼주는 숫자의 complement 를 구해서 계산한다. 이번 lab 4 에서는 2's complement 를 이용한다.
- d. 2's complement
 - i. 2 의 보수는 이진수의 모든 비트를 반전 시킨 후 (즉 0 -> 1, 1-> 0 으로 바꾼다) 1 을 더해주면 얻어진다.
- e. M X N 이진 곱셈기 (M X N binary multiplier)
 - i. M X N 이진 곱셈기는 M-bit binary number 와 N-bit binary number 의 곱셈을 출력한다. And gate 를 이용해 각 자릿수의 곱을 계산 한 뒤, 전가산기를 이용하여 각 곱의 결과를 더해서 곱셈의 결과를 출력한다.

3. 실험 준비:

a. 반가산기

half adder :

Truth table :

Input		Output	
A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$\Rightarrow C = AB$$

$$S = A'B + AB' = A \oplus B$$



b. 전가산기

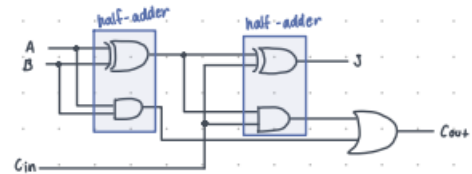
full adder :

Truth table :

Input			Output	
A	B	Cin	Cout	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$\Rightarrow S = A \oplus B \oplus C_{in}$$

$$C_{out} = AB + BC_{in} + AC_{in}$$

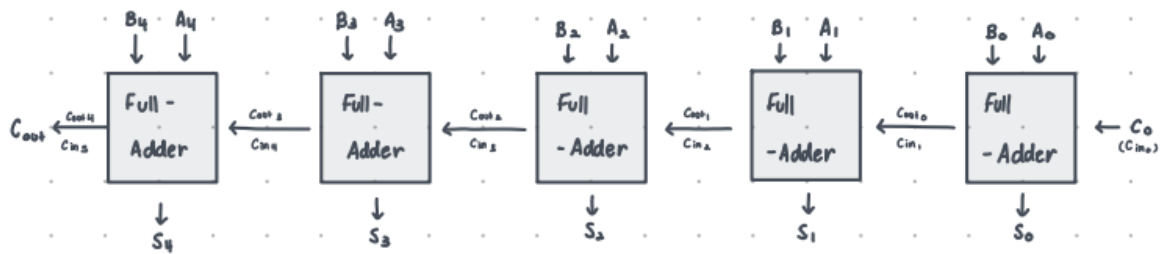


or



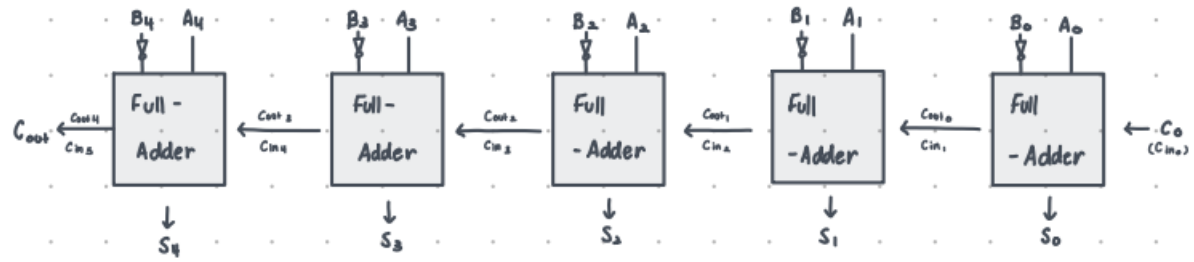
c. 5bit 리플 가산기

5 bit ripple adder :



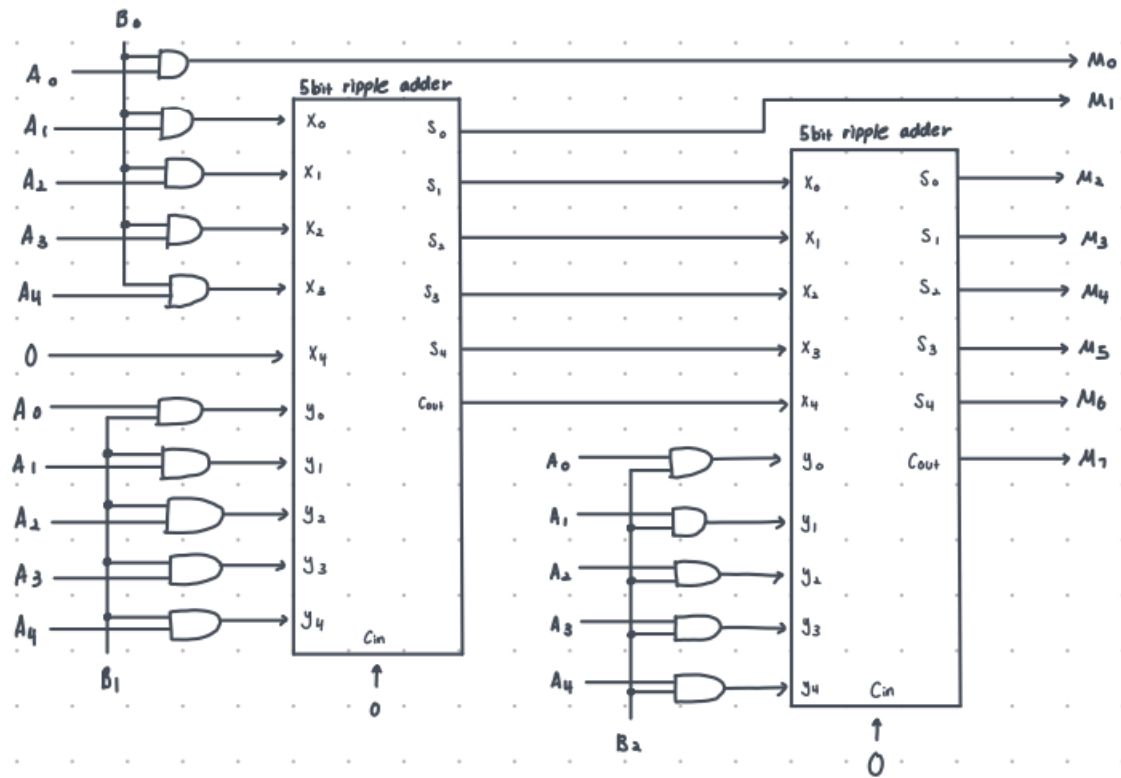
d. 5 bit 리플 감산기

5 bit ripple subtractor :



e. 5X3 곱셈기

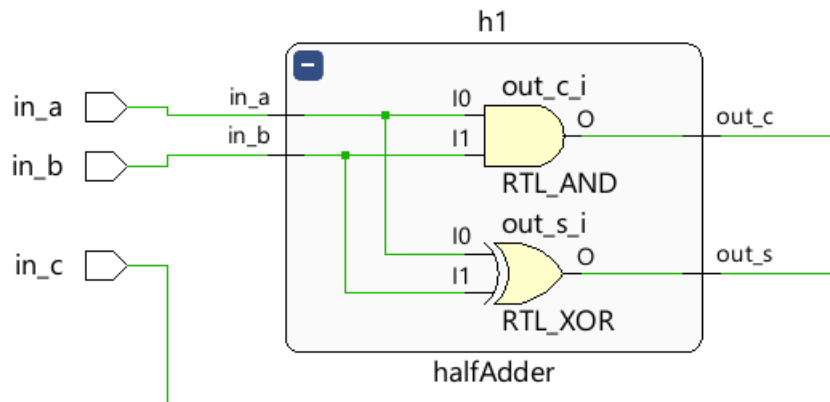
5x3 multiplier.



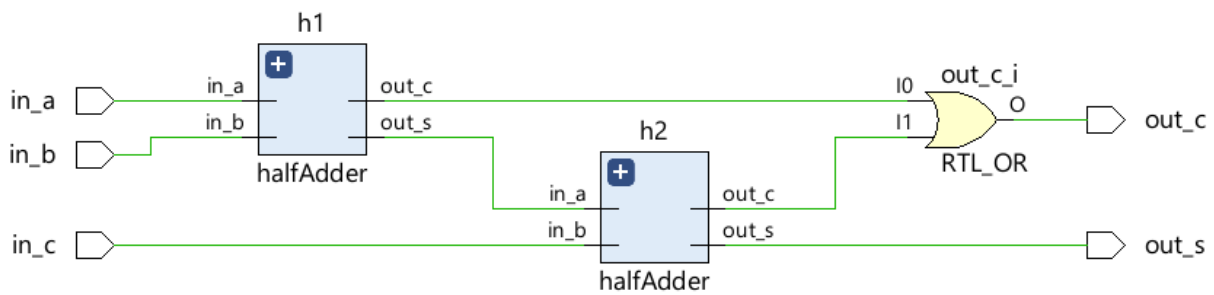
4. 실험 결과:

a. Lab 4-1: 반가산기, 전가산기

i. 반가산기를 구현한 회로도 이다.

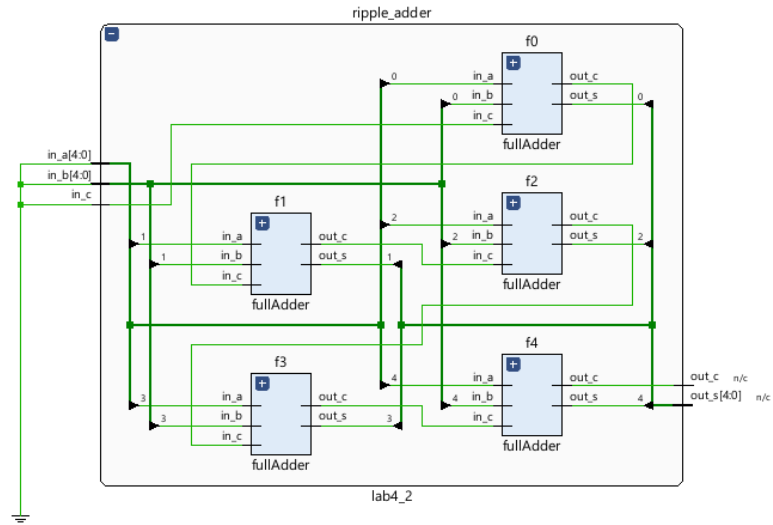


ii. 반가산기 두개를 이용해 전가산기를 구현한 회로도 이다.

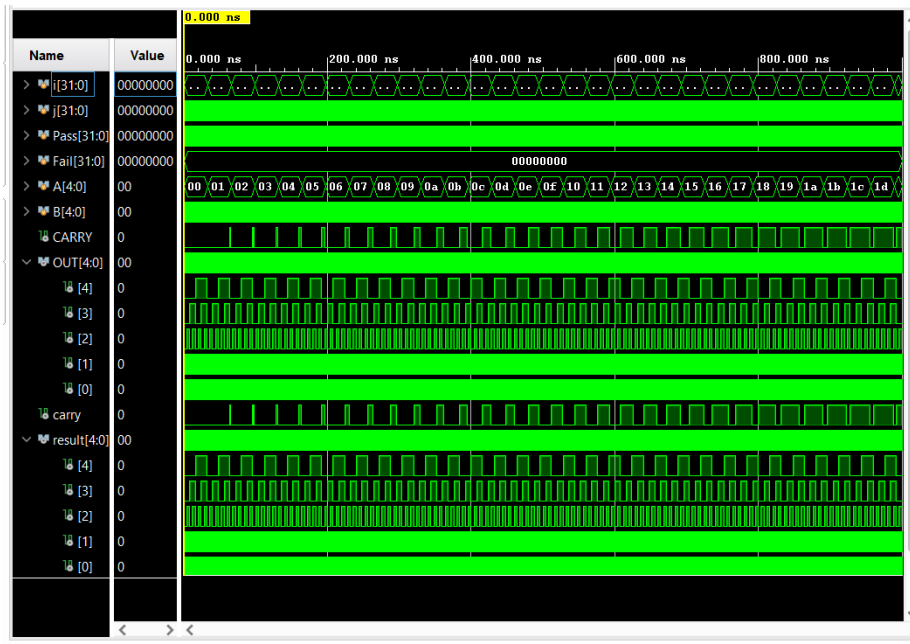


b. Lab 4-2: 5 bit 리플 가산기

i. 전가산기 5 개를 이용해 만든 5-bit ripple adder 의 회로도 이다.

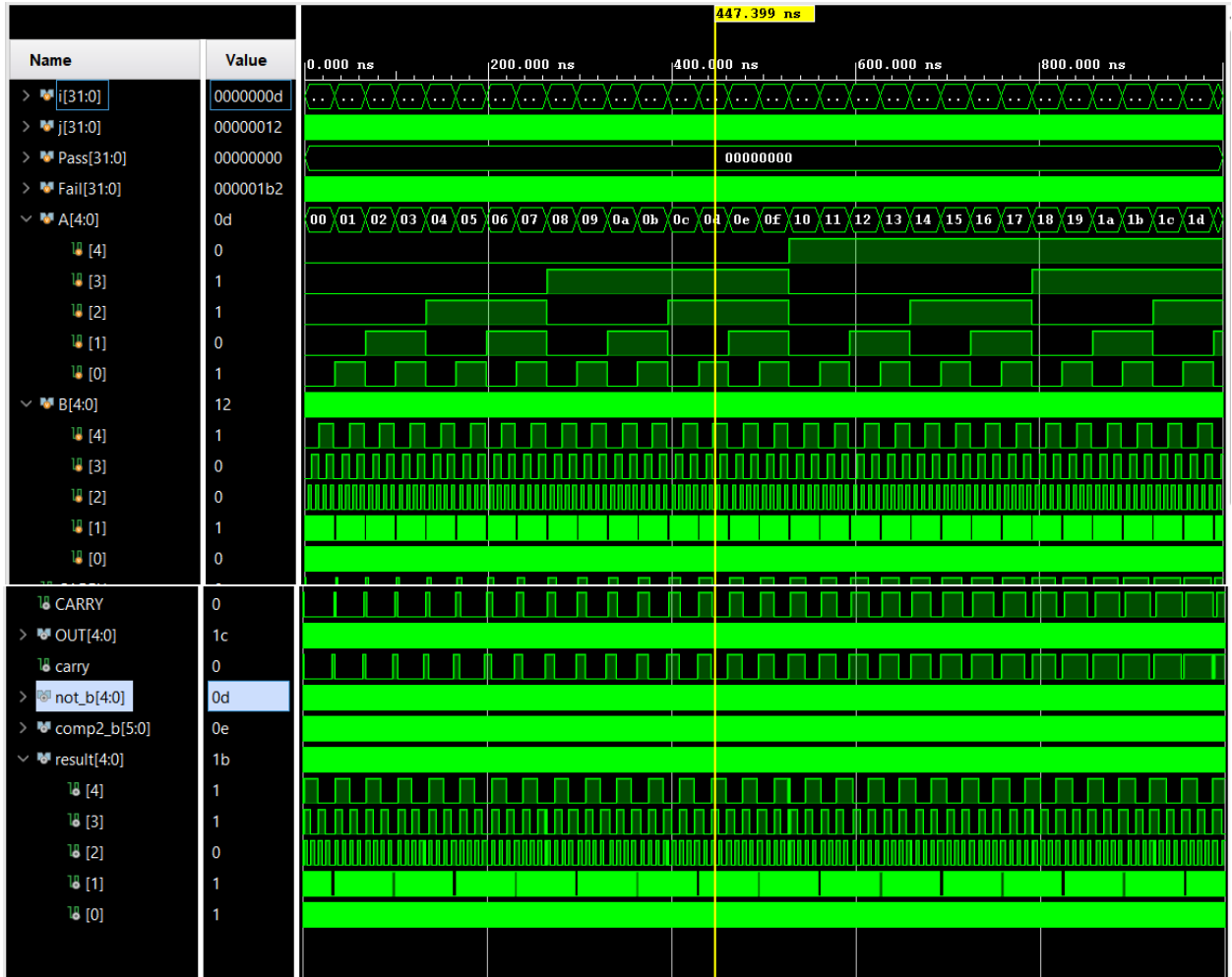


ii. 5bit 리플 가산기의 시뮬레이션 결과이다.

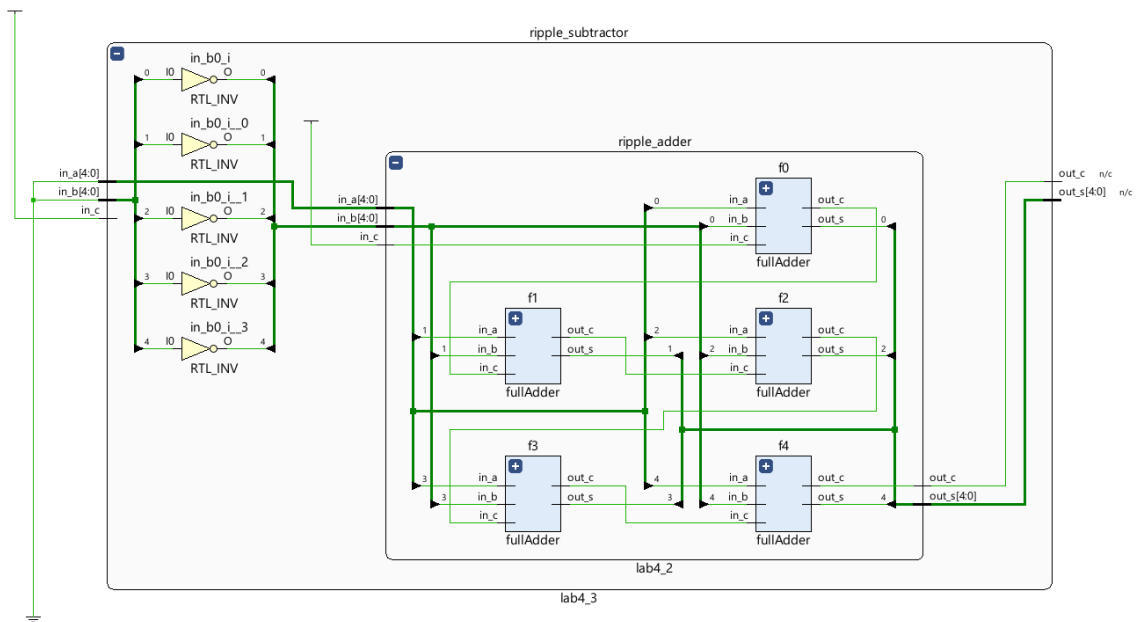


c. Lab 4-3: 5 bit 리플 감산기

i. 전가산기 5 개를 이용해 만든 5-bit 리플 감산기의 회로도 이다.

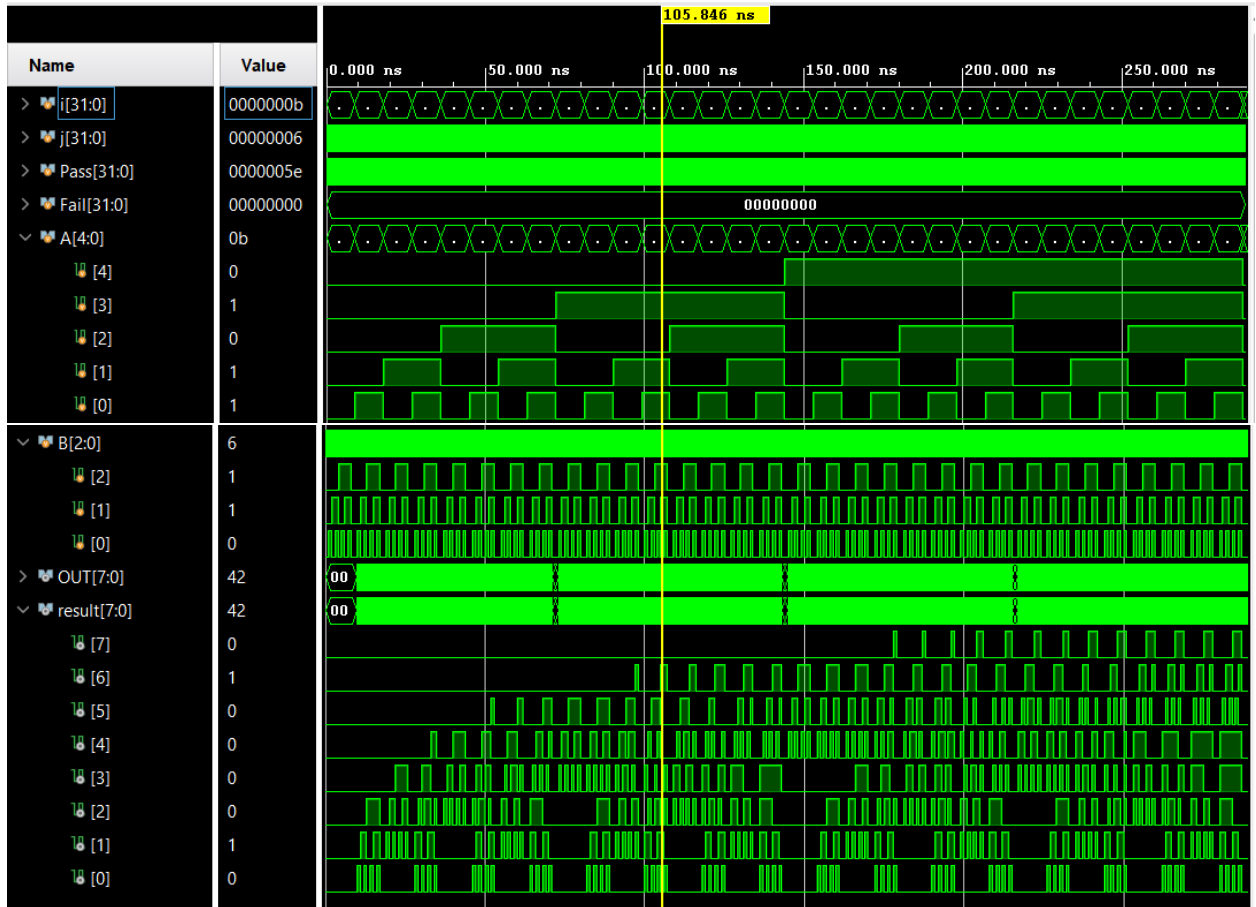


ii. 5bit 리플 감산기의 시뮬레이션 결과이다.

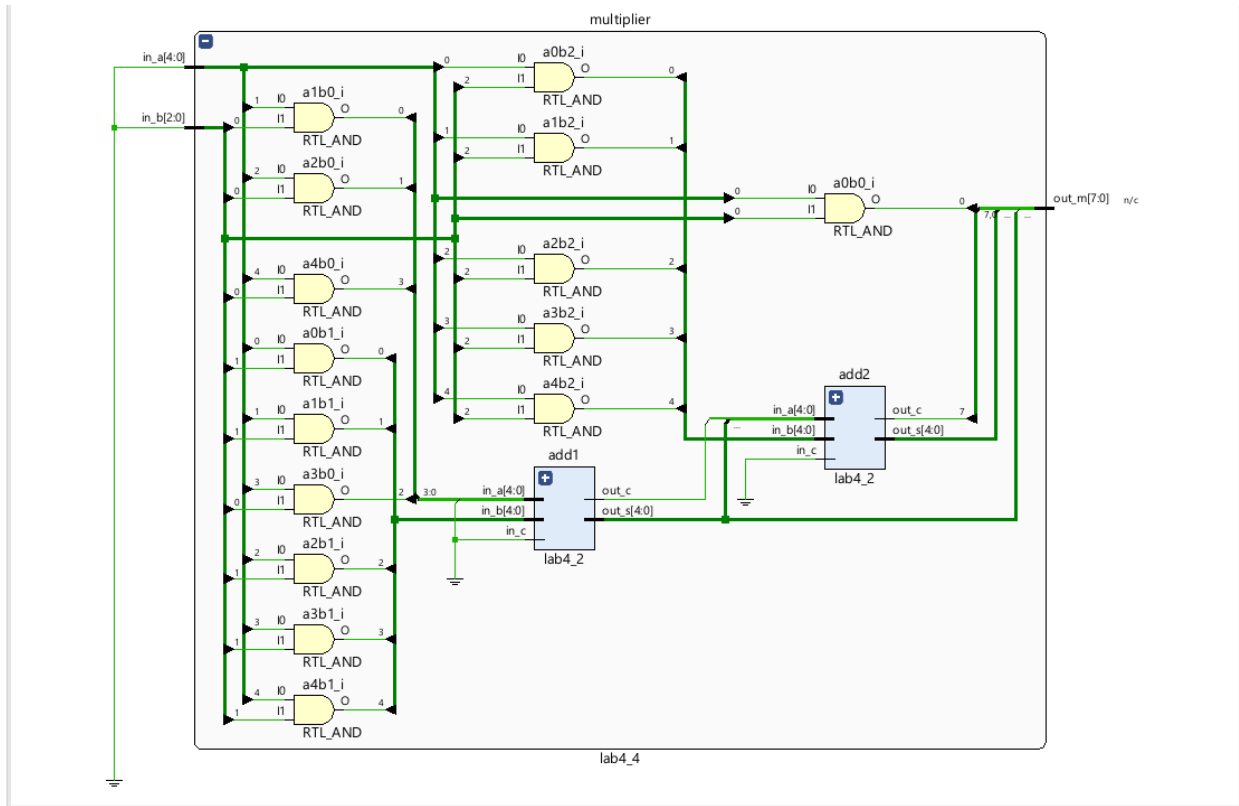


d. Lab 4-4: 5 X 3 이진 곱셈기

i. 5 X 3 이진 곱셈기의 회로도 모습이다.

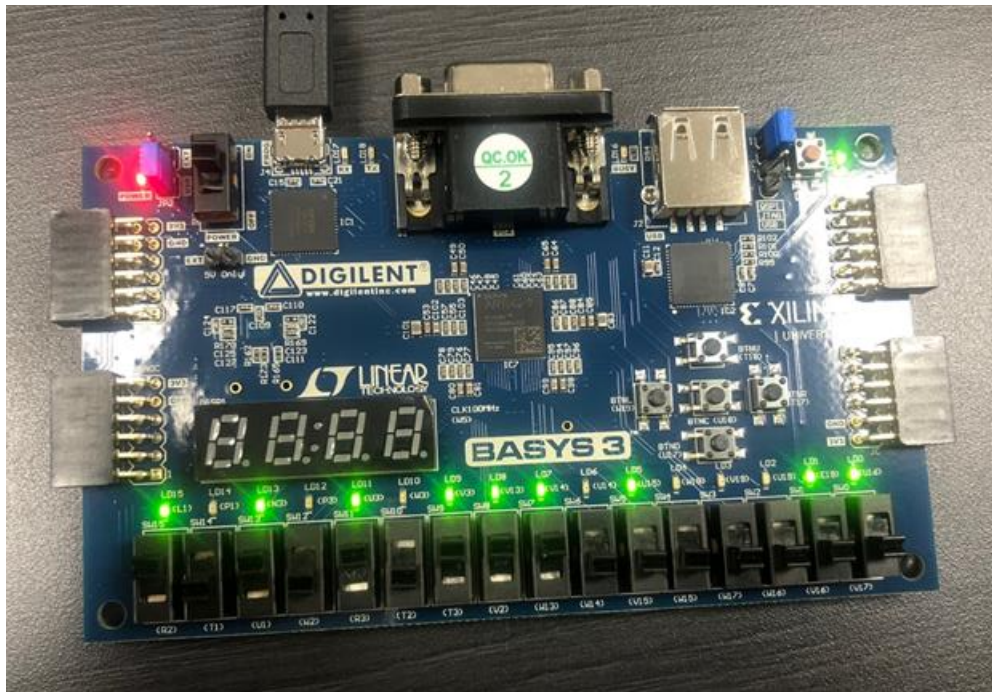


ii. 5 X 3 이진 곱셈기의 시뮬레이션 결과이다.



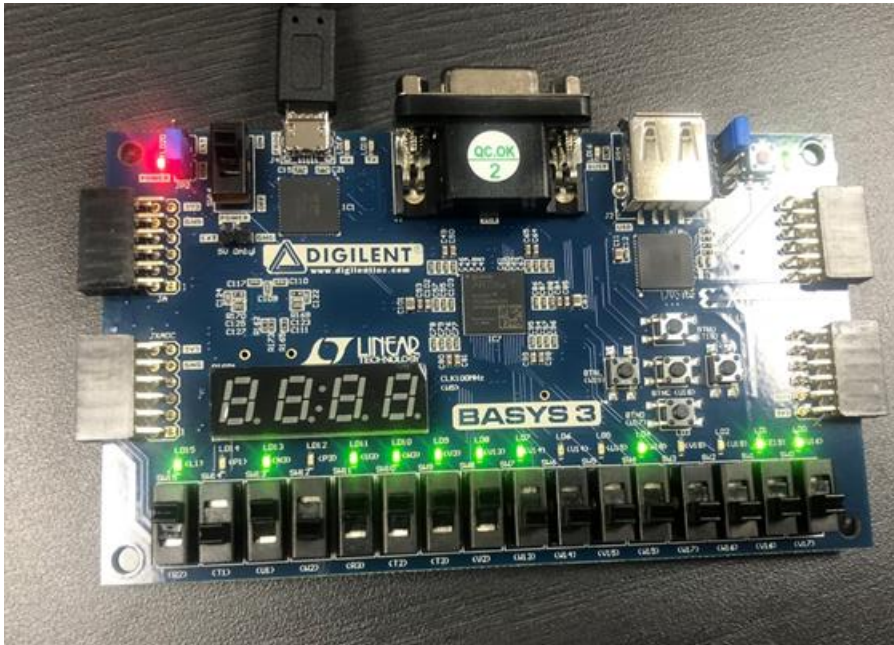
e. 5bit 리플 가산기 실습:

i. $10101 + 01110 = 100011$ 연산을 한 모습이다.



f. 5X3 곱셈기 실습:

i. $10101 \times 111 = 10010011$ 연산을 한 모습이다.



5. 논의:

- 이번 과제를 통해 반가산기, 전가산기, 그리고 가산/감산/곱셈 연산을 구현하는 방법에 대해 알게 되었다. 그리고 감산기를 구현하는 과정에서 2's complement 를 익힐 수 있었다.
- 5X3 곱셈기를 구현하는 과정에서 각 자릿수의 곱을 AND gate 로 하나하나 구현해줘야 했는데, Verilog 문법이 아직 익숙하지 않지만 C++ 에서의 for 문 처럼 사용할 수 있는 Verilog 함수가 있다면, assign 을 15 개씩 사용하지 않고도 구현할 수 있을 것 같다.