

# Cours 7 : Logique CMOS et Circuits intégrés numériques



## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Logique CMOS (CMOS = MOS complémentaire)

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

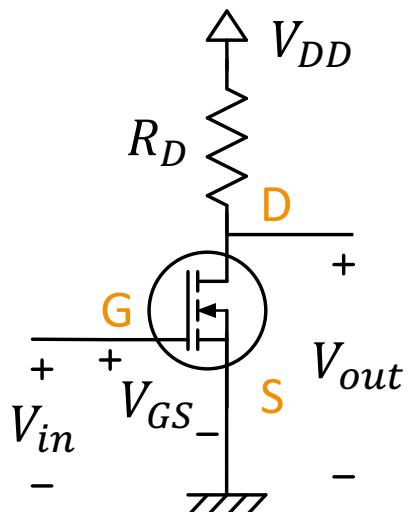
### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

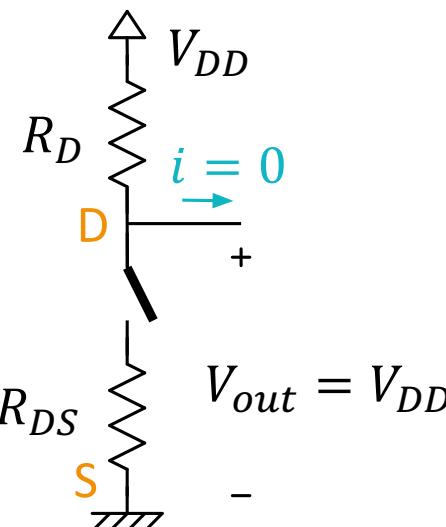
# Commutation

Regardons comment se comporte un transistor **NMOSFET** selon la valeur de sa tension d'entrée  $V_{in}$ . Pour rappel :

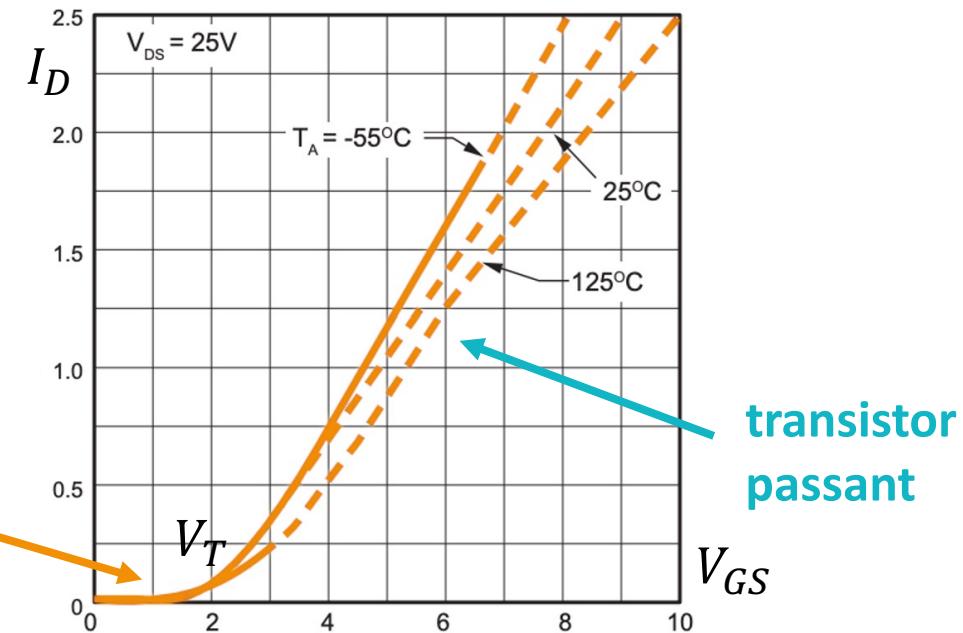
- Si  $V_{in} = V_{GS} < V_T$  (tension de seuil) alors le **transistor est bloqué**
- Si  $V_{in} = V_{GS} > V_T$  alors le **transistor est passant**



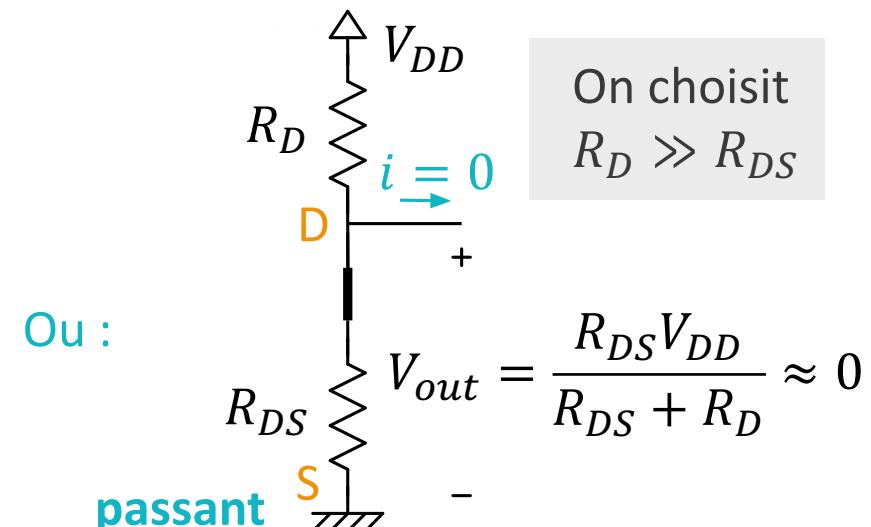
Équivalent à :  
**bloqué**



si  $V_{in} < V_T$   
(typiquement  $V_{in} = 0$ )  
alors  $V_{out} = V_{DD}$



**transistor passant**



Ou :

si  $V_{in} > V_T$   
(typiquement  $V_{in} = V_{DD}$ )  
alors  $V_{out} = 0$

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

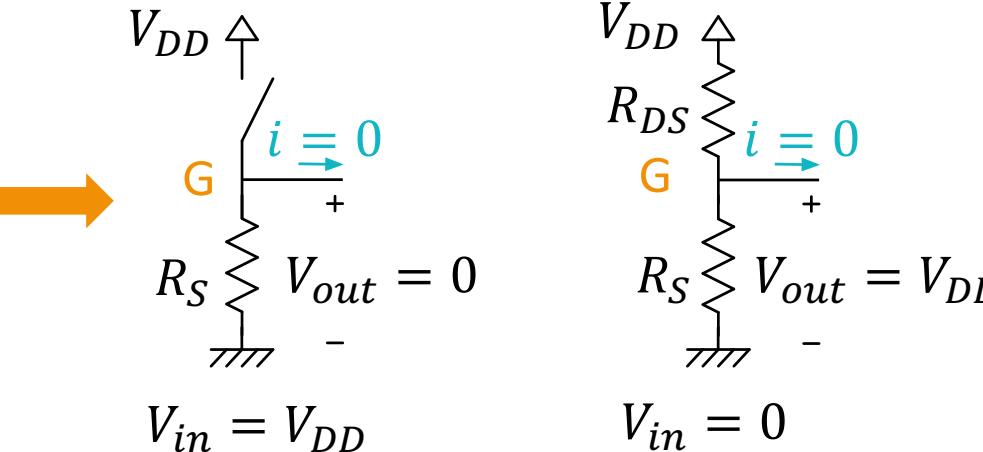
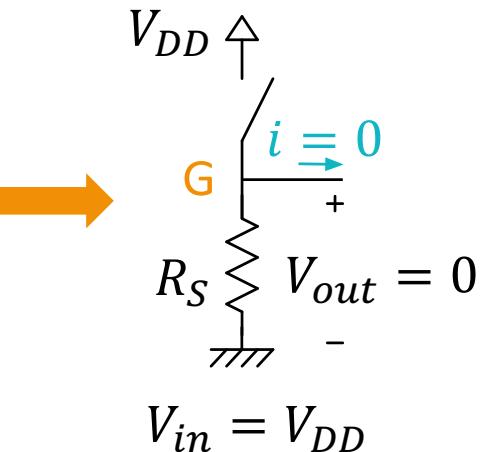
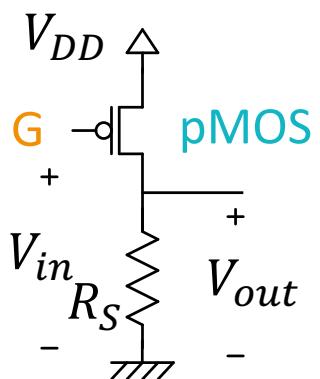
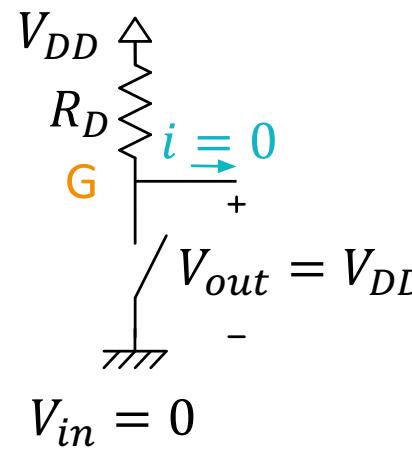
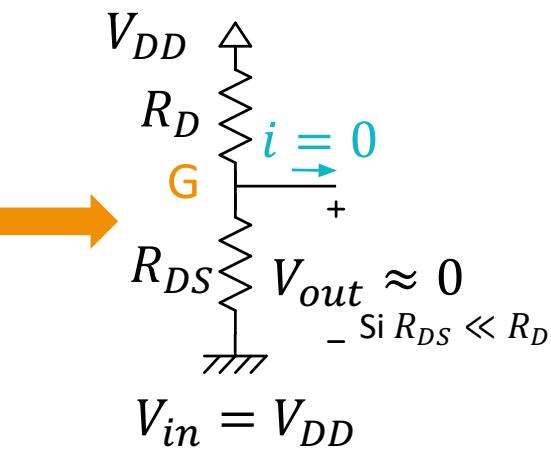
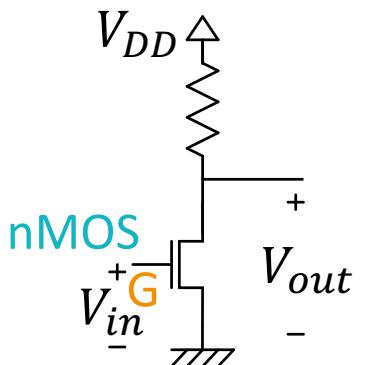
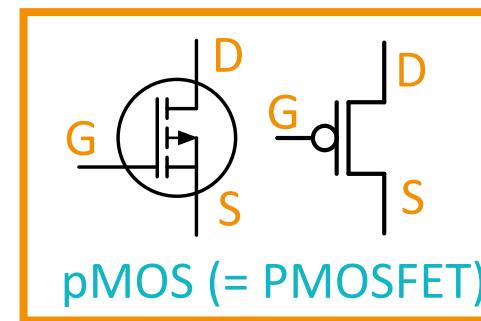
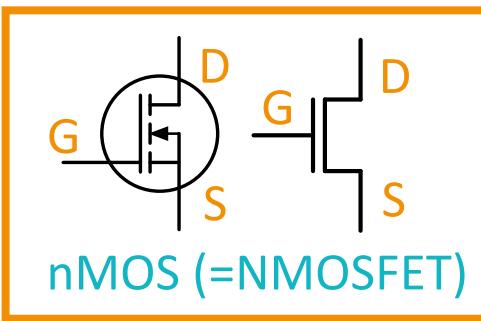
### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Commutation nMOS et pMOS



## A RETENIR

**Le nMOS et le pMOS ont des comportements opposés** : Lors qu'un MOS est un interrupteur ouvert, l'autre, pour la même condition de  $V_{in}$ , est remplacé par sa résistance  $R_{DS}$ .

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

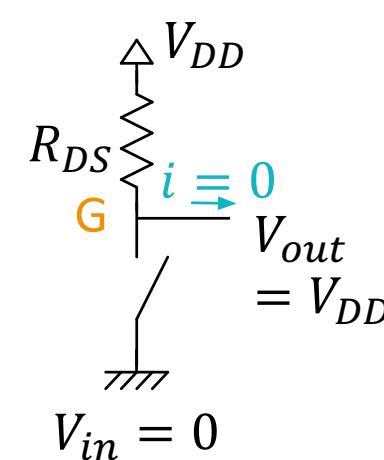
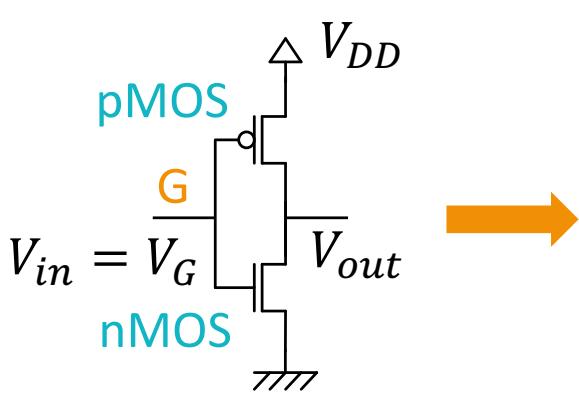
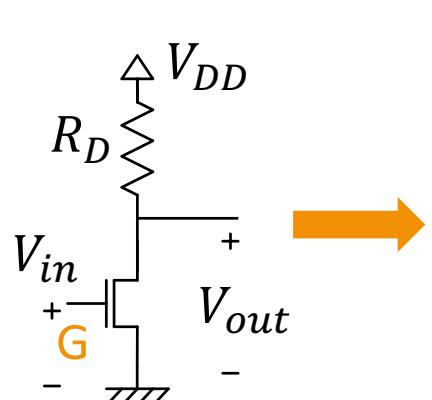
### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

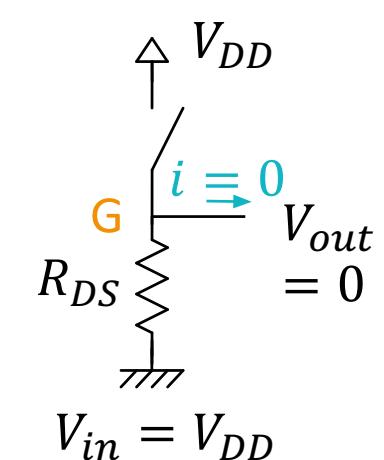
Les montages précédents sont fonctionnels mais présentent deux défauts majeurs :

- Celui de l'encombrement. Effectivement les résistances étant plus grosses que les transistors MOSFETs prennent beaucoup de la place dans un circuit intégré.
- Ces montages consomment de l'énergie au repos. Effectivement lorsque le transistor est passant celui-ci est remplacé par sa résistance drain  $R_{DS}$ , le circuit entre la masse et  $V_{DD}$  est alors fermé et donc un courant circule entre la masse et  $V_{DD}$  même lorsqu'il n'y a pas de commutation du transistor.
- La solution consiste à remplacer la résistance  $R_D$  par un pMOS.

### A RETENIR



Le pMOS tire vers 1



Le nMOS tire vers 0

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Avantages de la technologie CMOS

- Bien que plus lent que la technologie TTL, la technologie CMOS a l'avantage d'avoir une **faible consommation d'énergie**, car ils ne consomment pas de courant lorsqu'ils sont dans un état statique puisqu'en dehors de la commutation, entre  $V_{DD}$  et la masse il y a toujours un interrupteur ouvert. **La consommation d'énergie ne se produit qu'au moment de la commutation des transistors.** La technologie CMOS est donc très efficace pour les dispositifs d'électroniques embarqués (PC portables, les smartphones, etc...)
- La logique CMOS utilise 2 MOSFETs. Ceux-ci, en raison de leur haute impédance d'entrée, peuvent être sensibles aux interférences électromagnétiques et autres bruits électrostatiques. Mais c'est moins le cas dans les CMOS, car :
  - ✓ Dans les circuits CMOS, les transistors nMOS et pMOS sont utilisés en complément ce qui permet de compenser les courants de fuite et de réduire les effets du bruit. Les perturbations affectant un type de transistor peuvent être neutralisées par l'autre type.
  - ✓ De plus les circuits intégrés CMOS modernes intègrent diverses techniques de conception pour améliorer **l'immunité au bruit**, comme l'utilisation de filtres, de blindages et des stratégies de mise à la terre optimisées.

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

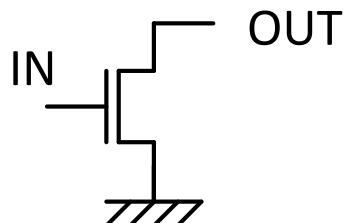
3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

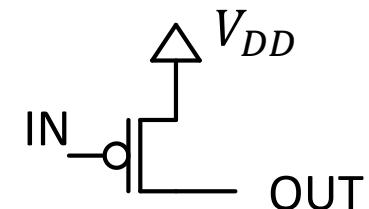
# La logique CMOS

- La technologie CMOS (*Complementary Metal-Oxyde-Semiconductor*) est à la base des circuits intégrés modernes tels que les microprocesseurs, microcontrôleurs, mémoires et portes logiques.
- Elle repose sur la complémentarité de deux MOSFETs de type opposé.

Les nMOS sont toujours reliés à la masse



Les pMOS sont toujours reliés à  $V_{DD}$



IN	OUT	état
0	Z	OFF
1	0	ON

IN	OUT	état
0	1	ON
1	Z	OFF

« Z » = Haute impédance, car interrupteur ouvert

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

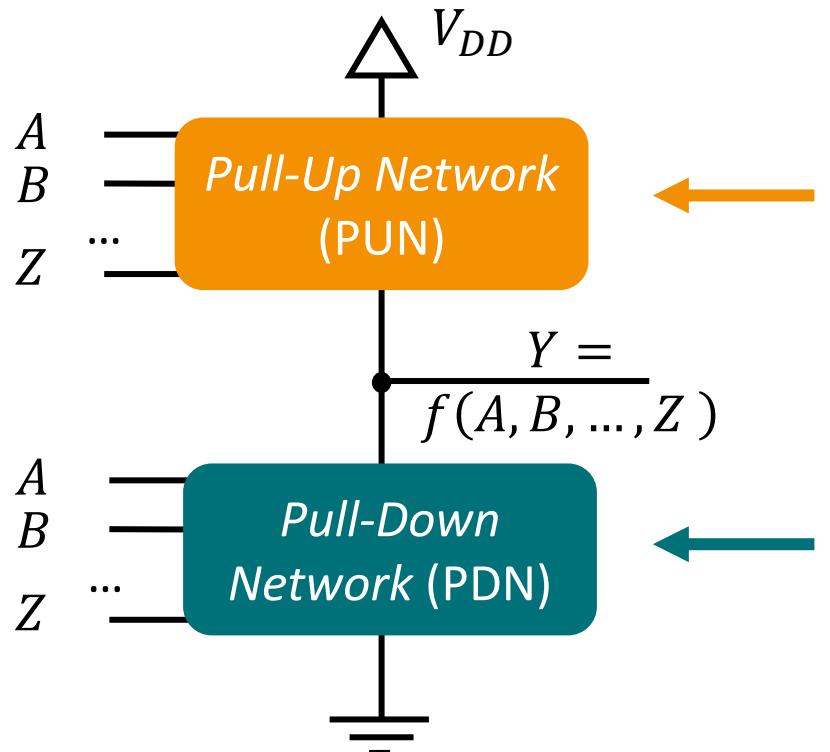
- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Méthode pour créer un circuit numérique à l'aide de la logique CMOS, c'est-à-dire en associant nMOS et pMOS.

Les fonctions logiques sont construites en associant 2 réseaux. Celui du haut (appelé Pull-Up Network, car il ne contient que des pMOS qui tirent la sortie vers 1) et celui du bas que des nMOS (appelé Pull-Down Network, car il ne contient que des nMOS qui tirent la sortie vers 0).



- Pour écrire le réseau en pMOS, on part de la fonction  $Y$  que l'on cherche à créer en technologie CMOS. Et on l'exprime uniquement à l'aide des entrées complémentées  $\bar{A}, \bar{B}$ , etc ...
- Pour écrire le réseau en nMOS, on part de la fonction  $Y$ , on prend son complément  $\bar{Y}$ . Puis on l'exprime uniquement à l'aide des entrées non complémentées  $A, B$ , etc ...

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

- Si l'opérateur qui relie  $A$  et  $B$  est un « + » alors les deux MOS sont en parallèle car si l'une des entrées  $A$  **OU**  $B$  est vérifiée alors la sortie est vérifiée.
- Si l'opérateur qui relie  $A$  et  $B$  est un «  $\cdot$  » alors les deux MOS sont en série car il faudra que les deux entrées  $A$  **ET**  $B$  soient vérifiées pour que la sortie soit vérifiée.
- On s'aidera du théorème de De Morgan pour réaliser la méthode décrite précédemment.

$$\overline{A + B} = \bar{A} \cdot \bar{B}$$

$$\overline{A \cdot B} = \bar{A} + \bar{B}$$

- On s'aidera aussi de quelques relations utiles de l'algèbre de Boole :

	SOMME	PRODUIT
Idempotence	$a + a = a$	$a \cdot a = a$
Adsorption d'un terme (1)	$a + a \cdot b = a$	$a \cdot (a + b) = a$
Adsorption d'un terme (2)	$a + \bar{a} \cdot b = a + b$	$a \cdot (\bar{a} + b) = a \cdot b$
Éléments absorbants	$a + 1 = 1$	$a \cdot 0 = 0$

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

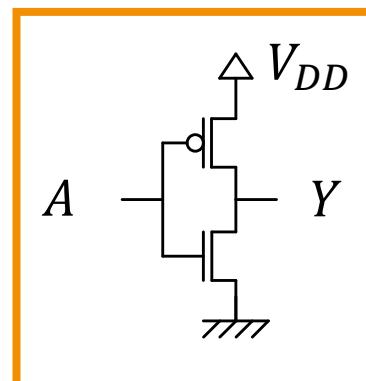
## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

## EXERCICE 1 : Créer la porte NOT en logique CMOS

Soit la fonction  $Y = \bar{A}$

- Le schéma doit contenir un réseau de pMOS en haut et un réseau de nMOS en bas.
- Pour la partie du haut faite uniquement de pMOS : On part de  $Y$ . Et on doit l'écrire uniquement sous la forme d'entrée complémentée  $\bar{A}$ . C'est déjà fait, il n'y a rien à faire. Donc pour la partie du haut on a 1 seul pMOS relié à  $A$ .
- Pour la partie du bas faite uniquement de nMOS : On part de  $Y$  et on fait son complément, c'est-à-dire  $\bar{Y} = \bar{\bar{A}} = A$ . Ensuite il faut écrire  $\bar{Y}$  uniquement sous la forme d'entrée non complémentée  $A$ . Le travail est fini ici. Donc pour la partie du bas on a 1 seul nMOS relié à  $A$ .



# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

## EXERCICE 2 : Créer la porte NAND en logique CMOS

Soit la fonction  $Y = \overline{A \cdot B}$

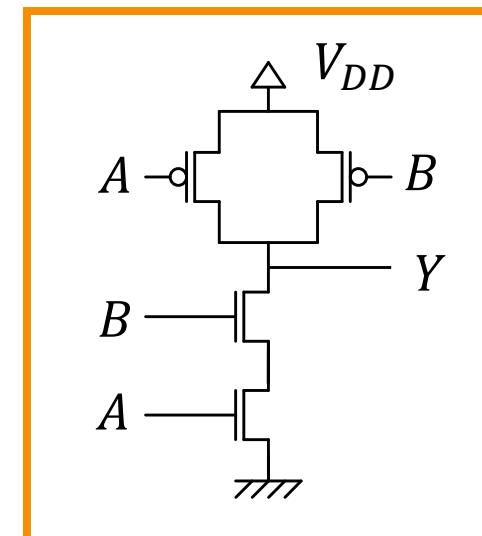
- Pour la partie du haut faite uniquement de pMOS : il faut que  $Y$  ne s'écrive qu'avec des entrées complémentées  $\bar{A}$  et  $\bar{B}$ . Ce qui n'est pas le cas ici. Il faut donc utiliser le théorème de De Morgan.

$$Y = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A}} + \overline{\overline{B}} \quad \text{Opérateur « + » donc 2 pMOS en parallèle}$$

- Pour la partie du bas faite uniquement de nMOS : On complémente  $Y$ . Ensuite il faut exprimer  $\overline{Y}$  obtenu uniquement avec des entrées non complémentées  $A$  et  $B$ .

$$\overline{Y} = \overline{\overline{A} \cdot \overline{B}} = A \cdot B \quad \text{Opérateur « · » donc 2 nMOS en série}$$

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0



# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

### EXERCICE 3 : Créer la porte NOR en logique CMOS

Soit la fonction  $Y = \overline{A + B}$

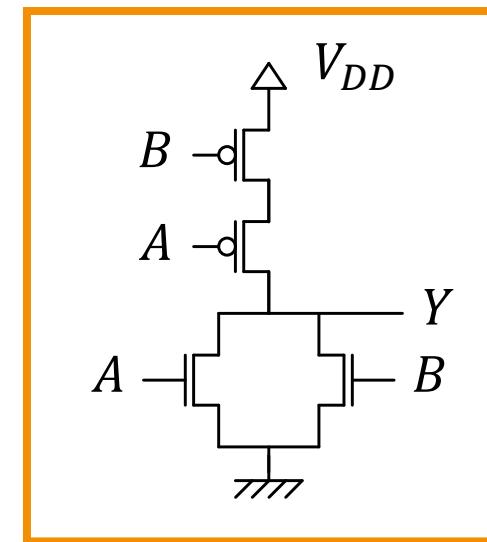
- Pour la partie du haut faite uniquement de pMOS : il faut que  $Y$  ne s'écrive qu'avec des entrées complémentées  $\bar{A}$  et  $\bar{B}$ . Ce qui n'est pas le cas ici. Il faut donc utiliser le théorème de De Morgan.

$$Y = \overline{A + B} = \overline{A} \cdot \overline{B} \quad \text{Opérateur « · » donc 2 pMOS en série}$$

- Pour la partie du bas faite uniquement de nMOS : On complémente  $Y$ . Ensuite il faut exprimer  $\overline{Y}$  obtenu uniquement avec des entrées non complémentées  $A$  et  $B$ .

$$\overline{Y} = \overline{\overline{A + B}} = A + B \quad \text{Opérateur « + » donc 2 nMOS en parallèle}$$

A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0



# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

**EXERCICE 4 :** Créer la fonction  $Y = \overline{D + A \cdot (B + C)}$  en logique CMOS

### ÉTAPE 1 :

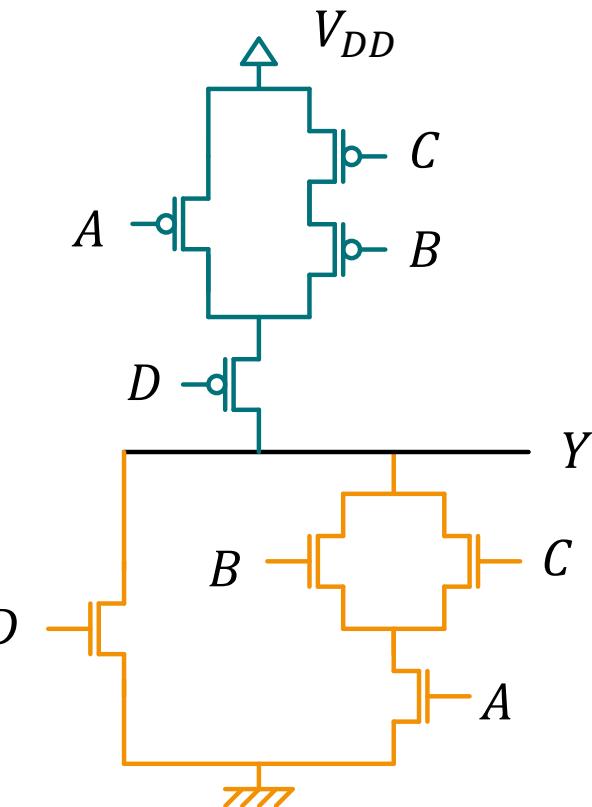
réseau P ( $Y = f(\bar{A}, \bar{B}, \bar{C}, \bar{D})$ ) :

$$\begin{aligned} Y &= \overline{\bar{D} + A \cdot (B + C)} \\ &= \bar{D} \cdot \overline{A \cdot (B + C)} \\ &= \bar{D} \cdot (\bar{A} + \overline{B + C}) \\ &= \bar{D} \cdot (\bar{A} + \bar{B} \cdot \bar{C}) \end{aligned}$$

### ÉTAPE 2 :

réseau N ( $\bar{Y} = f(A, B, C, D)$ ) :

$$\begin{aligned} \bar{Y} &= \overline{\bar{D} + A \cdot (B + C)} \\ &= D + A \cdot (B + C) \end{aligned}$$



## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Conception d'un circuit intégré

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

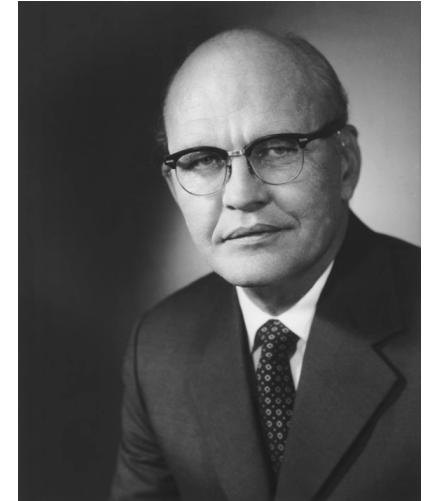
- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Introduction

- Le **circuit intégré** est un composant électronique basé sur un semi-conducteur intégrant une ou plusieurs fonctions électroniques plus ou moins complexes dans un volume réduit.
- Inventé par **Jack Kilby** en **1959** (Texas Instruments, prix Nobel de Physique en 2000)
- Deux catégories :
  - **CI analogique** : AOP
  - **CI numérique** : portes logiques, microprocesseurs, ASIC (Application Specific Integrated Circuits), DSP (Digital Signal Processor), FPGA (Field Programmable Gate Array), mémoires



1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

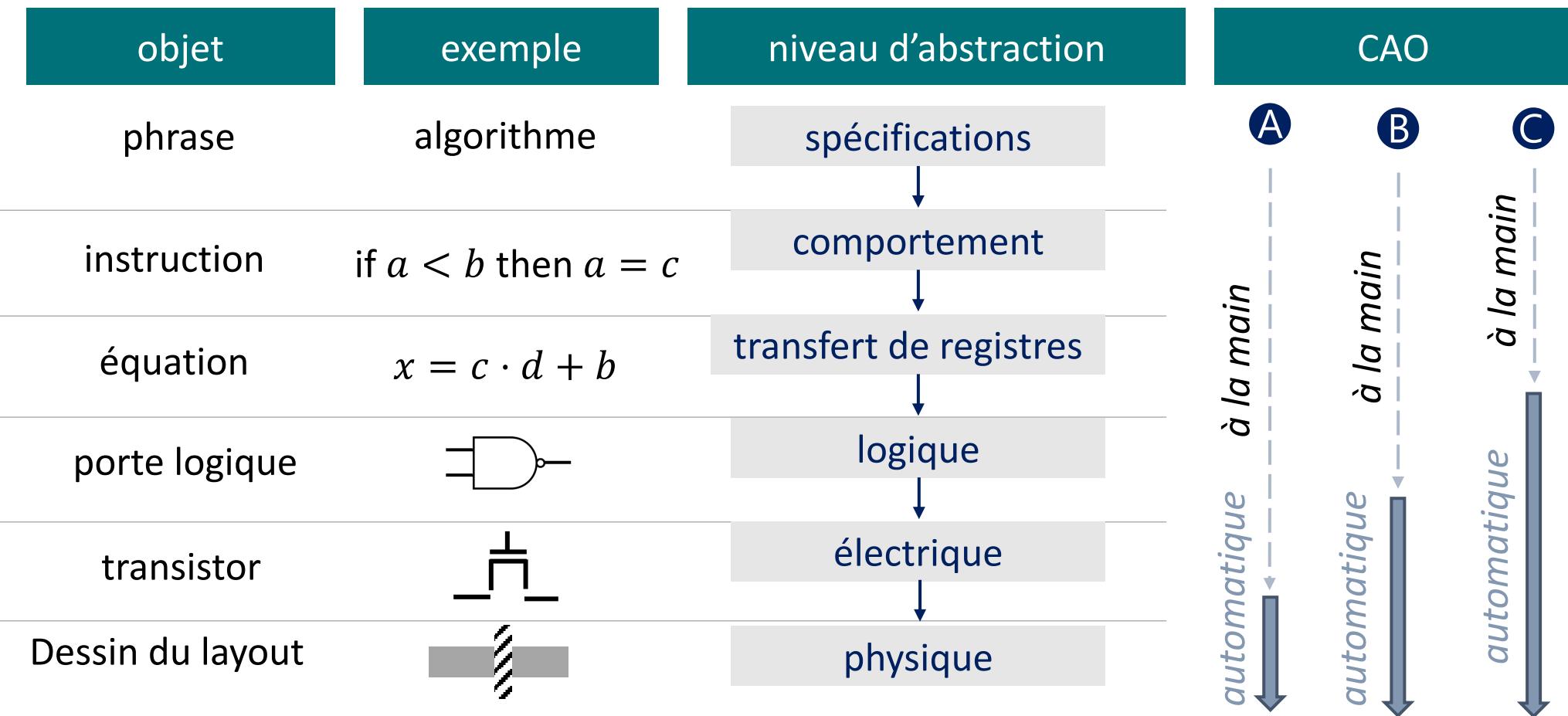
2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Conception - différents niveaux d'approche possibles



Remarque : la méthode automatisée est plus rapide mais moins optimisée.

- Ⓐ : méthodologie manuelle
- Ⓑ : méthodologie semi-automatisée
- Ⓒ : méthodologie automatisée

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

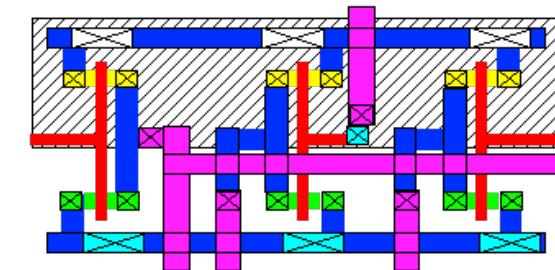
### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Conception - méthodologies de travail du concepteur

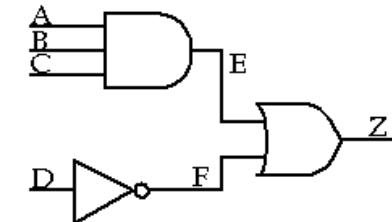
## • méthodologie manuelle

Tout le temps de conception est consacré au dessin manuel des layouts en partant des spécifications techniques.



## • Méthodologie semi-automatisée

Le circuit est conçu en partant des spécifications pour arriver jusqu'au **niveau logique**. La description du circuit sous forme de portes est injectée à des programmes qui génèrent les dessins.



## • Méthodologie automatisée

Le circuit est conçu en partant des spécifications pour aller jusqu'au **niveau comportemental**. Le circuit est d'abord décrit sous forme d'instructions en langage haut niveau appelé **HDL** (*Hardware Description Language*). Ensuite, cette description est traduite par un compilateur de silicium pour générer le dessin des layouts. Les principaux langages (à partir des années 80) sont le VHDL et le Verilog.

```
-- import std_logic from the IEEE library
library IEEE;
use IEEE.std_logic_1164.all;

-- this is the entity
entity name_of_entity is
    port (
        IN1 : in std_logic;
        IN2 : in std_logic;
        OUT1: out std_logic);
end entity name_of_entity;

-- here comes the architecture
architecture name_of_architecture of name_of_entity is

-- Internal signals and components would be defined here

begin

    OUT1 <= IN1 and IN2;

end architecture name_of_architecture;
```

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

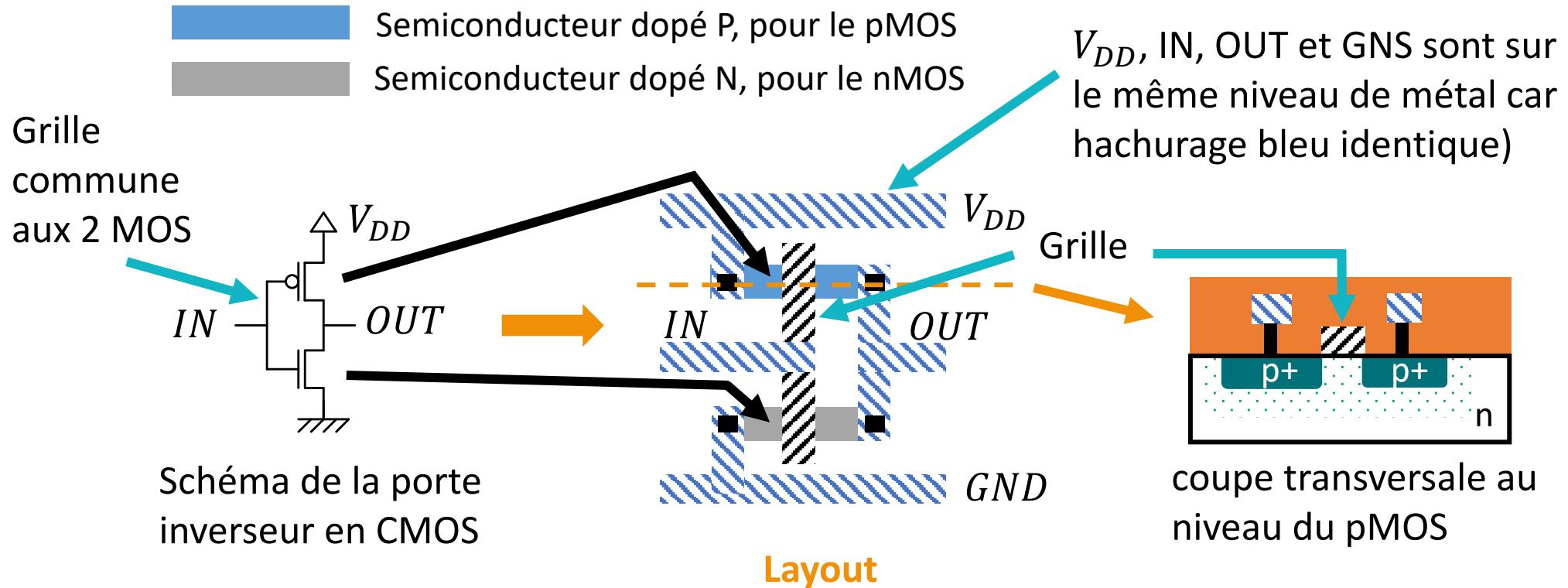
- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Conception du layout

Le Layout est le dessin fait sur logiciel de CAO qui permettra de faire le masque ultérieurement



La grille est toujours sous le métal d'un point de vue niveau de couches

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Conception du layout : Règles de tracé

- Les règles de tracé du dessin varient d'un manufacturier à un autre. Ce sont les limitations que l'on donne aux concepteurs à cause des caractéristiques du processus de fabrication.
- Deux approches pour les règles de tracé :
  - **règles extensibles : paramètre  $\lambda$** 
    - ⚙ toutes les dimensions sont fonctions d'un seul paramètre :  $\lambda$
    - ⚙ la paramètre  $\lambda$  possède typiquement une valeur égale à la moitié de la plus petite dimension réalisable (ex :  $0,2 \mu m \rightarrow \lambda = 0,1 \mu m$ )
    - ⚙ toutes les dimensions sont des multiples de  $\lambda$
    - ⚙ facile à transporter à un autre processus, mais les circuits sont souvent plus gros que nécessaire.
  - **règles absolues : règles micron**
    - ⚙ toutes les dimensions sont en  $\mu m$
    - ⚙ les circuits sont de taille minimale - optimisations absolue
    - ⚙ il faut changer toutes les dimensions pour passer à un autre processus
    - ⚙ la plus utilisée en industrie

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

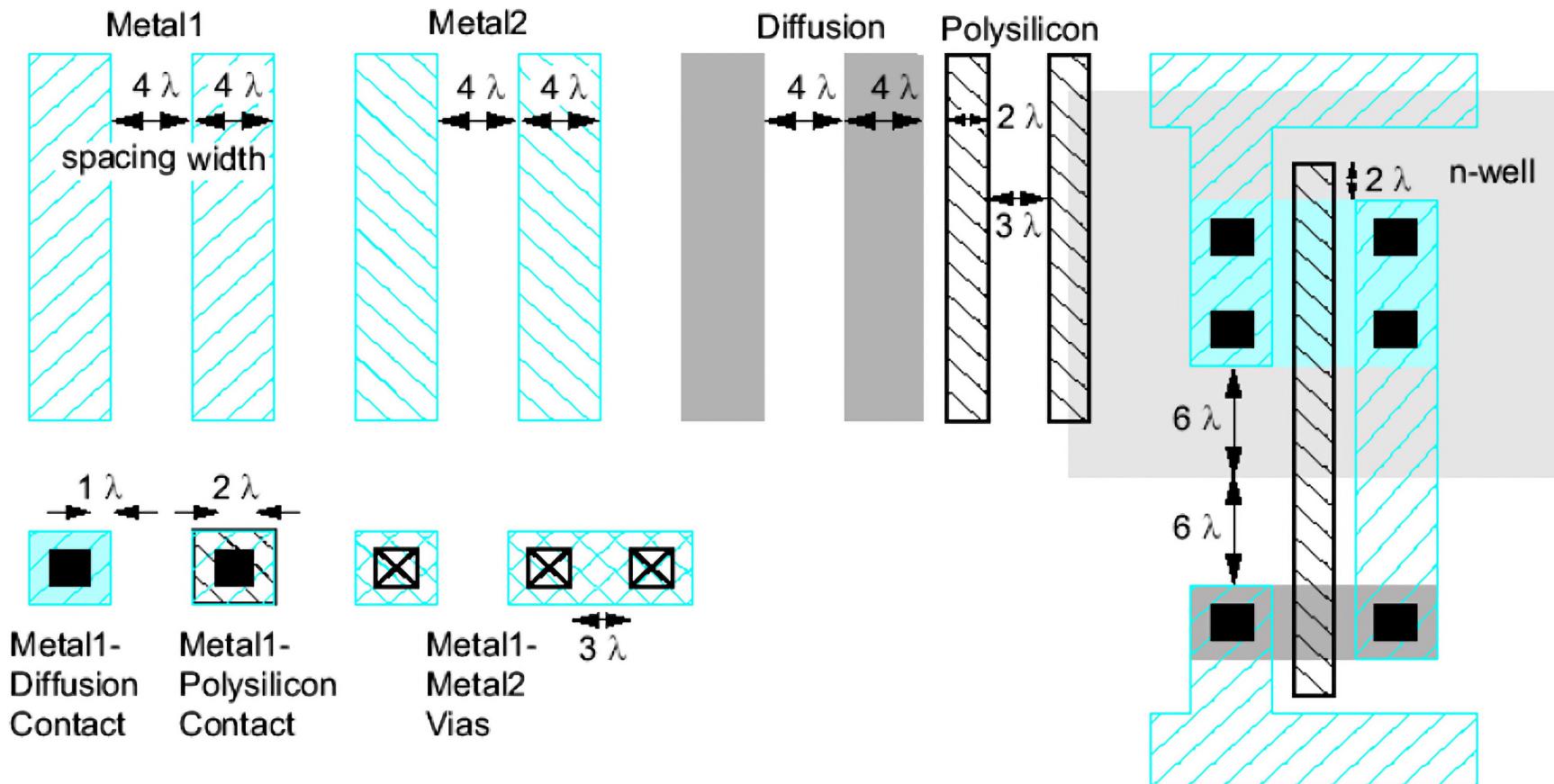
- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

## POUR INFO

- Typiquement, les résolutions se présentent sous forme de tableaux référant aux :
  - règles de résolution : les largeurs minimales ;
  - règles d'alignement : les espacements minimaux.
- Exemple :



1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

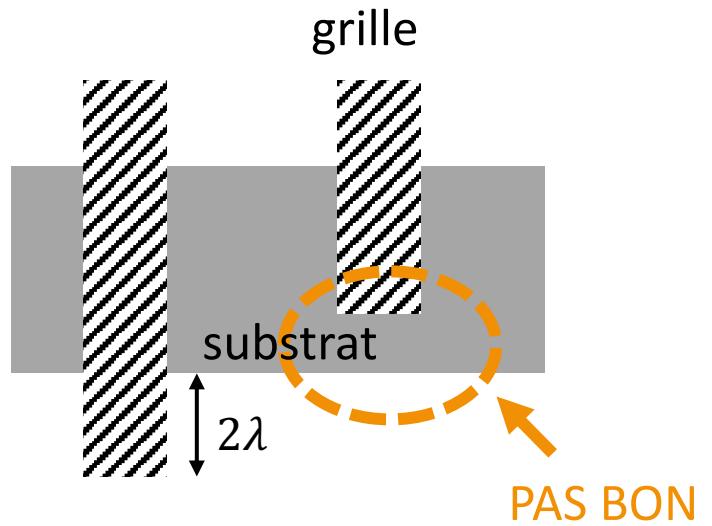
2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

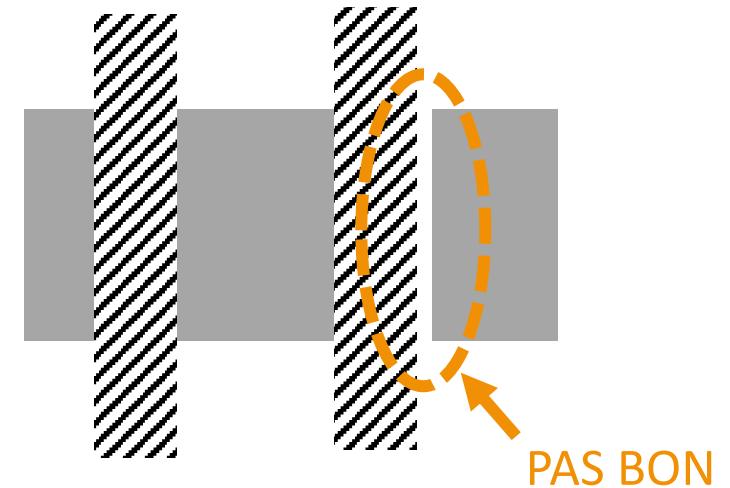
- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

## Deux remarques :



### Pourquoi faire un dépassement ?

S'il y a une erreur de fabrication, il se peut qu'il y ait un court-circuit entre la source et le drain.



Pourquoi le polySilicium est appliqué avant d'implanter les ions pour créer la source et le drain ?

Au cas où le polySilicium ne serait pas exactement à la bonne place, le transistor fonctionnerait quand même.  
(Processus auto-aligné)

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

## Quelques conseils et règles à suivre :

**POUR INFO**

- ✓ Router les alim ( $V_{DD}$  et  $GND$ ) en métal sans oublier les points de contact.
- ✓ Essayer dans la mesure du possible de router les pMOS dans une même zone (supérieure, près du  $V_{DD}$ ) et les nMOS dans une même autre zone (inférieure, près du  $GND$ ).
- ✓ Typiquement, on route les diffusions N et P horizontalement et les polySiliciums verticalement.
- ✓ Essayer dans la mesure du possible d'avoir les zones de diffusion N et P les plus courtes possibles.
- ✓ Les longs fils doivent être en métal.
- ✓ Comme pour un PCB, un bon layout est lisible.

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

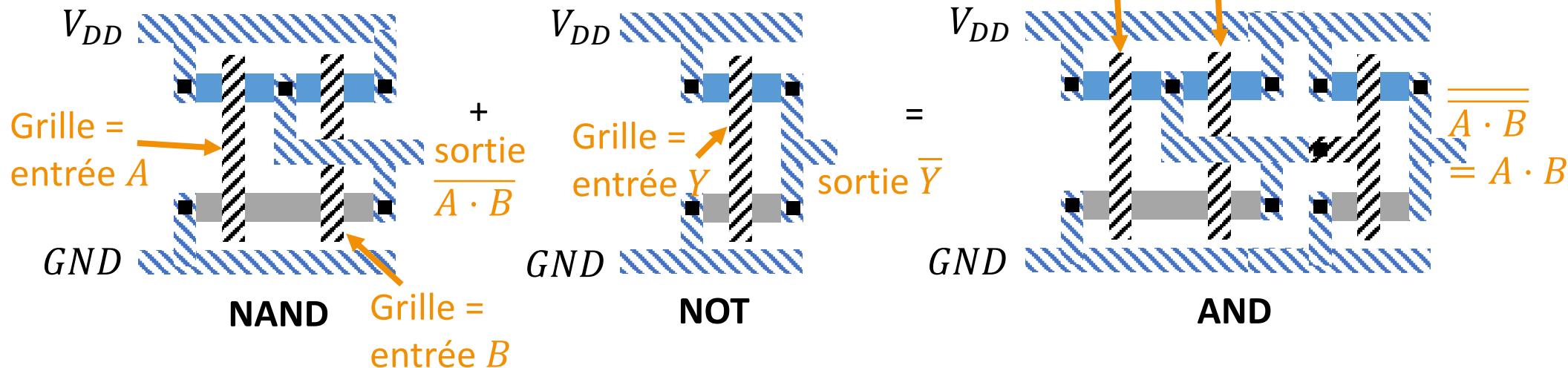
### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Conception du layout d'un circuit complexe - 2 approches

## ► la méthode des cellules standards

- ➊ on essaie d'avoir des hauteurs de cellules constantes
- ➋ on branche en série différentes portes logiques à l'aide de connexion métalliques



## ► la méthode du parcours d'Euler (voir slide suivante)

- ➌ résulte de la simplification du graphe dual en cherchant le parcours d'Euler

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Méthode du parcours d'Euler

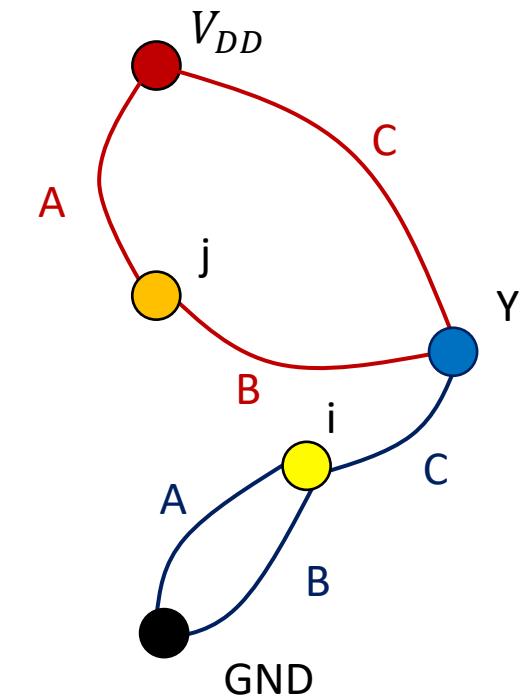
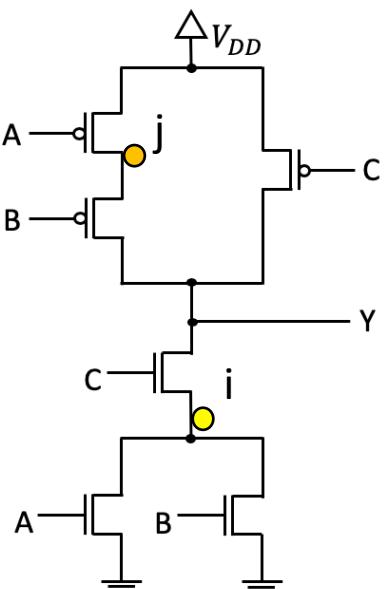
Objectif : minimiser les connexions et les coudes, et idéalement aligner les diffusions.

## 1<sup>ère</sup> étape : Tracer le graphe dual

- Représentation des parcours utilisés par les signaux.
- Chaque nœud représente un nœud dans le circuit où deux (ou plus) transistors sont branchés ensemble, ou le lieu où il y a une connexion à  $V_{DD}$  ou à  $GND$ .
- Chaque courbe reliant deux nœuds représente un transistor
- Un graphe pour le PDN et un graphe pour le PUN

### EXEMPLE

$$Y = \overline{C \cdot (A + B)}$$



## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

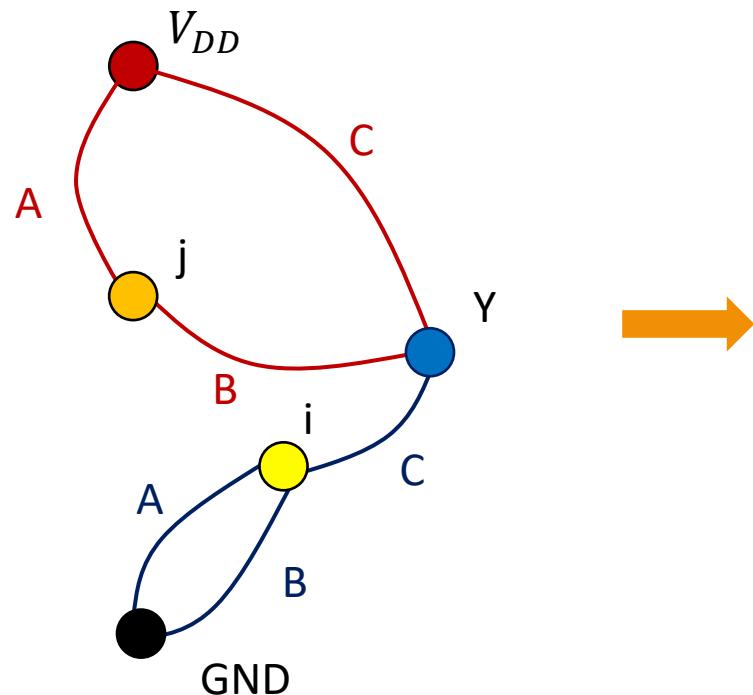
### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

### 2<sup>ème</sup> étape : Identifier le parcours d'Euler

- il s'agit du parcours permettant de passer sur chaque arc une seule fois en visitant tous les nœuds.
- le parcours obtenu permet de minimiser les connexions.
- s'il est possible de trouver un tel parcours, on pourra utiliser une unique bande de diffusion pour les PUN et PDN. Sinon, il y aura une cassure.

#### EXEMPLE



Parcours d'Euler : A,B,C

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

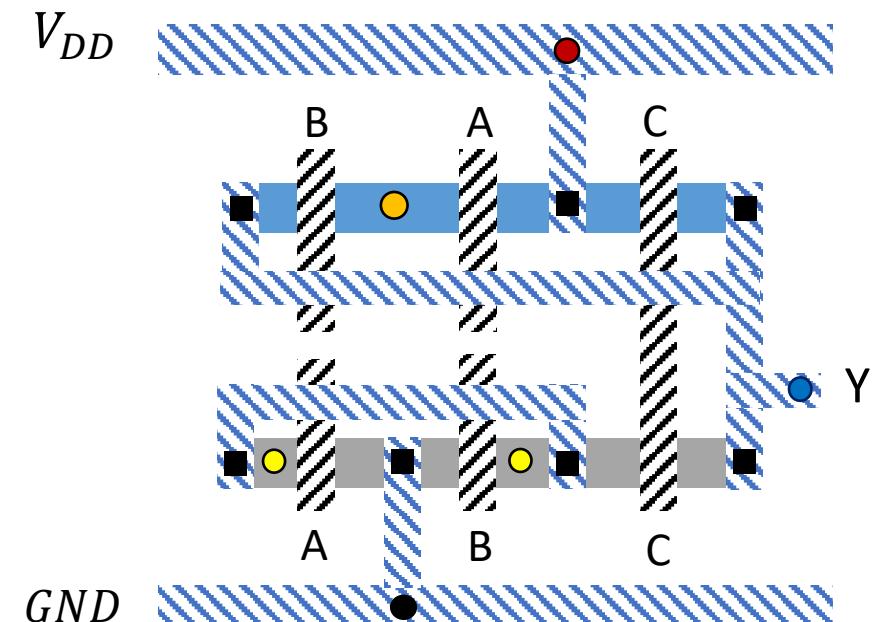
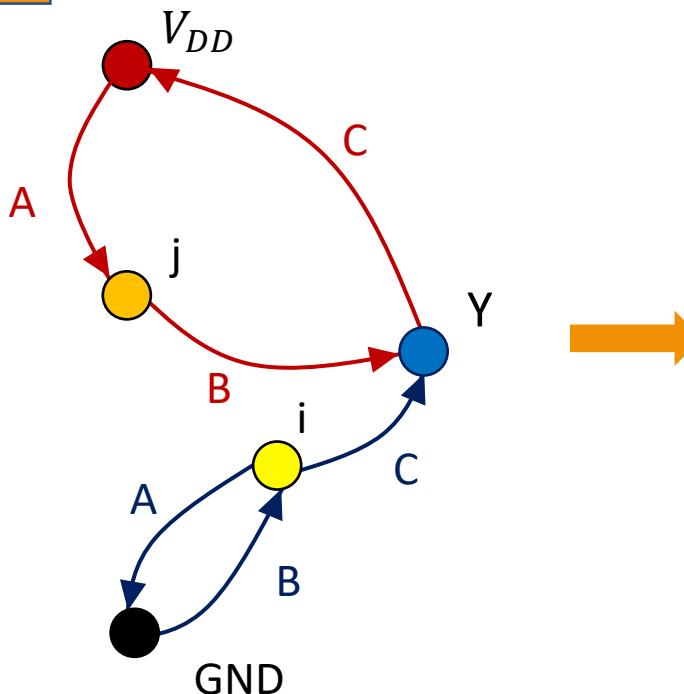
## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

## 3ème étape : Dessiner le layout

- On commence par placer deux bandes horizontales de métal 1, une pour  $V_{DD}$  et une pour GND.
- On ajoute ensuite horizontalement une bande de diffusion pour le PDN et pour le PUN
- On place ensuite les bandes verticales de polysilicium pour chaque entrée
- On finalise le masque en plaçant les connexions en suivant le parcours d'Euler

### EXEMPLE



1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Après le layout : le masque

- Une fois le layout fait, le concepteur du circuit fait un « run » sur le logiciel de CAO qui génère un fichier standard (format .gds2) qui décrit pour chaque couche les caractéristiques géométriques du masque.
- Il faut voir le masque comme un calque pour la photolithographie. Le masque est fait par une société extérieure au concepteur du layout. Une fois le masque fait, il part à STMicroélectronics (par exemple) qui est le fondeur, c'est-à-dire celui qui va fabriquer physiquement la puce.
- Le fondeur illumine ce calque avec des photons. La lumière va sur le substrat en silicium qu'à certains endroits car les photons ne sont passés qu'à travers les trous du masque. Il y a des zones qui sont donc irradiées par les photons sur le substrat.
- Juste au préalable de cette étape il y a de la résine qui a été déposée sur le substrat, et cette résine une fois irradiée quitte le substrat sur lequel elle avait été déposée. Du coup sur le substrat en silicium il y a des ouvertures (qui sont les trous dans la résine qui est partie à cet endroit) Ces trous sont totalement à l'image du masque (ou encore le calque). Et dans ces trous le fondeur peut faire ce qu'il veut : graver, déposer, injecter des ions pour faire du dopage.

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Fabrication du circuit intégré

1. Pour faire une puce, on part du silicium, là où il y a la source et le drain, puis couche par couche on crée le circuit. Au-dessus du silicium il y a le polysilicium (poly pour poly cristallin. Le polysilicium est très fortement dopé N) qui joue le rôle de métal de grille.
2. Puis au-dessus du polysilicium (qui indique où sont toutes les grilles) il y a des niveaux de métaux (métal1 = niveau1, métal2 = niveau 2, etc...) qui s'empilent, mais séparés par des couches d'isolants. Plus on va vers les hauts niveaux de métal et plus on va vers la surface de la puce.

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

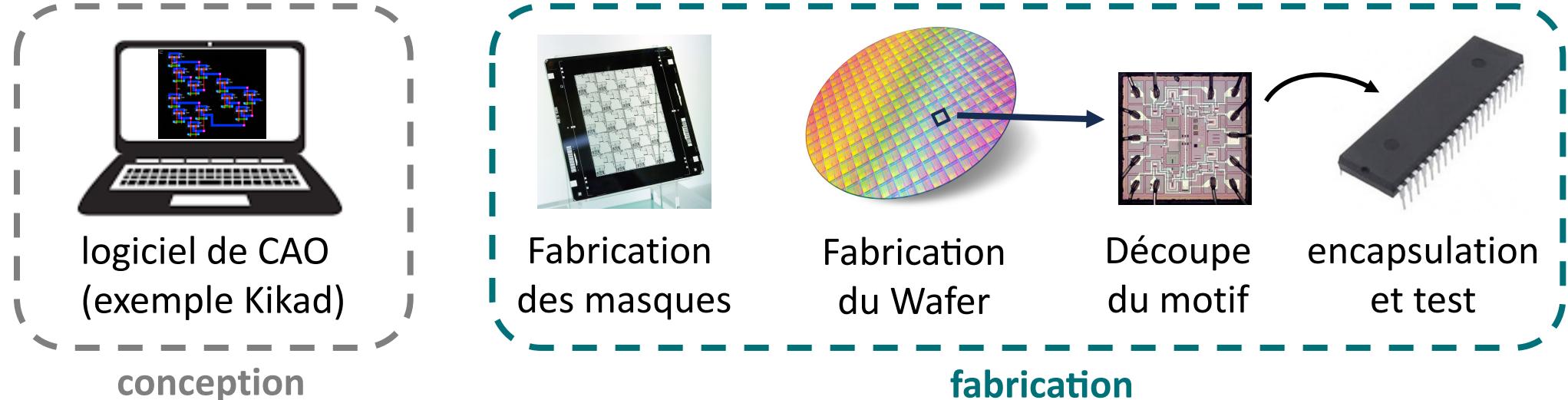
### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Flow de travail



1. Dans le logiciel de CAO on dessine le layout couche par couche. A chaque layout correspond un masque.
2. On regroupe ensuite les différentes puces les unes à côté des autres ce qui crée le « réticule » (= motif qui va se répéter sur le wafer). Celui-ci est envoyé au fondeur (ex : stmicroelectronics en France). Celui-ci s'est alors exactement ce qu'il a à faire au niveau du procédé expérimental. Le fondeur fabrique une infinité de motifs identiques sur le Wafer (la galette) puis envoie le wafer au concepteur qui n'a plus qu'à découper le motif.

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

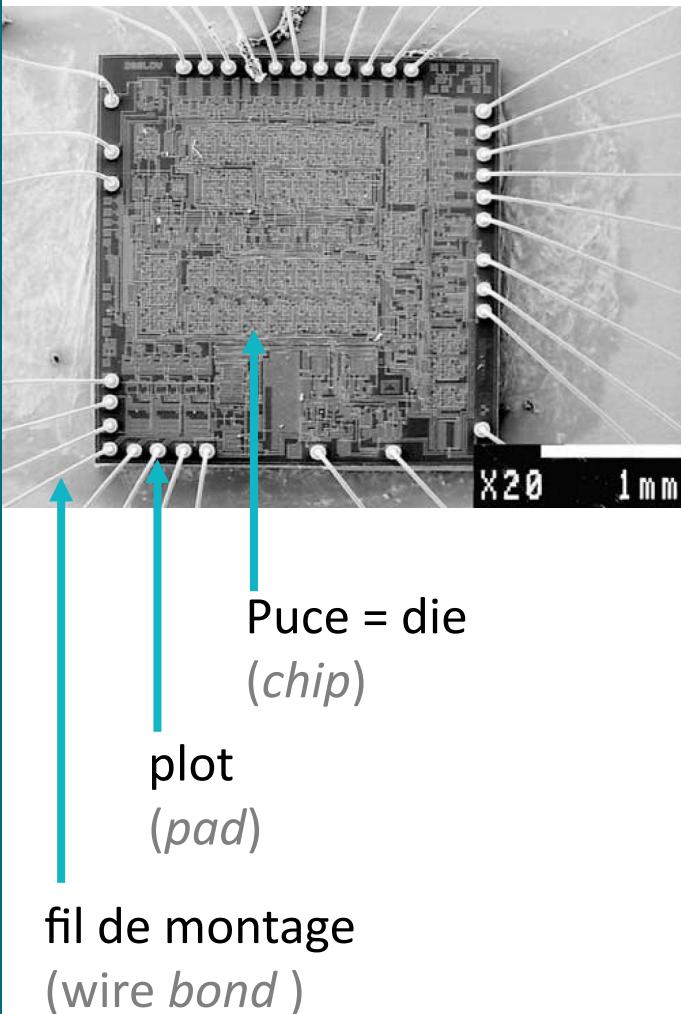
### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. **Fabrication**
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Le die



- **le "die"** désigne le composant fonctionnel contenant le circuit complet, prêt à être encapsulé.
- **le plot** est un **point de contact ou de connexion** utilisé pour établir une liaison électrique avec le monde extérieur. Ce sont des petites zones métalliques sur le die du circuit intégré. Ils servent à connecter électriquement le die à son boîtier via des fils microscopiques (*wire bonding*)

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Wafer de silicium

oxydation

Élimination de la résine photosensible (ashing)

Masque optique

Exposition multiple aux rayons UV

Revêtement par résine photosensible

Nettoyage et séchage

Gravure acide (etching)

Finition de la résine photosensible

Circuit intégré

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Exemple : le MUX 4:1

Equation  
booléenne

Circuit  
logique

Layout

Tests  
unitaires

Valida-  
tion

Perfor-  
mances

Symbole du multiplexeur

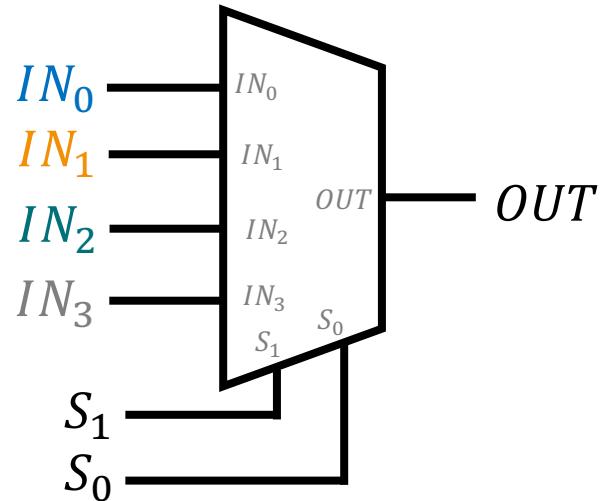


Table de vérité

$S_1$	$S_0$	OUT
0	0	$IN_0$
0	1	$IN_1$
1	0	$IN_2$
1	1	$IN_3$

Equation logique

$$OUT = \bar{S}_1 \cdot \bar{S}_0 \cdot IN_0 + \bar{S}_1 \cdot S_0 \cdot IN_1 + S_1 \cdot \bar{S}_0 \cdot IN_2 + S_1 \cdot S_0 \cdot IN_3$$

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Equation  
booléenne

Circuit  
logique

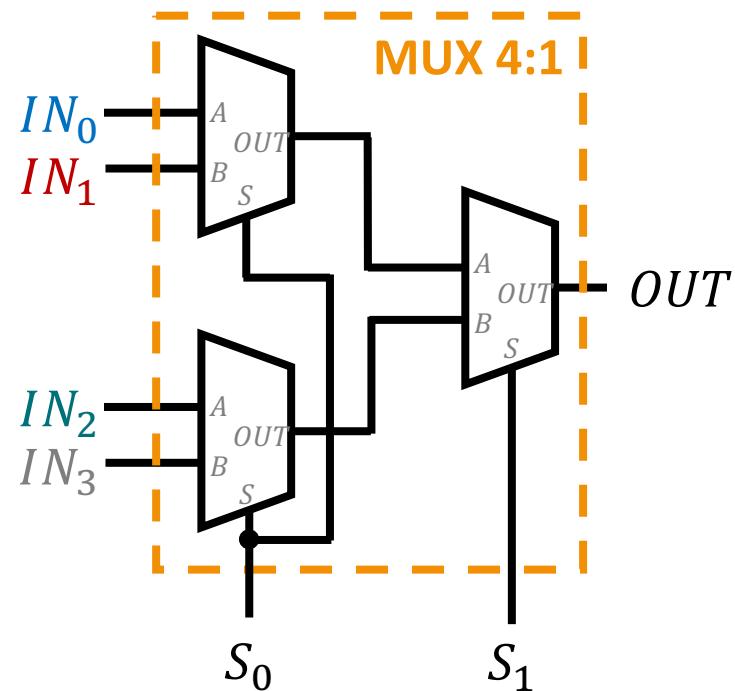
Layout

Tests  
unitaires

Valida-  
tion

Perfor-  
mances

Dans une démarche pédagogique, on décompose le MUX 4:1 en trois MUX 2:1 que l'on décompose en portes NAND (méthode des cellules standard) :

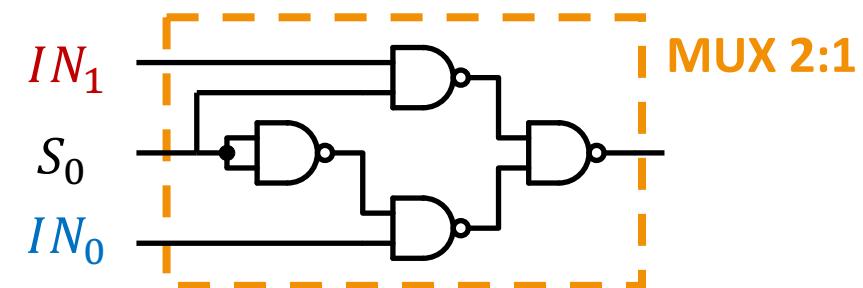


Pour chaque MUX 2:1, on a  $OUT = \bar{S} \cdot A + S \cdot B$

$$\Leftrightarrow OUT = \overline{\bar{S} \cdot A + S \cdot B}$$

$$\Leftrightarrow OUT = \overline{\bar{S} \cdot A} \cdot \overline{S \cdot B}$$

D'où le circuit équivalent d'un MUX 2:1 en portes NAND :



⇒ Nécessité de déterminer uniquement le *layout* d'un NAND pour ensuite le dupliquer !

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Equation  
booléenne

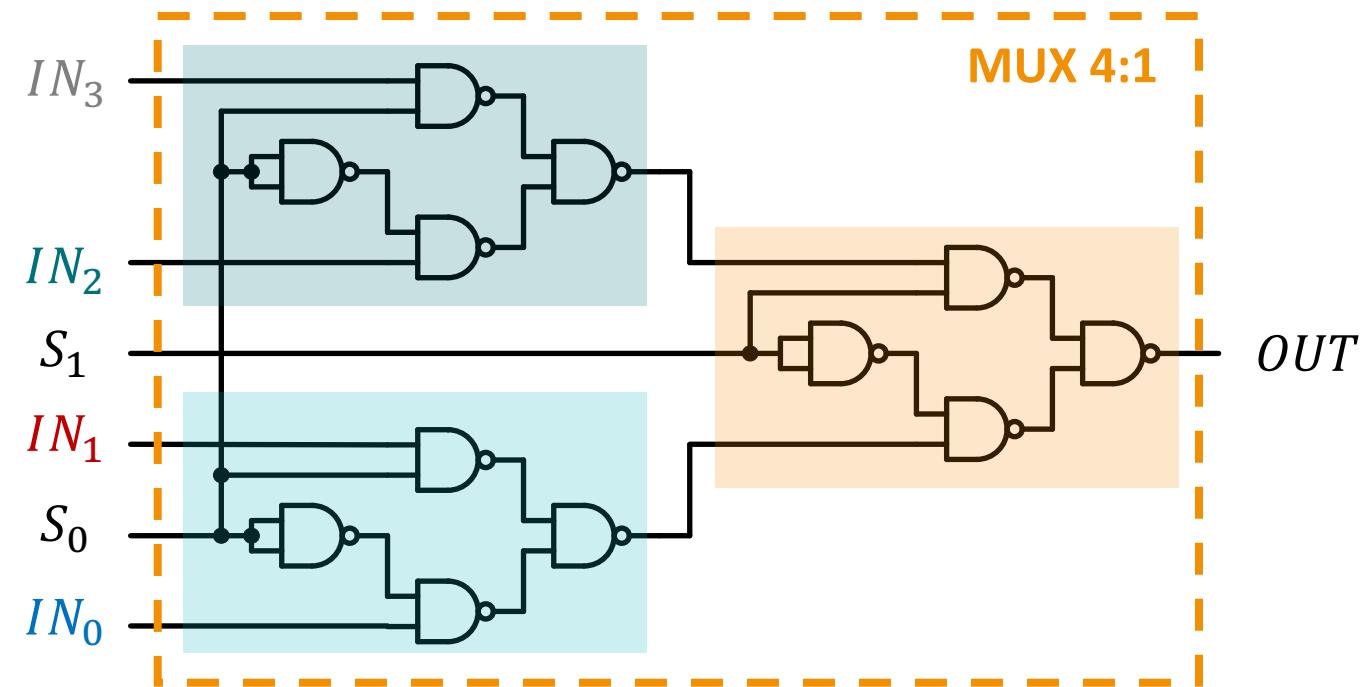
Circuit  
logique

Layout

Tests  
unitaires

Valida-  
tion

Perfor-  
mances



# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Equation  
booléenne

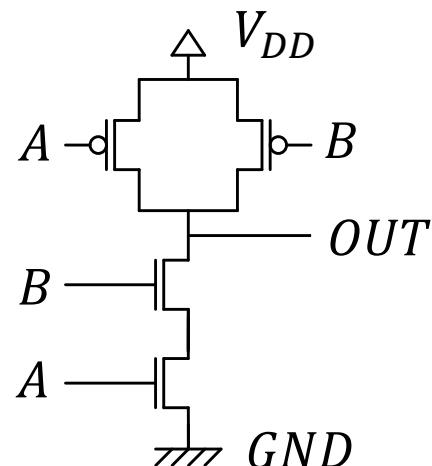
Circuit  
logique

Layout

Tests  
unitaires

Valida-  
tion

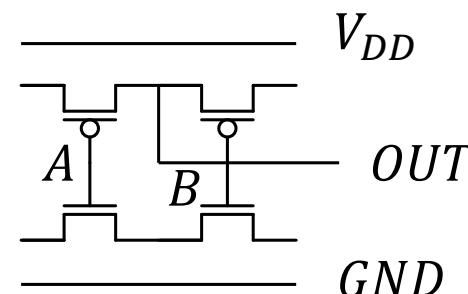
Perfor-  
mances



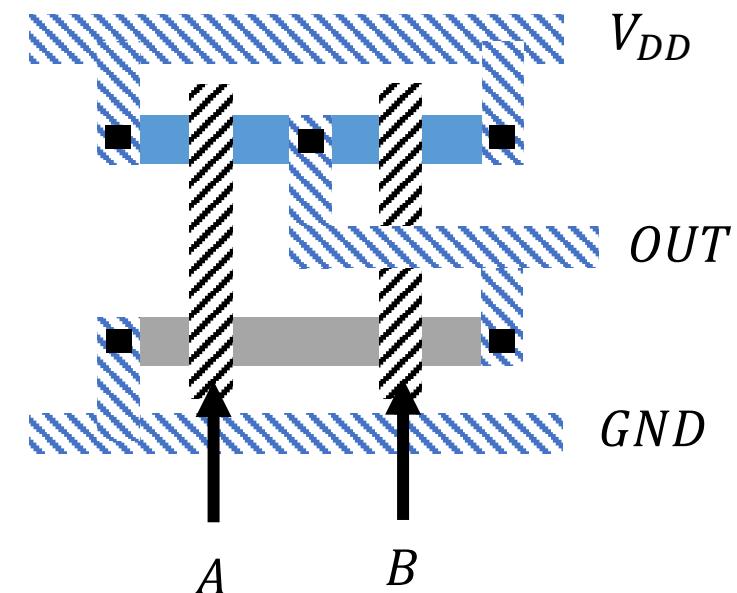
Porte NAND en  
logique CMOS

Equation logique de la porte NAND :

$$OUT = \overline{A \cdot B} = \bar{A} + \bar{B}$$



Porte NAND en  
logique CMOS,  
redessinée autrement



Layout = Dessin fait  
sur logiciel de CAO

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Equation  
booléenne

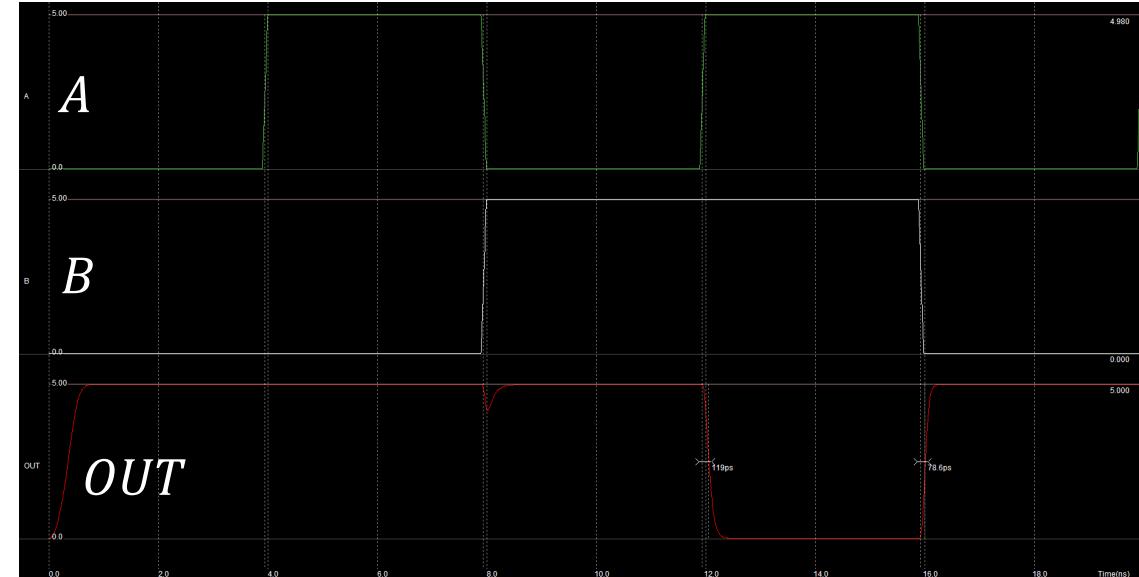
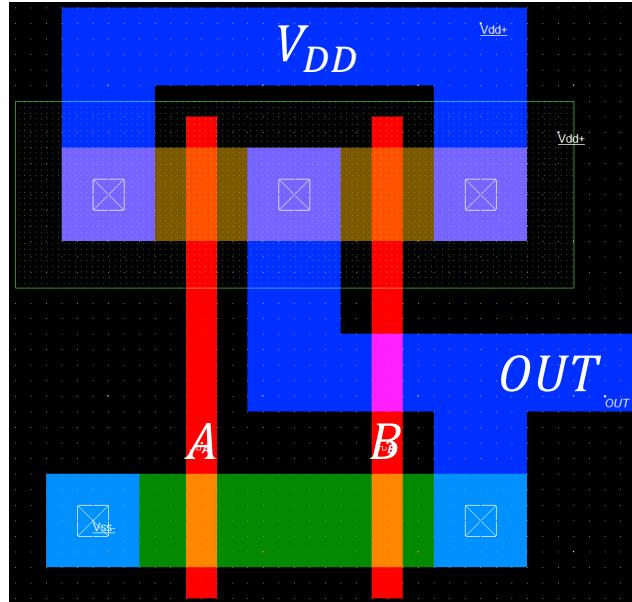
Circuit  
logique

Layout

Tests  
unitaires

Valida-  
tion

Perfor-  
mances



A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

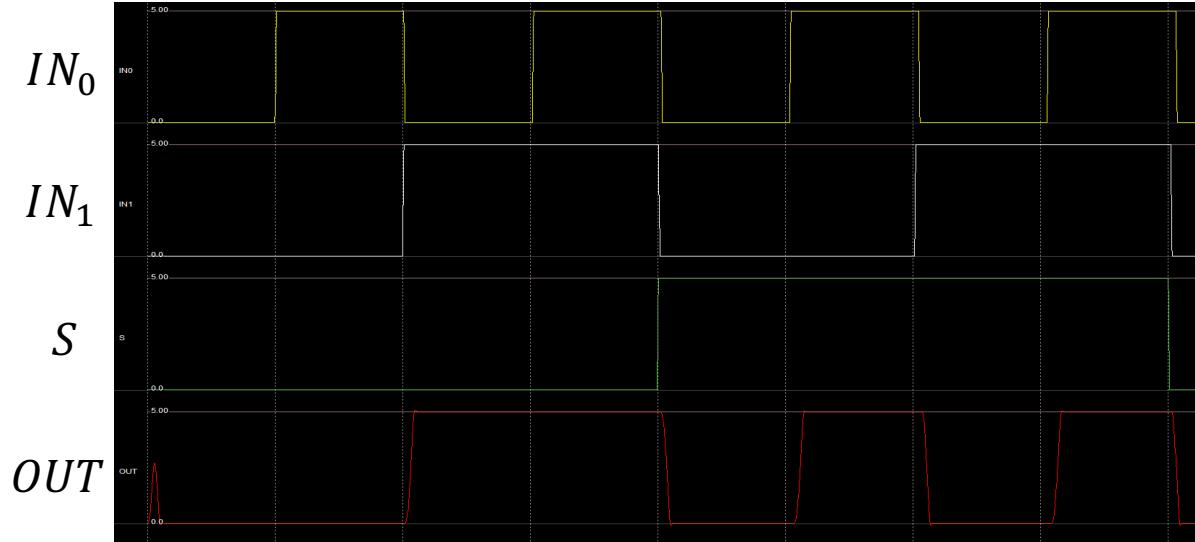
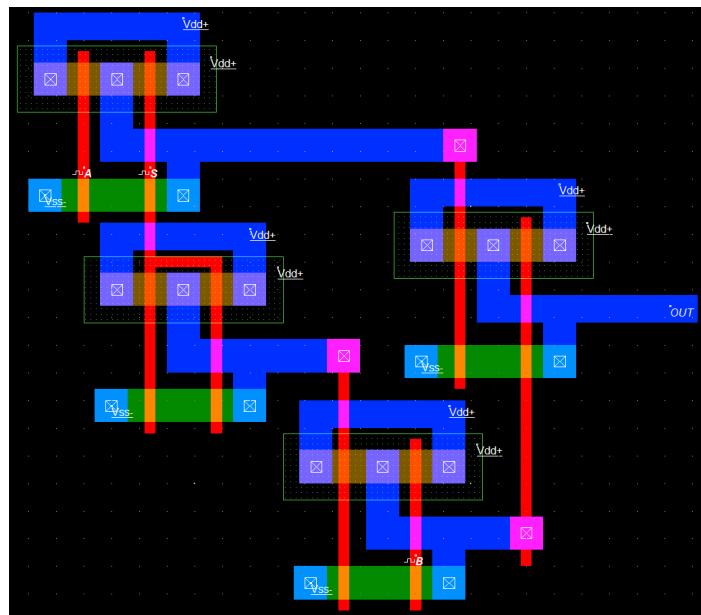
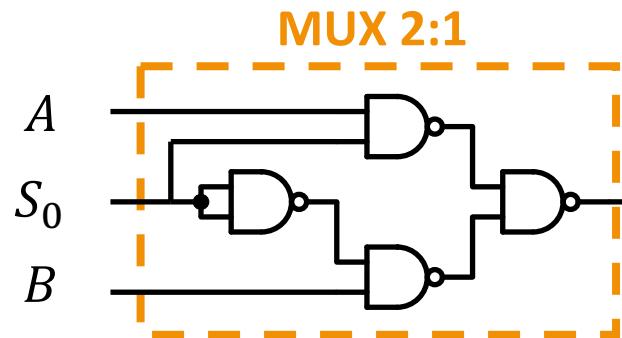
- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation



S	OUT
0	B
1	A

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Equation  
booléenne

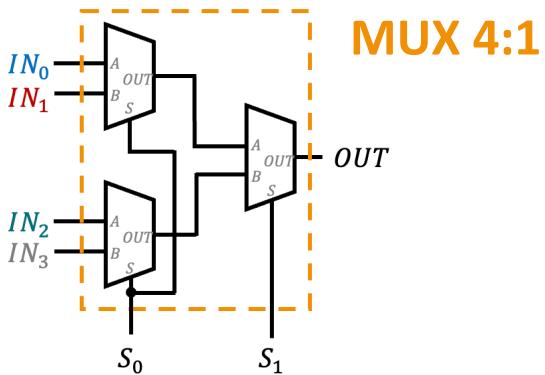
Circuit  
logique

Layout

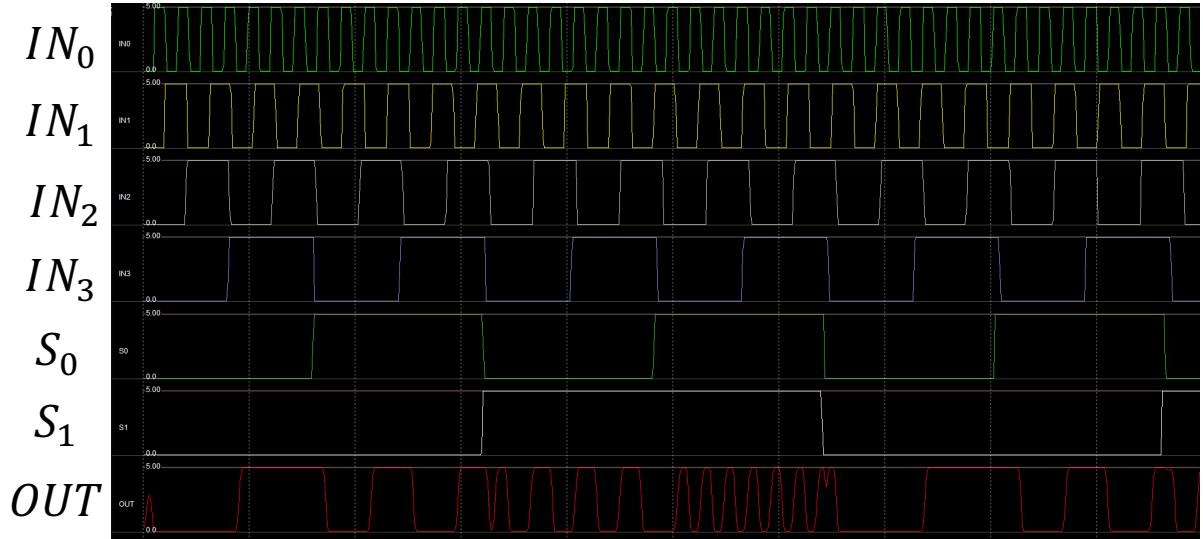
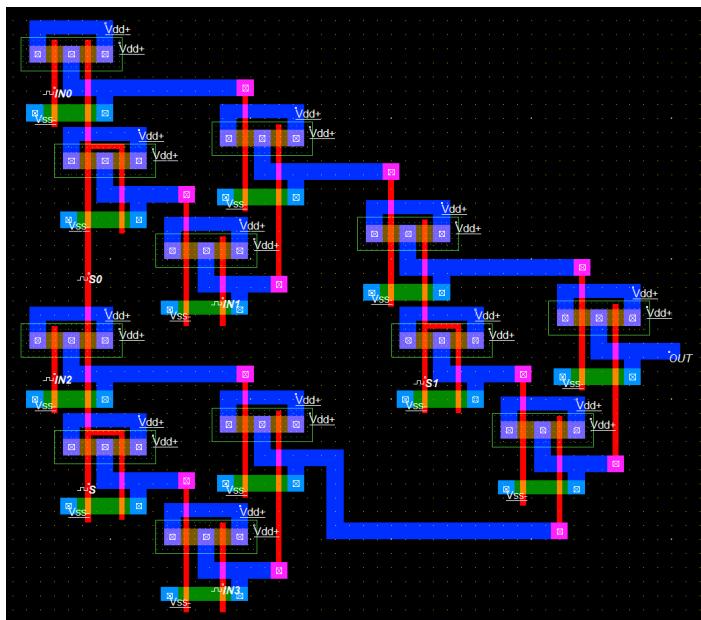
Tests  
unitaires

Valida-  
tion

Perfor-  
mances



MUX 4:1



$S_1$	$S_0$	$OUT$
0	0	$IN_0$
0	1	$IN_1$
1	0	$IN_2$
1	1	$IN_3$

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Equation  
booléenne

Circuit  
logique

Layout

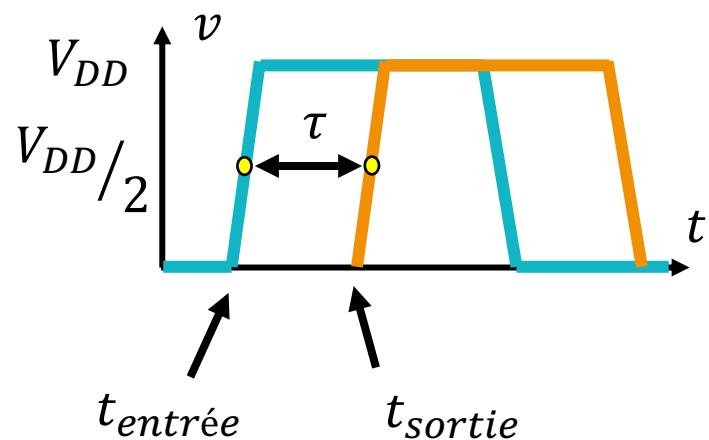
Tests  
unitaires

Valida-  
tion

Perfor-  
mances

Temps de propagation

$$\tau = t_{sortie} - t_{entrée}$$



# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Equation  
booléenne

Circuit  
logique

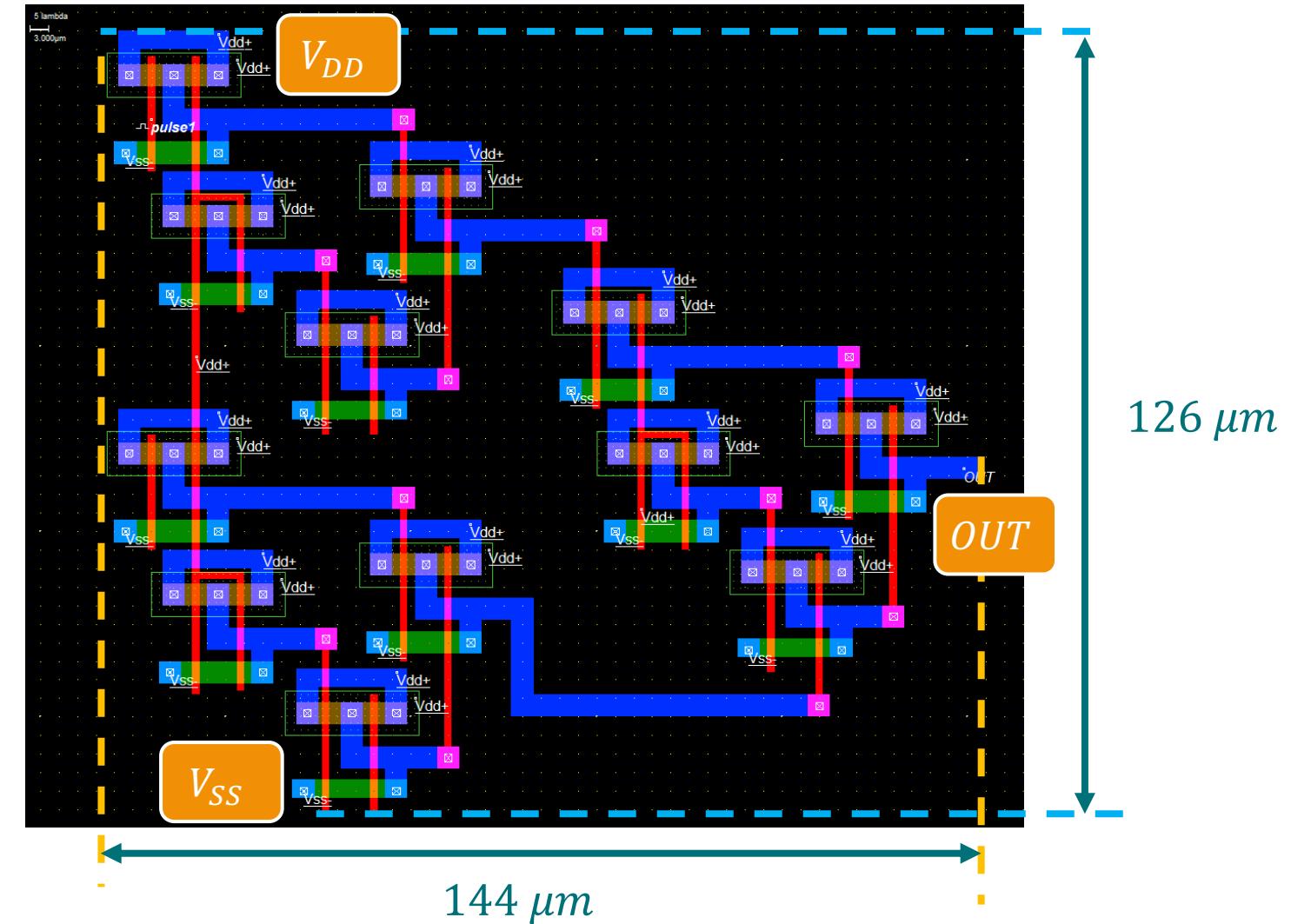
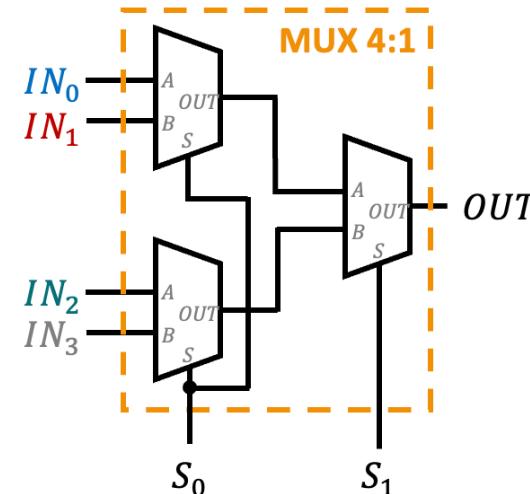
Layout

Tests  
unitaires

Valida-  
tion

Perfor-  
mances

Aire



## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Performance d'un circuit intégré

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

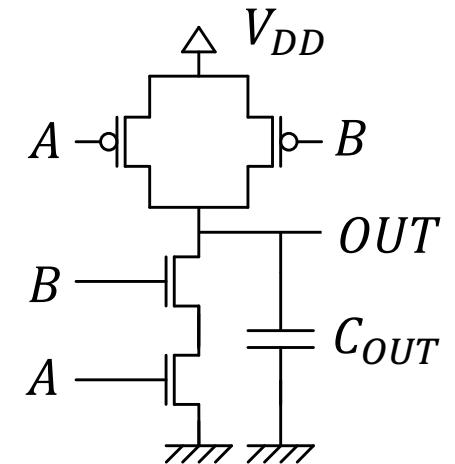
- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

- La performance d'un circuit est liée à sa vitesse d'exécution, et dans le cas d'un circuit logique à sa capacité de commuter rapidement.

- Or on observe qu'aux hautes fréquences les signaux verticaux se déforment et deviennent plus arrondis. Cela traduit la présence d'un condensateur parasite  $C_{OUT}$  au niveau de la sortie qui injecte les hautes fréquences vers la masse créant ainsi un filtre passe-bas.



Ex : porte NAND

- Pour retrouver des signaux les plus rectangulaires possibles il faut diminuer la constante de temps  $\tau$  de charge du condensateur et donc accélérer la charge du condensateur. Pour cela il faut augmenter la quantité d'électrons qui arrivent aux armatures, et donc augmenter le courant Drain  $I_{DS}$  dans le transistor.

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

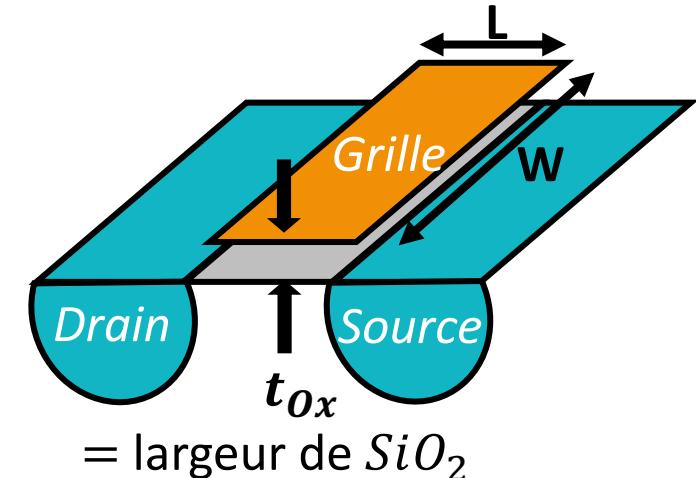
## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

Pour rappel le courant drain dans le transistor est proportionnel à :  $W/L$  quel que soit le régime (ohmique ou actif) avec  $W$  et  $L$  des caractéristiques géométriques du transistor.



Pour augmenter le courant drain  $I_{DS}$  on ne peut donc jouer que sur la longueur  $L$  du canal sous la grille en la diminuant. (car  $L$  au dénominateur). On n'augmentera pas  $W$  qui serait contre-productif en ce qui concerne la miniaturisation.

**Conclusion : miniaturiser permet d'augmenter la fréquence de fonctionnement des circuits logiques.**

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Les résistances

Il faut maintenant tracer les circuits métalliques reliant les transistors.

- La résistance  $R$  d'un rail métallique de longueur  $\ell$ , de largeur  $w$  et d'épaisseur  $e$  (en  $m$ ) est égale à :

$$R = \frac{\rho\ell}{s}$$

Avec :

- $\rho$  la résistivité du métal ( $\Omega \cdot m$ )
- $\ell$  la longueur de la piste métallique ( $m$ )
- $s = e \times w$  l'aire de la surface de la section de la piste ( $m^2$ )

Rq : ici  $\ell$  et  $w$  sont en minuscule, et sont différents des grandeurs  $L$  et  $W$  du transistor

- Pour simplifier les calculs, on va « tronçonner » la piste métallique en petits carrés de résistance unitaire  $R_{\square} = \rho/e$  (unité de  $R_{\square}$  :  $\Omega$ )

$$\Rightarrow \rho = R_{\square}e$$

D'où la résistance d'un matériau quelconque :

$$R = \frac{R_{\square}e\ell}{ew} \Rightarrow R = \frac{R_{\square}\ell}{w}$$

Exemple : rail coupé en 3 blocs carrés :



$$\Rightarrow R = 3R_{\square}$$

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

POUR INFO

La valeur de la résistance unitaire carrée  $R_{\square}$  dépend de la nature du matériau :

matériaux	$R_{\square} (\Omega)$ (CMOS 0,35 μ)
n+ / p+ diffusion	50 – 150
Poly Silicium	10 – 200
métal	0,05 – 0,1
contact	5 – 10
N-well / p-well	1k – 2k

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Méthode de calcul de la résistance : $R = \frac{R_{\square} \ell}{w}$

- La flèche représente le sens de circulation de l'intensité  $i$
- De plus la résistance unitaire étant carrée implique :  $\ell = w$

Diagram showing a single resistor element represented by a blue square with diagonal hatching. The top edge has an arrow pointing right labeled 'i' below it. The bottom edge has an arrow pointing left labeled 'i' above it. The left side is labeled 'w' and the right side is labeled 'ℓ'.

$$R = \frac{R_{\square} \ell}{w} = R_{\square}$$

Diagram showing a resistor element composed of three parallel blue squares with diagonal hatching. The total width is labeled 'w' and the total length is labeled '3ℓ'. The top edge has an arrow pointing right labeled 'i' below it. The bottom edge has an arrow pointing left labeled 'i' above it.

$$R = \frac{R_{\square} 3\ell}{w} = 3R_{\square}$$

Diagram showing a resistor element composed of two stacked blue squares with diagonal hatching. The total width is labeled '3w' and the total length is labeled 'ℓ'. The top edge has an arrow pointing right labeled 'i' below it. The bottom edge has an arrow pointing left labeled 'i' above it.

$$R = \frac{R_{\square} \ell}{3w} = \frac{R_{\square}}{3}$$

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Méthode de calcul de la résistance : $R = \frac{R_{\square} \ell}{w}$

- La flèche représente le sens de circulation de l'intensité  $i$
- De plus la résistance unitaire étant carrée implique :  $\ell = w$

On admettra  
pour le carré du  
coude :  $R_{\square}/2$

$$R = R_{\square} + R_{\square} + \frac{R_{\square}}{2} = \left(2 + \frac{1}{2}\right) R_{\square}$$

$$R = \frac{R_{\square} 2\ell}{2w} = R_{\square}$$

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

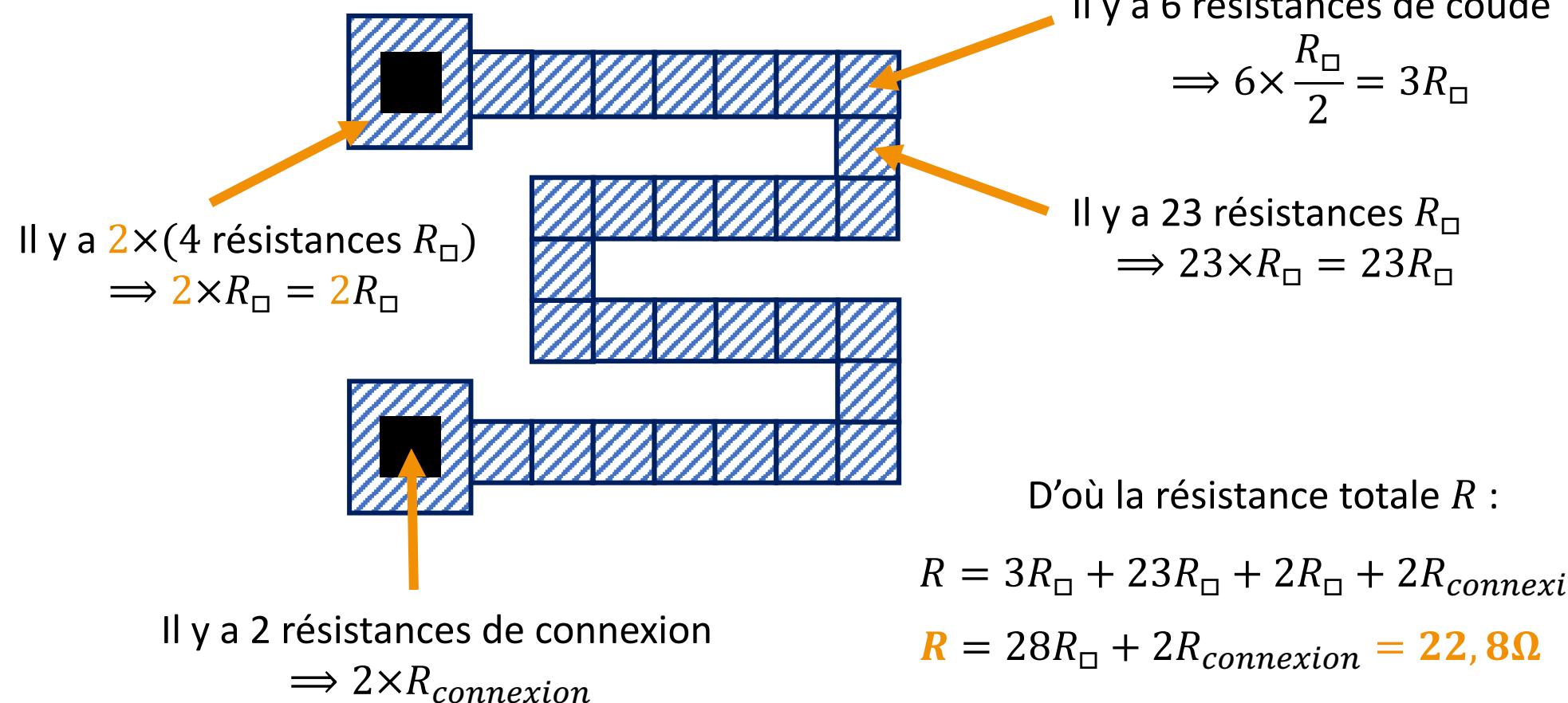
### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

**EXERCICE :** Afin d'ajouter une résistance dans un circuit on fait un serpentin.  
Déterminer la résistance totale du circuit .  
On donne :  $R_{\square} = 0,1 \Omega$  et  $R_{connexion} = 10 \Omega$



1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Les capacités

A l'instar des résistances unitaires carrées  $R_{\square}$  on peut définir une capacité unitaire carrée :

matériaux	$C_{\square} (pF \cdot m^{-2})$ (CMOS 0,35 $\mu$ )
n+ / p+ diffusion	0,1
Poly Silicium	0,01
métal	0,01
contact	0,5

La **capacité de sortie**  $C_{OUT}$  s'obtient en sommant les capacités **de tous les matériaux reliés à la sortie** :

$$C_{OUT} = \sum_{sortie} C_{\square} \cdot (\ell \cdot w)$$

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

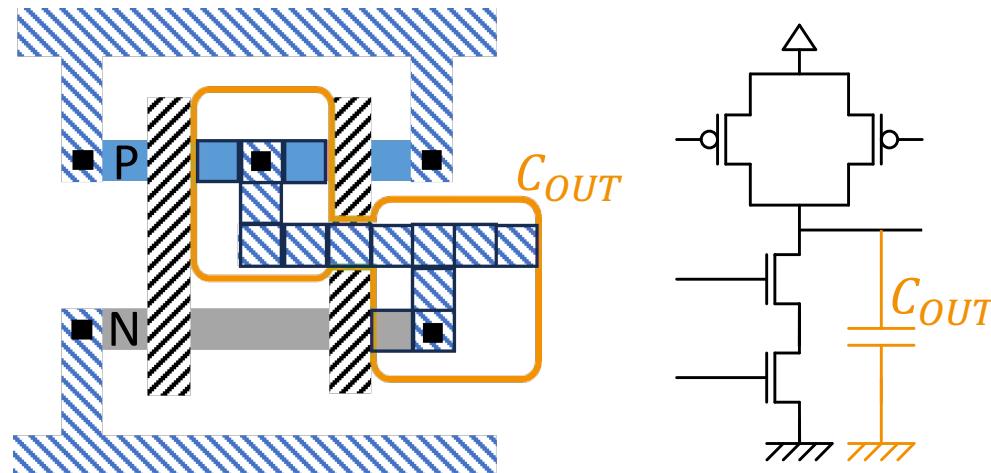
### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

### EXERCICE : Calculer $C_{OUT}$



Chaque capacité est égale à la capacité unitaire  $C_{\square}$  multipliée par la surface .

Dimension d'1 carreau  $\ell = w = 2\lambda$

Diffusion N :  $C_{\square}(N) = 0,14 \text{ pF} \cdot \lambda^{-2}$

Diffusion P :  $C_{\square}(P) = 0,14 \text{ pF} \cdot \lambda^{-2}$

Polysilicium :  $C_{\square}(\text{Si}) = 0,01 \text{ pF} \cdot \lambda^{-2}$

Métal :  $C_{\square}(M) = 0,01 \text{ pF} \cdot \lambda^{-2}$

Contact :  $C_{\square}(C) = 0,5 \text{ pF} \cdot \lambda^{-2}$  (petit carreau tel que  $\ell' = w' = \lambda$ )

- 3 carrés bleus **P** (car il y en 1 sous le métal) de longueur  $3\ell$  et de largeur  $w = \ell$   
 $C(P) = C_{\square}(P) \times 3\ell \times \ell = 0,14 \text{ pF} \cdot \lambda^{-2} \times (3 \times 2\lambda) \times (1 \times 2\lambda) = 1,32 \text{ pF}$
- 2 carrés gris **N** (car il y en 1 sous le métal) de longueur  $2\ell$  et de largeur  $w = \ell$   
 $C(N) = C_{\square}(N) \times 2\ell \times \ell = 0,14 \text{ pF} \cdot \lambda^{-2} \times (2 \times 2\lambda) \times (1 \times 2\lambda) = 1,12 \text{ pF}$
- 11 carrés hachurés bleu de **métal** de longueur  $11\ell$  et de largeur  $w = \ell$   
 $C(\text{métal}) = C_{\square}(M) \times 11\ell \times \ell = 0,01 \text{ pF} \cdot \lambda^{-2} \times (11 \times 2\lambda) \times (1 \times 2\lambda) = 0,44 \text{ pF}$
- 2 carrés noir de **contact** de longueur  $2\ell'$  et de largeur  $w' = \ell'$   
 $C(\text{métal}) = C_{\square}(C) \times 2\ell' \times \ell' = 0,5 \text{ pF} \cdot \lambda^{-2} \times (2 \times \lambda) \times (1 \times \lambda) = 1 \text{ pF}$

D'où la capacité totale de la sortie :  $C_{OUT} = 1,32 + 1,12 + 0,44 + 1 = 3,88 \text{ pF}$

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

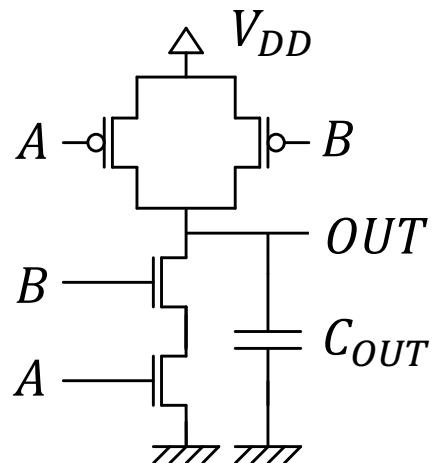
- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Temps de délai d'une porte et modèle RC

Le **modèle RC** du transistor MOS est un circuit RC composé de la résistance totale R et de la capacité de sortie  $C_{OUT}$ . Dans le cas d'un circuit complexe, la moyenne du temps de propagation  $\tau_N = R_N C_{OUT}$  dans le réseau N et du temps de propagation  $\tau_P = R_P C_{OUT}$  dans le réseau P donne une bonne approximation du temps de délai du circuit :



Ex : porte NAND

$$\tau = \frac{R_N C_{OUT} + R_P C_{OUT}}{2} = \frac{(R_N + R_P) C_{OUT}}{2}$$

Rq : la division par 2 vient du fait que l'on fait la moyenne des deux constantes de temps.

## Logique CMOS et circuits intégrés

### 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

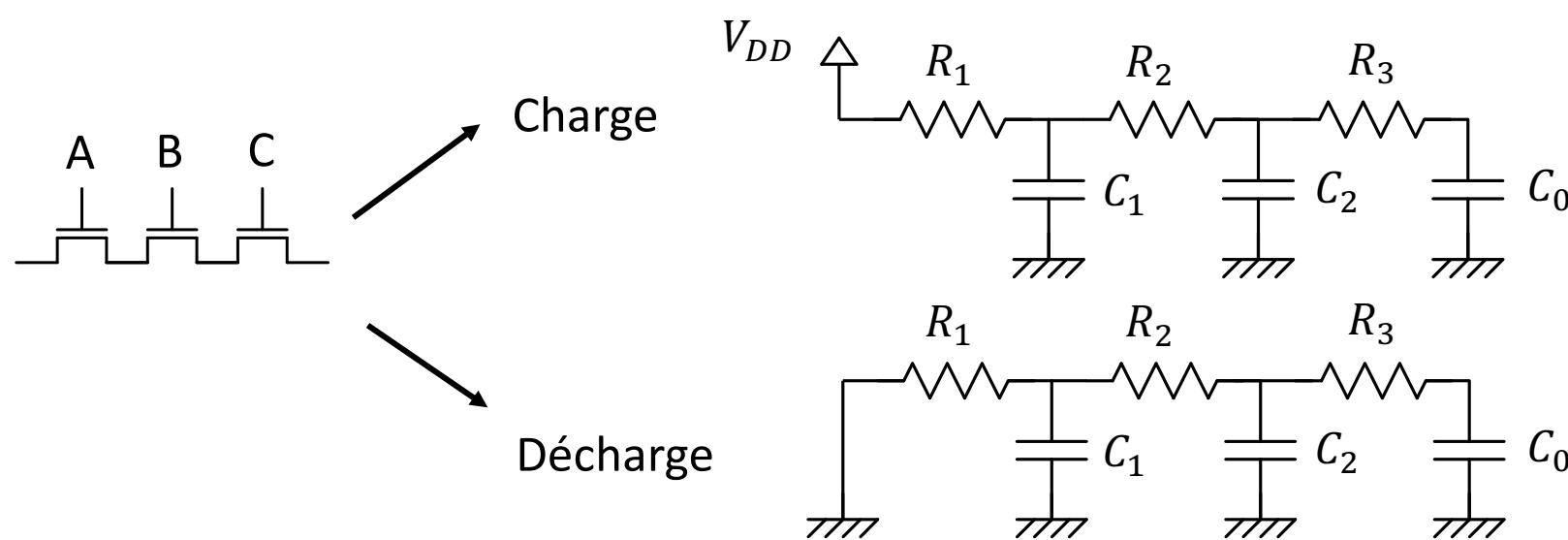
### 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Calcul du délai pour des transistors en série



Remarque pour n transistors en série :

$$\text{Rappel : } 1 + 2 + 3 + \dots + n = n(n + 1)/2$$

On a  $\tau = R_1C_1 + (R_1 + R_2)C_2 + (R_1 + R_2 + R_3)C_0 + \dots$  « *délai Elmore* »

Si toutes les résistances et les capacités sont les mêmes, on a :  $\tau = \frac{n(n + 1)}{2} RC \approx \frac{n^2}{2} RC$

Le délai est proportionnel au carré du nombre de transistors en série.

Typiquement, on fait l'approximation que les capacités internes sont négligeables par rapport à la capacité de sortie et on a  $\tau \approx \sum R \cdot C_O$

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

2. Conception d'un circuit intégré

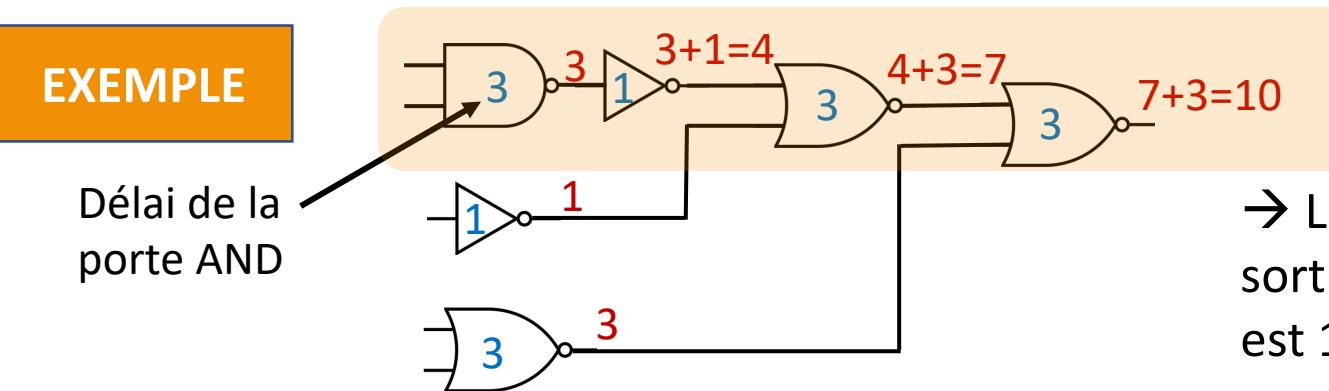
- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

## Durée de délai d'un circuit et consommation

- Afin d'estimer la durée de délai d'un circuit, on calcule la plus grande valeur du délai de tous les chemins possibles.



- Lorsque l'on parle de consommation électrique il convient de distinguer :
  - ▶ la **consommation statique**  $P_s$  : consommation (quasi-nulle) des circuits au repos
  - ▶ la **consommation dynamique**  $P_d$  : consommation des circuits due à la charge et décharge des capacités durant le traitement des données ou durant le régime transitoire.

1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

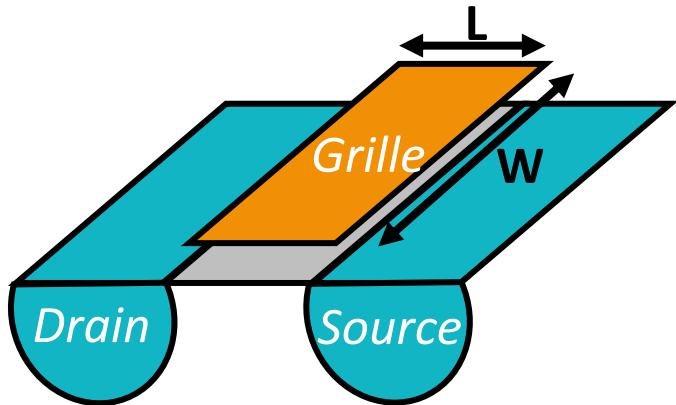
2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

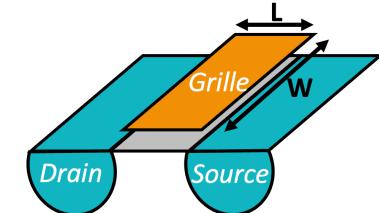
3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# Miniaturisation



Division de la taille par  $S$



$$L' = \frac{L}{S} \quad W' = \frac{W}{S}$$

Pour des raisons économiques qui sont principalement la compatibilité des circuits avec les familles de circuits standards, la tension d'alimentation est généralement maintenue constante. Si  $V'_{DD} = V_{DD}$ , on a :

Courant $I'_{DS}$	Résistance $R'$	Délai $\tau'$	Fréquence $f'$	Puissance $P'$	Capacité $C'_{OX}$
$I_{DS} \cdot S$	$R$	$\tau / S^2$	$f \cdot S^2$	$P / S$	$C_{OX} / S$

# Logique CMOS et circuits intégrés

## 1. Logique CMOS

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

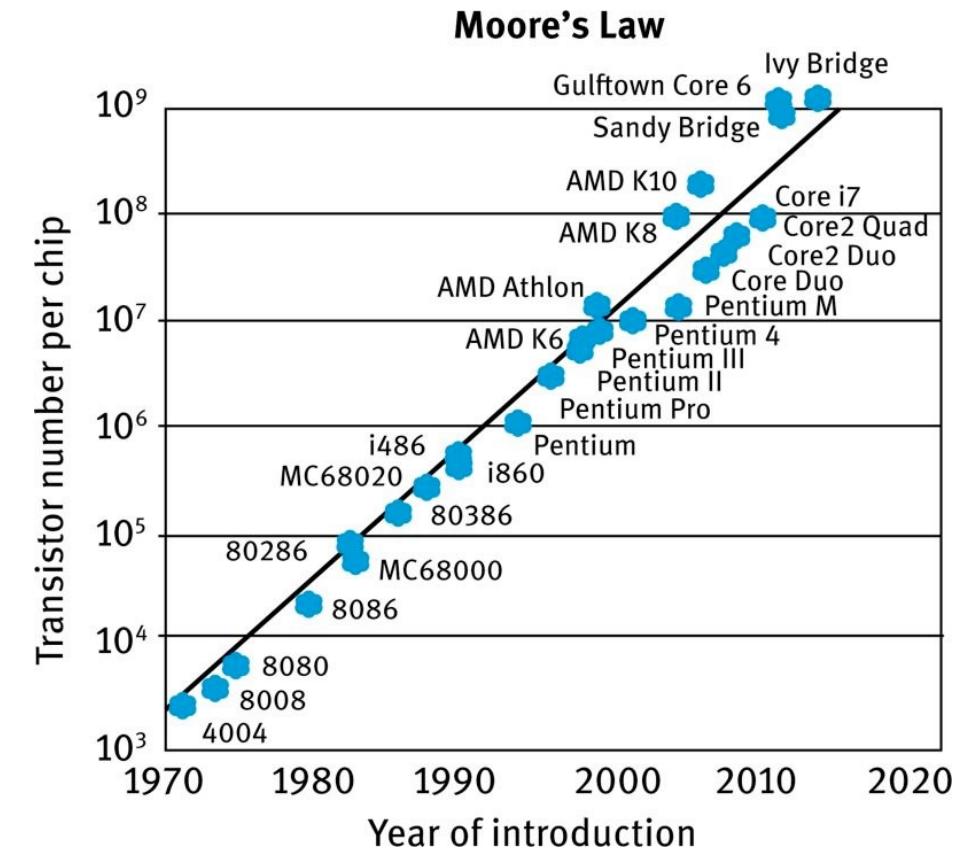
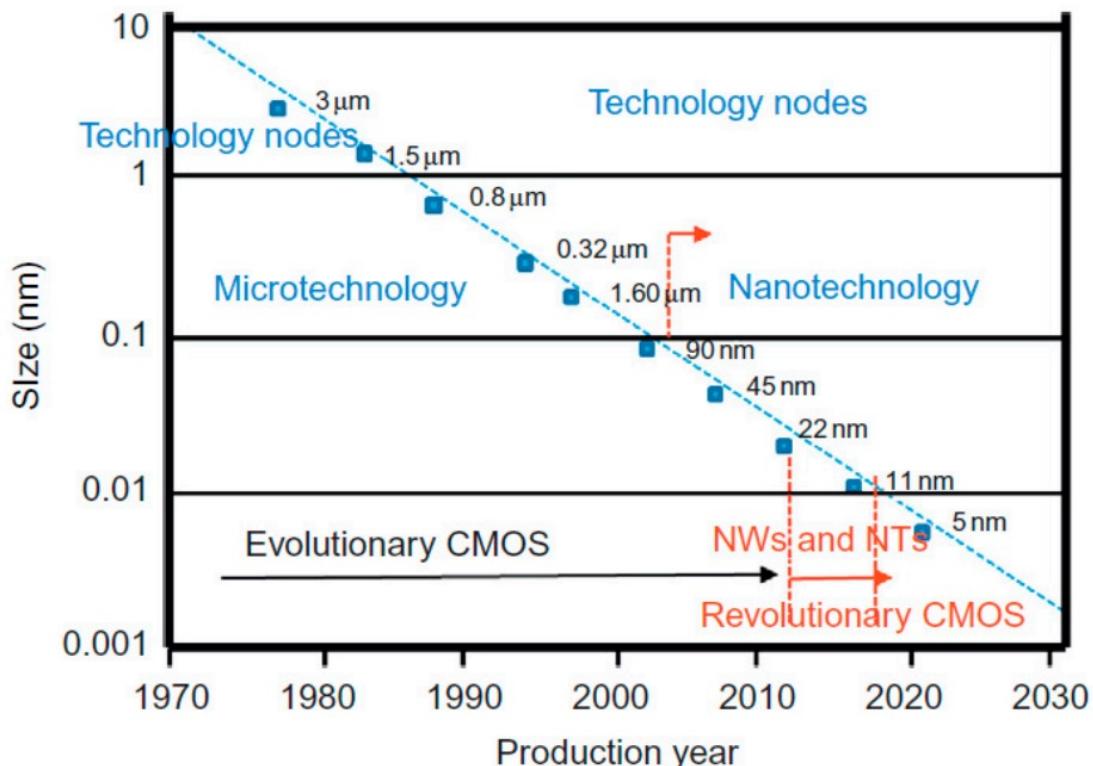
## 2. Conception d'un circuit intégré

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

## 3. Performance d'un circuit intégré

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

POUR INFO



## **Logique CMOS et circuits intégrés**

### **1. Logique CMOS**

- A. Commutation
- B. Avantages du CMOS
- C. La logique CMOS
- D. Fonctions complexes

### **2. Conception d'un circuit intégré**

- A. Introduction
- B. Conception
- C. Fabrication
- D. Exemple : MUX 4:1

### **3. Performance d'un circuit intégré**

- A. Résistance
- B. Capacité
- C. Délai de propagation
- D. Miniaturisation

# **Fin du cours**