

0.1. RF01: Generación y adquisición de corriente

Para mayor claridad, se explicará el requerimiento dividido en secciones:

- Etapa de generación de corriente
- Etapa de adquisición
- Etapa de procesamiento

0.1.1. Etapa de generación de corriente

La etapa de generación de corriente se implementará utilizando una configuración puente H, utilizando MOSFETs controlados por sus respectivos drivers. En las Figuras 1a y 1b se pueden observar los dispositivos y sus respectivos esquemáticos que se utilizarán. Se deberá incluir un circuito de alimentación, mostrado en la Figura 1c, un circuito de protección, mostrado en la Figura 1d y una resistencia de medición tipo shunt, junto con un conector para la salida al multiplicador, mostrados en la Figura 1e. Se utilizarán cuatro MOSFETs junto con dos drivers, con la misma configuración mostrada.

0.1.1.1. Funcionamiento

El circuito completo a utilizar, se puede ver en la Figura 2.

El microcontrolador controlará a partir de sus salidas PWM los drivers de los MOSFETs. Así, este dictará la apertura y cierre de los cuatro MOSFET que generarán una caída de tensión sobre el multiplicador de corriente, representado en el circuito como el inductor L , de aproximadamente 24 V positiva o negativa.

Se incluirá también una resistencia de shunt R_{shunt} cuya caída de tensión deberá ser medida para poder ser realimentada en el microcontrolador y así controlar la corriente generada.

Para poder proveer las corrientes de alta frecuencia necesarias y aliviar los requerimientos sobre la fuente de tensión externa, se agregará el circuito de alimentación de la Figura 3.

El capacitor C_1 representará varios capacitores de film en paralelo, capaces de proveer gran cantidad de corriente en frecuencias de bajas a medias. Para la corriente agregada por el switching se agregarán capacitores cerámicos representados por C_2 y C_3 . Estos proveerán las corrientes de alta frecuencia. En paralelo a estos se agregarán dos resistencias R_1 y R_2 que permitan mantener el punto medio de los capacitores cerámicos en la mitad de la tensión.

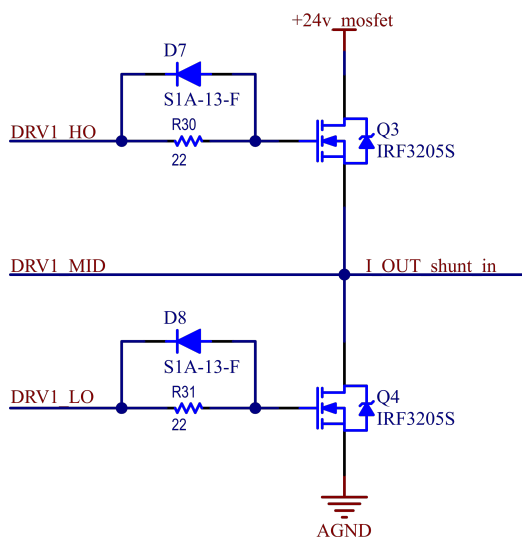
Además de estos componentes se agregó una bobina L_1 que actúa de filtro pasaaltos, de manera tal que las corrientes de alta frecuencia sean obtenidas por los capacitores y no de la fuente de alimentación externa.

0.1.1.2. MOSFETs

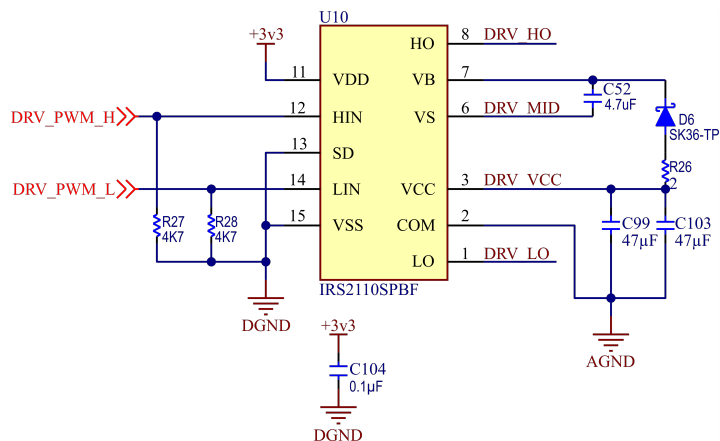
Se utilizarán MOSFETs de montaje superficial, por su velocidad de conmutación, por su capacidad de disipar el calor con el mismo cobre del PCB, su baja resistencia de drain y baja resistencia térmica.

Se montará entonces el integrado IRF3205S, que cuenta con las siguientes características:

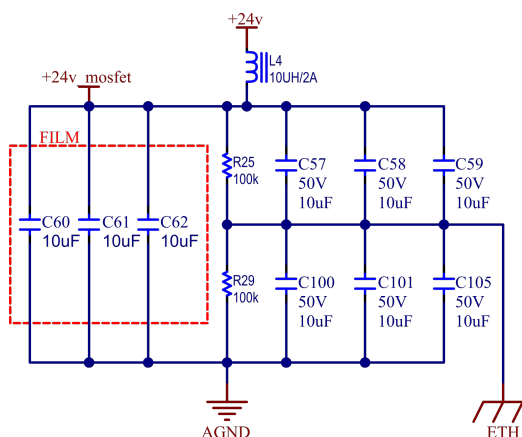
- $V_{DSS} = 55 \text{ V}$
- $R_{DSon} = 8 \text{ m}\Omega$



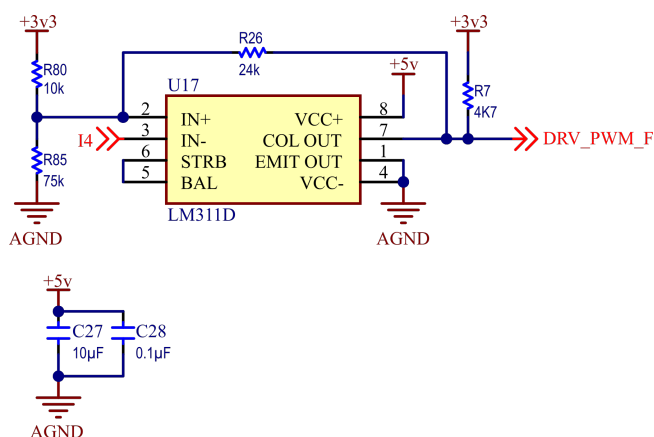
(a) Esquemático MOSFETs



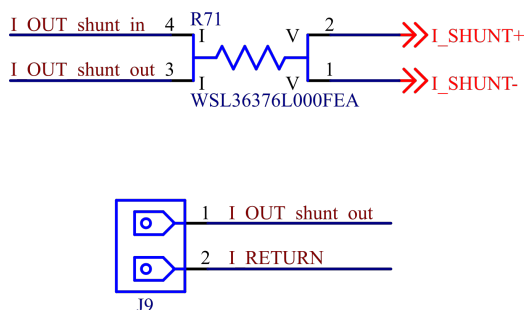
(b) Esquemático MOSFET Driver



(c) Esquemático alimentacion MOSFETs



(d) Esquemático protección MOSFETs



(e) Esquemático shunt y conector

Figura 1: Esquemáticos etapa de generación

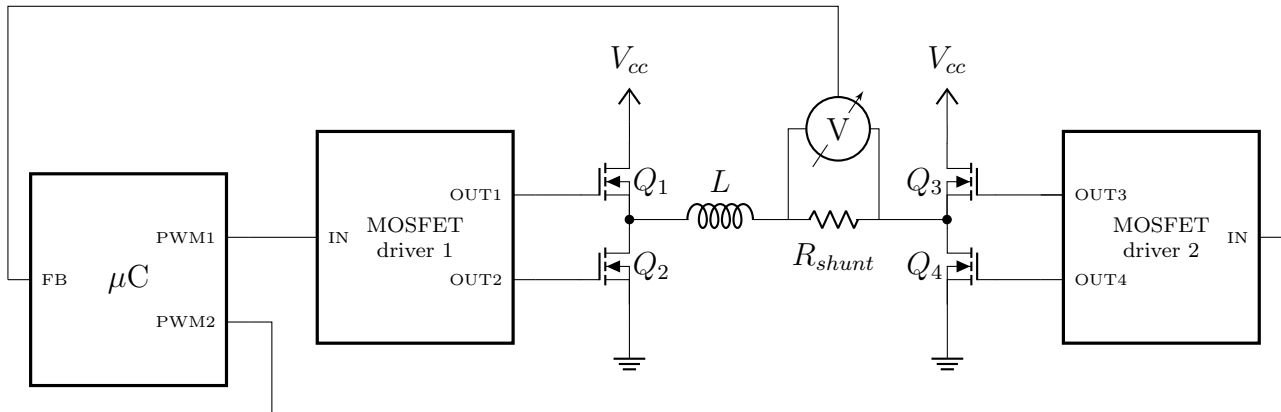


Figura 2: Circuito de generación de corriente

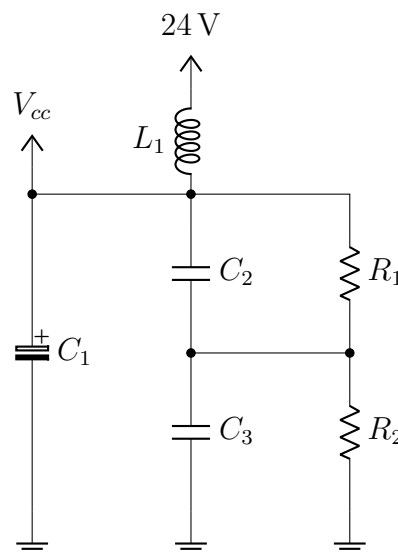


Figura 3: Alimentación del circuito de generación de corriente

- $I_D = 110\text{ A}$
- $R_{\theta JA} = 40\text{ }^{\circ}\text{C/W}$

Como se puede observar en la Figura 1a, en serie entre el driver y el MOSFET, se encuentra una resistencia en paralelo con un diodo conectado en inverso. El objetivo de la resistencia es aumentar el tiempo que tarda el transistor en encenderse, como se puede ver en la Figura 4 obtenida del datasheet del integrado, dado que un encendido demasiado rápido puede producir tensiones negativas sobre el pin V_S , lo cual puede llegar a romper el integrado. El diodo, por otra parte, acelera el apagado del MOSFET, previniendo las posibilidades de cortocircuito en la conmutación.

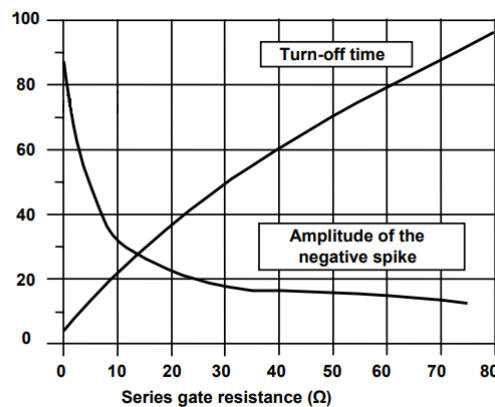


Figura 4: Pico de tensión en pin V_S vs. resistencia y tiempo de encendido

0.1.1.3. MOSFET driver

El rol de estos componentes será controlar la apertura y cierre de los MOSFET. Para ello se buscó un dispositivo que cumpliera con los requerimientos de frecuencia de switching necesarios, tensión de disparo del gate, bajo costo y de utilización general.

El integrado que se montará será el IRS2110SPBF, de Infineon Technologies con las siguientes características:

- Tensión de gate entre 10 V y 20 V.
- Tiempo de encendido y apagado de 130 ns y 120 ns respectivamente.
- Tensión de drive del MOSFET hasta 500 V
- Compatible con lógica 3.3 V
- Canal flotante diseñado para utilizar con bootstrap

La frecuencia de switching que se utilizará es 100 kHz, siendo el retardo del integrado despreciable comparado con esta. La tensión de gate del MOSFET será proveída por la fuente de 12 V. Además, el MOSFET driver será disparado con el PWM del microcontrolador, de lógica 3.3 V. Finalmente el canal flotante permitirá disparar el MOSFET del lado alto utilizando únicamente un diodo y un capacitor de bootstrap de componentes externos.

El diagrama de bloques interno del integrado se puede ver en la Figura 5.

Se describirá a continuación la selección realizada de componentes para el esquemático de este dispositivo.

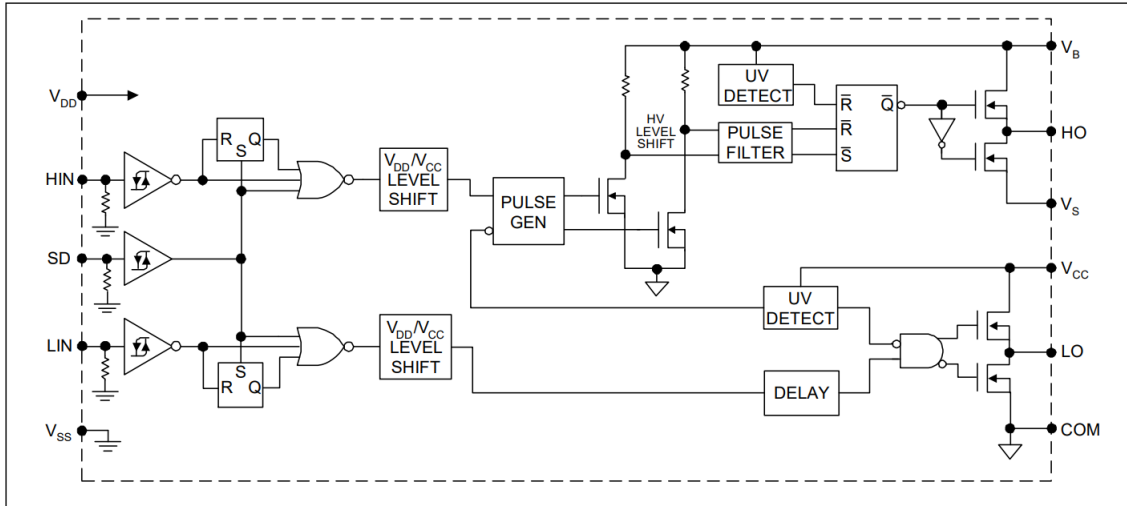


Figura 5: Diagrama en bloques del integrado IRS2110SPBF

Etapá lógica Las entradas HIN y LIN serán conectadas a los puertos PWM del microcontrolador, con dos resistencias pull-down de 4.7 kΩ, lo cual permitirá dejar el valor en bajo ante el apagado del microcontrolador. La fuente de tensión lógica VDD será conectada a 3.3 V, siendo esta la máxima tensión del microcontrolador, y VSS a masa.

Etapá de potencia El pin de VCC se conectará a 12 V. Los capacitores de desacople para esta pin fueron elegidos de esos valores ya que el fabricante recomienda una capacidad al menos 10 veces más grande que el capacitor de bootstrap. Se han colocado dos por motivos de disposición del PCB.

En los pines 8 y 7 se puede ver la conexión de la fuente flotante VB y VS, el punto de retorno de la misma. El objetivo de este bloque es el de proveer una tensión mayor a 24 V para poder activar el gate del MOSFET de la parte alta. Así, durante el período en el que el MOSFET de la parte baja está activo, el capacitor C_{52} se carga a través del diodo D_6 a la tensión de VCC, es decir aproximadamente 12 V. Luego cuando este MOSFET se apaga y se quiere activar el de la parte alta, VS ahora se encuentra a 24 V, quedando la fuente flotante VB con una tensión efectiva de 36 V debido al capacitor cargado, pudiendo así proveer la tensión necesaria al gate del MOSFET.

Capacitor de bootstrap Dado que el capacitor de bootstrap C_{52} será utilizado como fuente para proveer de carga al gate del MOSFET, se debe dimensionar de manera tal que mantenga su tensión luego de haberla entregado. Siguiendo las notas de aplicación brindada por el fabricante [2], [3], se han diseñado entonces los componentes de bootstrap.

El primer paso es establecer la máxima disminución de tensión ΔV_{BS} que se puede tener en el capacitor de bootstrap C_{bs} para garantizar que el MOSFET del lado alto se mantenga prendido. Esta caída estará dada por:

$$\Delta V_{BS} \leq V_{CC} - V_F - V_{GSmin} - V_{DSon} - V_{Rbs} \quad (1)$$

siendo V_{CC} la tensión de la fuente de alimentación de 12 V, V_F la caída sobre el diodo de bootstrap, V_{GSmin} la mínima tensión de gate a mantener, V_{DSon} la caída sobre el MOSFET

del lado bajo cuando está encendido y V_{Rbs} la caída sobre la resistencia de bootstrap. En la Figura 6 se puede observar un esquemático de esta parte del circuito.

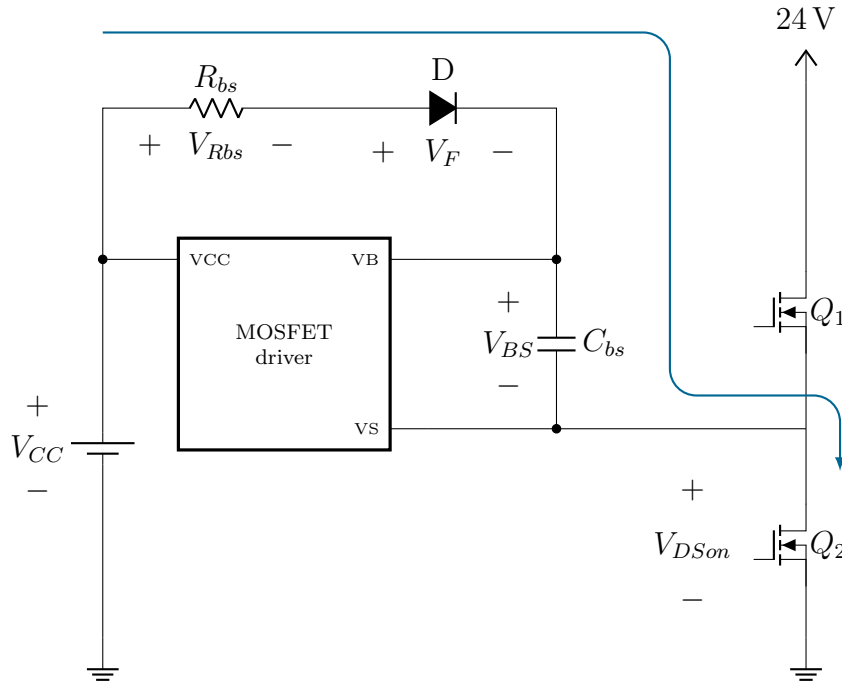


Figura 6: Esquemático de la etapa de bootstrap del MOSFET driver

Para poder encontrar ΔV_{BS} , se deben hallar primero los valores de las demás tensiones, como se puede ver en (1). A partir de valores del fabricante y datos propios se obtuvo:

- $V_{CC} = 12\text{ V}$
- $V_F = 0.75\text{ V}$
- $V_{GSmin} = 4\text{ V}$
- $V_{DSon} = I_D \cdot R_{DSon} = 10\text{ A} \cdot 3.95\text{ m}\Omega = 395\text{ mV}$

De aquí solo resta hallar V_{Rbs} . El objetivo de esta resistencia es limitar la máxima corriente que circula por el diodo D al valor máximo que permite el fabricante. Para ello se calcula:

$$R_{bsmin} = \frac{V_{CC}}{I_{Dmax}} = \frac{12\text{ V}}{100\text{ A}} = 0.12\text{ }\Omega$$

La cual si multiplicamos por 10 para tener un margen de seguridad y redondeamos hacia arriba al valor más cercano obtenemos $R_{bs} = 2\text{ }\Omega$, obteniendo así una corriente máxima sobre el diodo $I_{Dmax} = 6\text{ A}$.

De manera de poder hallar entonces V_{Rbs} en valor promedio se realiza el siguiente cálculo:

$$V_{Rbs} = Q_{tot} \cdot T_{off} \cdot R_{bs} \quad (2)$$

el cual solo podrá ser resuelto una vez se obtenga la carga total que sale del capacitor de bootstrap.

El segundo paso es entonces, hallar todos los factores que contribuyen a que V_{BS} disminuya, es decir todas las cargas y corrientes que circulan por el circuito:

- Carga de Gate requerida para encender el transistor (Q_G)
- Carga requerida por los level shifters internos del MOSFET (Q_{LS}), generalmente 5 nC (500V/600V MOSFETs) o 20 nC (1200V MOSFETs)
- Corriente de fuga Gate-Source del transistor (I_{LK-GS})
- Corriente de reposo de la sección flotante (I_{QBS})
- Corriente de fuga de la sección flotante (I_{LK})
- Corriente de fuga del diodo de bootstrap (I_{LK-D})
- Corriente de desaturación del diodo encendido (I_{DS-})
- Corriente de fuga del capacitor de bootstrap (I_{LK-CAP})
- Tiempo que dura encendido el lado alto (T_{Hon})

I_{LK-CAP} es sólo relevante cuando se utiliza un capacitor electrolítico y puede ser ignorada si se usan de otro tipo. El fabricante recomienda utilizar al menos un capacitor cerámico con bajo ESR (puede ser en paralelo con un capacitor electrolítico).

I_{LK-D} es sólo relevante para diodos comunes, siendo en nuestro caso uno tipo Schottky.

Entonces se tiene:

$$Q_{TOT} = Q_G + Q_{LS} + (I_{LK-GS} + I_{QBS} + I_{LK} + I_{LK-D} + I_{DS-}) \cdot T_{Hon} \quad (3)$$

Para poder hallar esta carga total, se recurre a los datos de los fabricantes nuevamente, obteniendo:

- $Q_G = 146 \text{ nC}$
- $Q_{LS} = 5 \text{ nC}$
- $I_{LK-GS} = 100 \text{ nA}$
- $I_{QBS} = 230 \mu\text{A}$
- $I_{LK} = 50 \mu\text{A}$
- $I_{LK-D} = 10 \text{ mA}$

Se obtiene suponiendo el peor caso, cuando el MOSFET alto está el mayor tiempo prendido, es decir para $T_{Hon} = \frac{0.9}{100 \text{ kHz}}$:

$$C_{bsmin} = \frac{Q_{TOT}}{\Delta V_{BS}} = 36.22 \text{ nF} \quad (4)$$

Dejando un margen de seguridad de al menos 100 veces y redondeando al siguiente valor superior, se obtuvo:

$$C_{bs} = 4.7 \mu\text{F}$$

0.1.1.4. Protección

Para protección de sobrecorriente se deberá agregar el circuito mostrado en la Figura 1d. Para su diseño se utilizó el comparador LM311D, en una configuración de comparador con histéresis. Con los valores de resistencias dados, se obtiene una histéresis de 10 A a 20 A.

0.1.1.5. Resistencia de shunt

Esta resistencia se colocará en serie al multiplicador de corriente, como se puede ver en la Figura 1e de manera que deberá soportar 10 A que circularán por esta. Se utilizará entonces la resistencia WSL36376L000FEA que tiene las siguientes características:

- $R = 6\text{ m}\Omega \pm 1\%$
- $P_{max} = 3\text{ W}$

Esta resistencia posee cuatro terminales, permitiendo así contar con puertos separados para la medición y la parte de potencia.

Se deberá también incluir un conector que soporte una salida de por lo menos 10 A, para la conexión con el multiplicador de corriente.

0.1.2. Etapa de adquisición

El instrumento deberá contar con tres puertos a los cuales se puedan conectar sondas externas (sondas de Rogowski, pinzas amperométricas, etc.), para su calibración y caracterización. Uno de estos puertos será dedicado para la sonda Rogowski y los otros dos genérico para otras sondas.

El dispositivo contará con dos esquemáticos distintos para sus puertos de conexión. En la Figura 7a se puede observar el correspondiente para la sonda Rogowski y en la Figura 7b el correspondiente para otras sondas.

Se incluirá además circuitos de adecuación y filtrado para cada etapa, descritos en el esquemático de la Figura 7c.

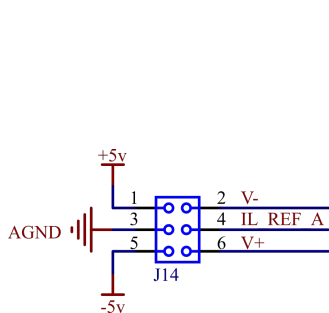
Tal como se muestra en el diagrama en bloques de la ??, se incluirá también un ADC, cuyo rol será el de adquirir las muestras ya filtradas y transmitir su valor al microcontrolador. Los esquemáticos de la alimentación y de las entradas, se pueden ver en las Figuras 7d y 7e respectivamente.

0.1.2.1. Puertos de conexión

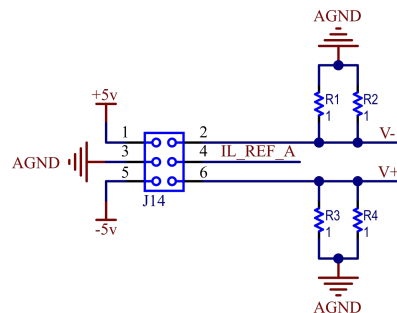
Para los puertos de conexión, se incluirá en ambos casos salidas de $\pm 5\text{ V}$, junto con una salida de masa, para conectar las sondas que las requieran. Se agregará también una salida con la tensión de referencia utilizada en la etapa de adecuación.

En el caso del puerto genérico se agregará una serie de resistencias que permita generar una tensión medible a partir de la corriente de entrada. Las mismas no serán montadas en la construcción y se dejará al usuario decidir los valores de acuerdo a la necesidad de la sonda que desee conectar.

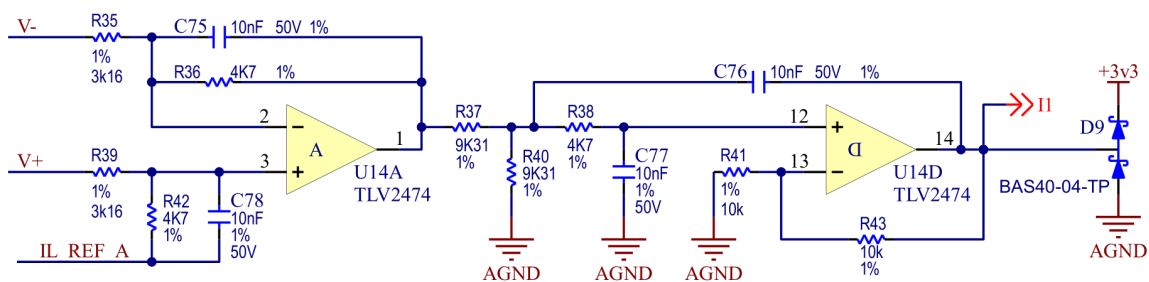
Los puertos físicos podrán ser elegidos por el desarrollador.



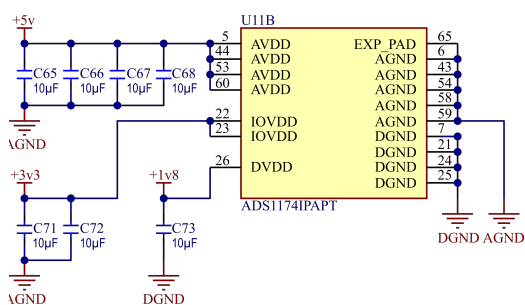
(a) Esquemático puerto sonda Rogowski



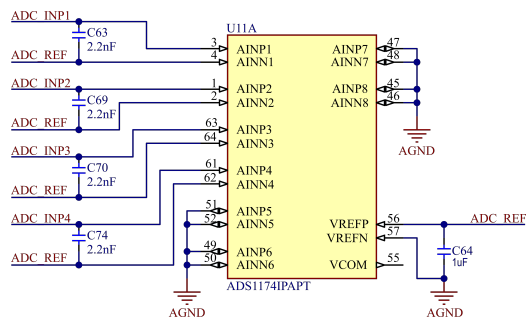
(b) Esquemático puertos para otras sondas



(c) Esquemático circuito de adecuación y filtrado



(d) Esquemático alimentación del ADC



(e) Esquemático entradas del ADC

Figura 7: Esquemáticos etapa de adquisición

0.1.2.2. Adecuación y filtrado

Este circuito proveerá la ganancia y filtrado anti-aliasing para los cuatro canales del conversor analógico digital. Los mismos, están divididos en dos tipos diferentes:

- Un canal para medir la corriente en el multiplicador. Se mide la caída de tensión de la resistencia shunt colocada en serie con la corriente que circula por la carga. Esta medición es realizada de manera de, a partir de un lazo de control, regular la corriente.
- Tres canales para la conexión de las sondas de corriente a caracterizar.

Si bien existen estos dos tipos de entradas, el circuito de adecuación y filtrado es el mismo para todas, pudiendo variar entre ellos la ganancia aplicada.

En la Figura 8 se puede observar el circuito genérico utilizado para la adecuación y filtrado.

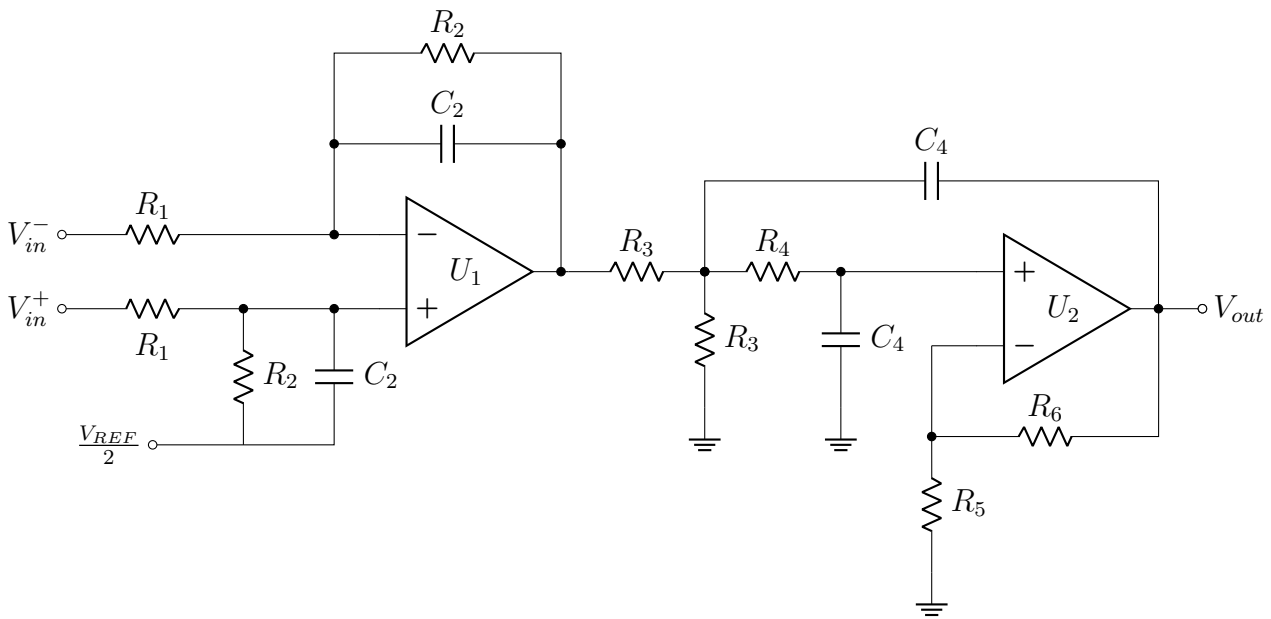


Figura 8: Circuito de adecuación y filtrado

Primera etapa En esta etapa que culmina en la salida del primer amplificador operacional U_1 , se incluye una configuración diferencial junto con un filtro pasabajos de primer orden. La transferencia de esta etapa es la siguiente:

$$\frac{V_1(s)}{V_{in}^+(s) - V_{in}^-(s)} = \frac{R_2}{R_1} \cdot \frac{1}{1 + sC_2R_2}$$

De manera de tener una frecuencia de corte de aproximadamente 3400 Hz, se eligieron los siguientes valores:

- $R_2 = 4.7 \text{ k}\Omega$
- $C_2 = 10 \text{ nF}$

Se obtuvo de esta forma una frecuencia de corte $f_c = 3386 \text{ Hz}$. La resistencia R_1 se elegirá de acuerdo a las necesidades de ganancia de cada entrada.

Los amplificadores operacionales son alimentados en forma unipolar, por lo que se emplea una tensión de offset de $\frac{V_{REF}}{2}$.

Segunda etapa Filtro pasabajos de segundo orden tipo Sallen-Key.

Si se observa la Figura 9, se verá una de las configuraciones más comunes encontradas en la literatura [1].

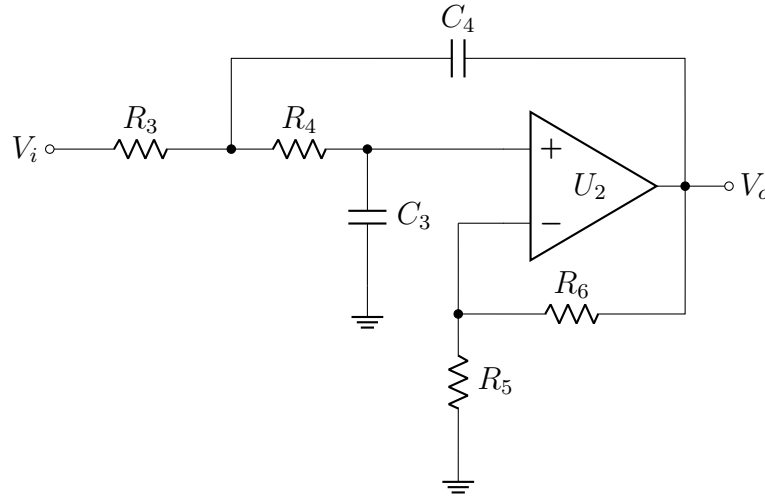


Figura 9: Configuración Sallen-Key pasabajos estándar

La transferencia de un circuito Sallen-Key en la configuración de la Figura 9 es la siguiente:

$$\frac{V_o(s)}{V_i(s)} = \frac{K}{s^2(R_3R_4C_3C_4) + s(R_3C_3 + R_4C_3 + R_3C_4(1 - K)) + 1}$$

siendo:

$$f_c = \frac{1}{2\pi\sqrt{R_3R_4C_3C_4}} \quad y \quad Q = \frac{\sqrt{R_3R_4C_3C_4}}{R_3C_3 + R_4C_3 + R_3C_4(1 - K)}$$

Para acelerar el diseño, se pueden encontrar en la literatura diversas simplificaciones [1]. En este caso, se ha decidido optar por igualar componentes. Así, $R_3 = R_4 = R$ y $C_3 = C_4 = C$, resultando en:

$$f_c = \frac{1}{2\pi RC} \quad y \quad Q = \frac{1}{3 - K}$$

Así, se eligió utilizar un factor $Q = 1$ que, utilizando resistencias con margen de error de 1 %, resultaría para un peor caso un factor $Q = 1.02$.

Habiendo realizado esta elección, y siendo este el único grado de libertad del circuito, se obtiene $K = 2$. Es por ello que, tal como se mencionó antes, se realiza la modificación en la resistencia R_3 . Al atenuar la señal a la mitad con el divisor resistivo antes de introducirla a la segunda etapa, se cancela el efecto de ganancia de esta última, quedando así, a fines prácticos, una ganancia unitaria. La única condición necesaria es ahora:

$$\frac{R_3}{2} = R_4$$

de manera de cumplir la simplificación planteada.

Atendiendo a todas estas consideraciones y cumpliendo la frecuencia de corte antes planteada, se eligieron los siguientes valores:

- $R_3 = 9.31 \text{ k}\Omega$
- $R_4 = 4.7 \text{ k}\Omega$
- $C_3 = C_4 = 10 \text{ nF}$
- $R_5 = R_6 = 10 \text{ k}\Omega$

utilizando de esta manera los mismos componentes que en la etapa previa, llegando a la frecuencia de corte de 3386 Hz, logrando el filtro pasabajos de tercer orden deseado.

Protección ADC En el circuito final, se agregaron dos diodos schottky a la salida, uno conectado a 3.3 V y el otro a masa para la protección de las entradas del conversor analógico digital, limitando la tensión máxima a $3.3 \text{ V} + V_F$, siendo $V_{F_{max}} = 1 \text{ V}$ para el integrado elegido.