

MÉTODOS DE SINCRONISMO CON LA RED ELÉCTRICA

Ing. Ignacio Carugati

Este Trabajo de Tesis fue presentado al Departamento de Electrónica
de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata
el 22 de Junio de 2012, como requisito parcial para la obtención del título de
Doctor en Ingeniería. Mención Electrónica

Director: Dr. Ing. Patricio G. Donato

Co-Director: Dr. Ing. Sebastián Maestri

Índice general

Agradecimientos	xvii
Resumen	xix
Nomenclatura	xxiii
1. Introducción	1
1.1. Sincronización de dispositivos electrónicos	1
1.2. Lazo de enganche de fase (PLL, Phase Locked-Loop)	4
1.3. Perturbaciones de la red eléctrica	6
1.3.1. Variaciones de frecuencia	8
1.3.2. Variaciones lentas de amplitud	8
1.3.3. Variaciones rápidas de amplitud (fluctuaciones de tensión)	10
1.3.4. Desbalances de tensión	11
1.3.5. Distorsión en la forma de onda	12
1.3.6. Reducción de la tensión (Dips de tensión)	14
1.3.7. Transitorios	15
1.4. Normas internacionales y sincronismo	16
1.4.1. IEEE 1547	17
1.4.2. IEC 61000	18
1.5. Enfoque monofásico y enfoque trifásico	19
1.6. Propuesta y estructura de la tesis	20
2. Modelado de las señales provenientes de la red eléctrica	23
2.1. Representación de señales trifásicas balanceadas	24

2.2.	Representación de señales trifásicas desbalanceadas: componentes simétricas	25
2.2.1.	Introducción al concepto de Componentes Simétricas	25
2.2.2.	Interpretación de las Componentes Simétricas	27
2.2.3.	Armónicos de red en sistemas trifásicos desbalanceados	29
2.3.	Representación de señales trifásicas en marcos de referencias	30
2.3.1.	Marco de referencia estacionario	31
2.3.2.	Marco de referencia sincrónico	33
2.3.3.	Errores del marco de referencia estacionario y sincrónico	35
3.	Estado del arte sobre métodos de sincronismo en sistemas trifásicos	39
3.1.	Filtrado en marco de referencia	40
3.1.1.	Filtrado en marco de referencia estacionario	40
3.1.2.	Filtrado en marco de referencia sincrónico	44
3.1.3.	Estimador de mínimos cuadrados recursivo en marco de referencia sincrónico	47
3.2.	Synchronous Reference Frame PLL (SRF-PLL)	53
3.3.	Extended Synchronous Reference Frame PLL (ESRF-PLL)	57
3.4.	Dual Second Order Generalized Integrator PLL (DSOGI-PLL)	60
3.5.	Decoupled Double Synchronous Reference Frame PLL (DDSRF-PLL)	64
3.6.	Three Phase Enhanced PLL (3EPLL)	70
3.7.	Otros métodos trifásicos de sincronismo	73
3.8.	Conclusiones del capítulo	75
4.	PLL trifásico de período de muestreo variable	77
4.1.	Revisión del principio de funcionamiento del PLL trifásico de período de muestreo variable	78
4.1.1.	Estructura y principio de funcionamiento	78
4.1.2.	Modelo matemático y diseño del controlador	79
4.1.3.	Evaluación del VSP-PLL	83
4.1.4.	Validación del modelo	85
4.2.	Resultados Experimentales	86
4.3.	Efectos de las perturbaciones en el detector de fase	89
4.4.	Conclusiones del capítulo	94

5. PLL trifásico de período de muestreo variable y filtro basado en la SGT	97
5.1. Transformada de Goertzel de ventana deslizante	98
5.2. Filtro basado en la transformada de Goertzel de ventana deslizante	102
5.3. Estructura del sistema propuesto	103
5.4. Modelo matemático y diseño del controlador	106
5.5. Evaluación del VSPF-PLL	110
5.6. Validación del modelo	111
5.7. Resultados Experimentales	113
5.8. Comparación con otros métodos trifásicos de sincronismo	115
5.9. Conclusiones del capítulo	119
6. PLL monofásico de período de muestreo variable y filtro basado en la SGT	121
6.1. Estado del arte sobre métodos de sincronismo en sistemas monofásicos	122
6.2. Detector de error de fase basado en una multiplicación	125
6.3. Estructura del PLL monofásico	127
6.4. Evaluación del spVSPF-PLL	129
6.5. Validación del modelo	131
6.6. Resultados Experimentales	132
6.7. Comparación con otros métodos monofásicos de sincronismo	135
6.8. Conclusiones del capítulo	139
7. Aplicaciones	141
7.1. Estimador de armónicos monofásico basado en la transformada de Goertzel de ventana deslizante con frecuencia de muestreo variable	142
7.1.1. Estructura del medidor de armónicos propuesto	143
7.1.2. Modelado y diseño del controlador	145
7.1.3. Evaluación del medidor de armónicos propuesto	149
7.1.4. Resultados experimentales	152
7.1.5. Conclusiones sobre el estimador de armónicos	156
7.2. VSPF-PLL y convertidor conmutado por línea conectado a una red eléctrica débil	157
7.2.1. Banco experimental	158
7.2.2. Resultados experimentales	160
7.2.3. Conclusiones del VSPF-PLL operando en una red eléctrica débil	164

8. Conclusiones	167
8.1. Resumen del estudio y los aportes efectuados en la temática de sincronismo . . .	167
8.2. Trabajos Futuros	174
8.3. Publicaciones	176
8.3.1. Revistas internacionales	176
8.3.2. Congresos internacionales	177
8.3.3. Congresos nacionales	177
8.3.4. Congresos nacionales (España)	178
Bibliografía	179

Índice de Tablas

2.1. Secuencias generadas por cada armónico en sistemas balanceados	29
5.1. Valores adoptados para el parámetro a	108
5.2. Parámetros del controlador del VSPF-PLL	110
5.3. Características básicas de los métodos trifásicos de sincronismo.	118
5.4. Respuesta de los métodos trifásicos de sincronismo ante las perturbaciones analizadas.	118
6.1. Parámetros del controlador del spVSPF-PLL	129
6.2. Comparativa del tiempo de ejecución entre métodos monofásicos de sincronismo	138
6.3. Características básicas de los métodos monofásicos de sincronismo.	138
6.4. Respuesta de los métodos monofásicos de sincronismo ante las perturbaciones analizadas.	139
7.1. Parámetros del controlador del medidor de armónicos propuesto	149
7.2. Comparación de los cálculos necesarios para estimar la componente fundamental de una señal.	152
7.3. Recursos utilizados por cada componente en la implementación del medidor de armónicos propuesto.	153
7.4. Error máximo en la estimación de las componentes.	155
7.5. Error máximo en la estimación de las componentes de la red eléctrica.	156
7.6. Resumen de los ensayos presentados en la Figura 7.10	164

Índice de figuras

1.1.	Diagrama en bloques del PLL clásico.	5
1.2.	Frecuencia de la red eléctrica en (a) España, (b) Singapur y (c) Gran Bretaña a lo largo del 17 de Octubre de 2011. Los datos son obtenidos a partir tres analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. La medición de frecuencia se obtuvo a partir de calcular la cantidad de los cruces por cero de la señal analizada durante un intervalo de un minuto de duración.	9
1.3.	Valor de tensión RMS durante una semana en (a) EEUU y (b) Italia. Los datos son obtenidos a partir dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. Los valores son calculados a partir de estimar el valor RMS de medio ciclo de línea y el promediado de los valores resultantes en una ventana de 5 minuto de duración.	10
1.4.	Porcentaje de desbalance durante una semana en (a) EEUU y (b) Alemania. Los datos son obtenidos a partir dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. El nivel de desbalance se calculó a partir el cociente entre la secuencia positivo y secuencia negativa estimada en un ciclo de línea (Sección 2.2) y el promedio de los valores en una ventana de 5 minuto de duración.	12
1.5.	THD medido durante una semana en (a) México, (b) Corea del Sur y (c) Noruega. Los datos son obtenidos a partir tres analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. Los valores mostrados son obtenidos a partir de realizar una FFT (Fast Fourier Transform) para cada ciclo de línea y promediando los mismos en una ventana de 5 minuto de duración.	14

1.6. Ejemplos de dips de tensión. (a) Simétrico y (b) no simétrico. Los datos son obtenidos a partir dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. Los valores mostrados son obtenidos a partir de medir el valor RMS de la terna en medio ciclo de línea.	15
1.7. Ejemplos de transitorios en la red eléctrica. Los datos son obtenidos a partir de dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1].	16
2.1. Representación gráfica de $v_{\alpha\beta}(t)$	32
2.2. Representación gráfica de $v_{dq}(t)$	34
2.3. Representación gráfica de $v_{\alpha\beta}(t)$ cuando la red está contaminada con un 5to armónico de secuencia positiva.	36
2.4. Representación gráfica de $v_{dq}(t)$ cuando la red esta contaminada con un 5to armónico de secuencia positiva.	37
3.1. Métodos de sincronismo basados en el filtrado en marco de referencia estacionario. (a) Síntesis de referencias en cuadratura y (b) estimación de fase instantánea.	41
3.2. Respuesta del método de sincronismo basado en el filtrado en marco de referencia estacionario. Se presenta las señales de prueba y el error de fase para una frecuencia de corte de $50Hz$ (gris) y $100Hz$ (negro). (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico.	43
3.3. Métodos de sincronismo basados en el filtrado en marco de referencia sincrónico. (a) Síntesis de referencias en cuadratura y (b) estimación de fase instantánea.	45
3.4. Respuesta del método de sincronismo basado en el filtrado en marco de referencia sincrónico. Se presenta las señales de prueba y el error de fase para una frecuencia de corte de $25Hz$ (gris) y $50Hz$ (negro). (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico.	46
3.5. Diagrama en bloques del método de sincronismo basado en el marco de referencia sincrónico y el algoritmo de estimación de mínimos cuadrados recursivo.	50

3.6. Respuesta del método de sincronismo basado en el marco de referencia sincrónico y el algoritmo de estimación de mínimos cuadrados recursivos ante un desbalance del 20 %. Se presenta la respuesta del sistema configurado con un $\lambda = 0,95$ (gris) y un $\lambda = 0,99$ (negro). (a) Sin armónicos y (b) con 2 % de 5to armónico.	51
3.7. Diagrama en bloques del SRF-PLL.	54
3.8. Modelo matemático del SRF-PLL.	54
3.9. Respuesta del SRF-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase para $\omega_n = 50Hz$ (gris) y $\omega_n = 25Hz$ (negro). (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.	56
3.10. Diagrama en bloques del ESRF-PLL.	58
3.11. Respuesta del ESRF-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase para $\omega_n = 50Hz$ (gris) y $\omega_n = 25Hz$ (negro). (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.	59
3.12. Diagrama en bloques del DSOGI-PLL.	61
3.13. Estructura del SOGI.	61
3.14. Respuesta en frecuencia del DSOGI. (a) Módulo y fase de $D(s)$ y (b) módulo y fase de $Q(s)$	62
3.15. Respuesta del DSOGI-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase para $\omega_n = 12,5Hz$. (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.	64
3.16. Diagrama en bloques del DDSRF-PLL.	67
3.17. Diagrama en bloques de la red de desacople (DN, Decoupling Network).	68
3.18. Diagrama en bloques de la celdas de desacople (DC, Decoupling Cell) para la estimación de la secuencia positiva de la red eléctrica.	68
3.19. Respuesta del DDSRF-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase para $\omega_n = 50Hz$ (gris) y $\omega_n = 25Hz$ (negro). (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.	69
3.20. Diagrama en bloques del EPLL.	71

3.21. Diagrama en bloques del 3EPLL	71
3.22. Respuesta del 3EPLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase. (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.	72
4.1. Diagrama en bloques del VSP-PLL.	78
4.2. Fase instantánea y fase de referencia del VSP-PLL.	79
4.3. Modelo matemático del VSP-PLL.	81
4.4. Modelo matemático linealizado del VSP-PLL.	82
4.5. Respuesta del VSP-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase para valores de p equivalente a 50Hz (gris) y 25Hz (negro). (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.	84
4.6. Error de fase del sistema y error de fase del modelo matemático ante un escalón de frecuencia de 5Hz. (a) Escalón sobre instante de muestreo y distintos valores de p , (b) escalón entre dos instantes de muestreo consecutivos y $p = 0,3$ y (c) escalón entre dos instantes de muestreo consecutivos y valores de p utilizados en la evaluación del comportamiento del sistema.	86
4.7. Banco experimental para el ensayo del método de sincronismo.	87
4.8. Respuesta del VSP-PLL ante diferentes perturbaciones. Para cada ensayo se presenta la señal trifásica de prueba (v_{abc}), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico. La escala temporal del osciloscopio en todos los casos es de 10ms/div.	88
4.9. Comparativa entre las componentes espectrales de la fase del vector espacial de una terna ideal (negro) y una terna distorsionada (gris). Componente fundamental más (a) 30 % de 5to armónico de secuencia positiva, (b) 30 % de 7mo armónico de secuencia positiva, (c) 30 % de 5to armónico de secuencia positiva y 30 % de 7mo armónico de secuencia positiva y (d) 30 % de 5to armónico de secuencia negativa y 30 % de 7mo armónico de secuencia positiva	93

4.10. Respuesta del VSP-PLL ante la adición de un 30 % de 5to armónico de secuencia negativa y un 30 % de 7to armónico de secuencia positivo. Se presenta las señales de prueba, la frecuencia estimada y el error de fase.	94
5.1. Implementación de la transformada de Goertzel donde $C_1 = 2 \cos(2\pi n/N_{GT})$, $C_2 = -\cos(2\pi n/N_{GT})$ y $C_3 = \sin(2\pi n/N_{GT})$	98
5.2. Implementación de la transformada de Goertzel de ventana deslizante donde $C_1 = 2 \cos(2\pi n/N_{SGT})$, $C_2 = -\cos(2\pi n/N_{SGT})$ y $C_3 = \sin(2\pi n/N_{SGT})$	100
5.3. Ubicación de los polos y ceros de la SGT configurada con $n = 2$ y $N_{SGT} = 20$	100
5.4. Respuesta en frecuencia de la SGT normalizada con $2/N_{SGT}$ y configurada con $n = 2$ y $N_{SGT} = 20$. (a) Transferencia $H_{SGT_a}(z)$ y (b) transferencia $H_{SGT_b}(z)$	101
5.5. Filtro propuesto basado en la SGT. (a) Estructura y (b) diagrama de Bode normalizado con $1/N_{SGT}$	103
5.6. Diagrama en bloques del VSPF-PLL.	105
5.7. Modelo matemático del VSPF-PLL.	106
5.8. Respuesta en frecuencia de la transferencia a lazo abierto adoptando el controlador simplificado de la Ec. (5.14).	108
5.9. Fase de la transferencia del sistema a lazo abierto utilizando el controlador de la Ec. (5.16) y adoptando los valores de la Tabla 5.1. Caso particular de $a^* = 26Hz$ (Negro).	109
5.10. Respuesta en frecuencia del sistema a lazo abierto utilizando el controlador de la Ec. (5.16). Se ha adoptado $K = 1$ y $a^* = 26Hz$	109
5.11. Respuesta del VSPF-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase. (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico.	111
5.12. Error de fase del VSPF-PLL y del modelo matemático ante un escalón de frecuencia de $1Hz$ a diferentes intervalos entre dos instantes de muestreo consecutivos. (a) Evolución de cada señal ante la perturbación analizada y (b) ampliación de la respuesta durante la desviación máxima del transitorio.	112

5.13. Respuesta del VSPF-PLL ante diferentes perturbaciones. Para cada ensayo se presenta la señal trifásica de prueba (v_{abc}), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico. La escala temporal del osciloscopio en todos los casos es de $10ms/div$	114
5.14. Respuesta del VSPF-PLL ante diferentes perturbaciones. Para cada ensayo se presenta la señal trifásica de prueba (v_{abc}), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). (a) Elevada distorsión armónica y (b) dip asimétrico de tensión. La escala temporal del osciloscopio en los dos casos es de $10ms/div$	114
5.15. Error de fase de los sistemas trifásicos de sincronismo ante diferentes perturbaciones.	116
6.1. Diagrama en bloques del sistema de sincronismo monofásico basado en detector de señal en cuadratura.	122
6.2. Diagrama en bloques del spVSPF-PLL.	128
6.3. Modelo matemático del spVSPF-PLL.	129
6.4. Respuesta del spVSPF-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase. (a) Escalón de frecuencia de $5Hz$, (b) escalón de amplitud del -20% , (c) escalón de fase del 5% y (d) 5% de 3er y 5to armónico.	130
6.5. (a) Error de fase y (b) error de fase filtrado del sistema implementado y del modelo matemático ante un escalón de frecuencia de $1Hz$	132
6.6. Respuesta del spVSPF-PLL ante diferentes perturbaciones. Para cada ensayo se presenta la señal de prueba (v_a), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). (a) Escalón de frecuencia de $5Hz$, (b) escalón de amplitud de -20% , (c) escalón de fase de 5° y (d) 5% de 3er y 5to armónico. La escala temporal del osciloscopio en todos casos es de $10ms/div$	134
6.7. Respuesta del spVSPF-PLL ante elevada distorsión armónica. Se presenta la señal de prueba (v_a), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). La escala temporal del osciloscopio en de $10ms/div$	134
6.8. Error de fase de los sistemas monofásicos de sincronismo ante diferentes perturbaciones.	136

7.1. Diagrama en bloques del medidor de armónicos propuesto basado en la SGT y el método de período de muestreo variable.	145
7.2. Detector de error de fase implementado a partir de (a) la SGT ($C_1 = 2 \cos(2\pi n/N_{SGT})$, $C_2 = -\cos(2\pi n/N_{SGT})$ y $C_3 = \sin(2\pi n/N_{SGT})$) y (b) la DFT modulada. (c) Modelo de pequeña señal del detector de error de fase implementado a partir de la DFT modulada. (d) Modelo matemático del lazo de fase del medidor de armónicos propuesto.	147
7.3. Respuesta del medidor de armónicos propuesto ante (a) diferentes perturbaciones y (b) variaciones continuas en la frecuencia de entrada. Se presenta la frecuencia de la señal analizada, el módulo estimado de la componente fundamental, el módulo estimado del 3er armónico, el módulo estimado de la 5ta armónica y el período de muestreo del sistema.	150
7.4. Respuesta del sistema ante distorsión armónica. Se presenta la señal de entrada (negro), el período de muestreo del sistema (T_S), el módulo estimado de la componente fundamental (V_1), el módulo estimado del 3er armónico (V_3) y el módulo estimado del 5to armónico (V_5).	154
7.5. Detalle de la respuesta del sistema para (a) señal de entrada ideal y para (b) señal de entrada distorsionada. Valores obtenidos a partir del estimador de armónicos propuesto (negro) y valores procesado en MATLAB [®] (gris).	155
7.6. Respuesta del medidor de armónicos propuesto conectado a la red eléctrica. (a) Pantalla del osciloscopio donde se presenta la señal de entrada (negro), el período de muestreo del sistema (T_S), el módulo estimado de la componente fundamental (V_1), el módulo estimado del 3er armónico (V_3) y el módulo estimado del 5to armónico (V_5). (b) Detalle de los valores obtenidos a partir del estimador de armónicos propuesto (negro) y valores procesado en MATLAB [®] (gris). Se presentan los resultados obtenidos a partir de analizar la componente fundamental, 3er, 5to, 7mo y 9no armónico.	156
7.7. Banco experimental.	159

Agradecimientos

Quisiera agradecer a todas las personas que, en mayor o menor medida, ayudaron e hicieron posible la realización del presente trabajo.

En primer lugar, a mi esposa Jorgelina, quien me acompaña en todos mis proyectos, dentro y fuera de la universidad, brindándome su apoyo incondicional y consejo.

A mis padres y hermanos por ser parte importante de mi vida y estar presentes cuando los necesito.

A mis amigos que veo a diario y a los que solamente veo de vez en cuando, pero no por eso menos importantes, por estar presentes en mi vida personal, lo cual, claramente influye en lo profesional.

A Patricio Gabriel Donato y Sebastián Maestri, director y codirector de este trabajo, quienes me ayudaron y orientaron en cada etapa. De quienes he aprendido muchas cosas y sigo aprendiendo todavía.

A todos los miembros del Laboratorio de Instrumentación y Control, los eternos y aquellos que se fueron integrando en los últimos años, quienes me hacen sentir a gusto y en confianza, incentivándome a seguir trabajando de lo que me gusta.

Y por último, al Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET), a la Universidad Nacional de Mar del Plata, al Ministerio de Ciencia, Tecnología e Innovación Productiva, al programa High Energy Physics Latinamerican European Network (HELEN) y al Centre Européenne de Recherche Nucléaire (CERN) por el apoyo económico recibido.

Resumen

En la actualidad hay un gran interés en el diseño de nuevos sistemas de sincronismo digitales que permitan lograr una velocidad rápida de convergencia y elevado rechazo de las perturbaciones de la red eléctrica, empleando arquitecturas eficientes con bajo consumo de recursos.

El método de sincronismo más utilizado es el lazo de enganche de fase analógico o PLL (Phase Locked-Loop). Este sistema, basado en la detección de los cruces por cero de la señal de entrada, provee una señal de salida cuya frecuencia es un múltiplo de la frecuencia de la entrada y está en fase con ésta. Sin embargo, las tensiones de línea presentan perturbaciones como variaciones de frecuencia y fase, ruido, contaminación armónica y desequilibrio de tensiones en sistemas trifásicos, por lo que se pueden modificar apreciablemente los instantes de cruces por cero de las tensiones de línea. Como resultado, los PLL analógicos no son aconsejables para aplicaciones de elevada precisión.

Por otra parte, los métodos de sincronismo digitales poseen una mayor inmunidad a las perturbaciones de las tensiones de línea debido a que actualizan la información de la fase instantánea a lo largo de todo el período de la señal de entrada en lugar de sólo hacerlo en los cruces por cero. En la literatura existe una gran cantidad de variantes de este tipo de sistemas, donde se distingue una clara relación de compromiso entre complejidad de la estructura y rechazo a las perturbaciones. Además, lograr un elevado rechazo a las perturbaciones suele afectar también la velocidad de respuesta del método.

En el Laboratorio de Instrumentación y Control (LIC) de la Universidad Nacional de Mar del Plata se desarrolló un método de sincronismo para redes trifásicas que opera con frecuencia de muestreo variable (VSP-PLL, Variable Sampling Period PLL). Este método se comporta como un PLL digital que extrae la información instantánea de la fase a través de vectores espaciales y ajusta la frecuencia de muestreo para que sea un múltiplo de la frecuencia de línea. Este sistema presenta una estructura simple pero, al igual que otras propuestas, es sensible a

las distorsiones de la red eléctrica. Como consecuencia, para mitigar los efectos adversos de las perturbaciones es necesario reducir considerablemente el ancho de banda deteriorando la velocidad de respuesta.

En esta tesis se estudia la sincronización con redes eléctricas de elevada distorsión y se propone una serie de métodos para recuperar la información de fase en tales situaciones. Para ello se ha realizado un análisis exhaustivo del estado del arte sobre el tema, desde la representación de las señales distorsionadas en diferentes marcos de referencia hasta el estudio bajo las mismas condiciones de funcionamiento de los métodos de sincronismo propuestos por otros autores. Como resultado de este estudio, a partir del principio de funcionamiento del VSP-PLL se han desarrollado dos nuevos métodos de sincronismo, uno para redes trifásicas y otro para monofásicas.

El primer sistema propuesto se ha denominado VSPF-PLL (Variable Sampling Period Filter PLL) y consiste en un VSP-PLL al que se modifica el detector de error de fase y se adiciona en el lazo de control un filtro basado en la transformada de Goertzel de ventana deslizante (SGT, Sliding Goertzel Transform). De esta forma, se ha obtenido un método que presenta una completa inmunidad ante desbalances, armónicos y cualquier distorsión periódica de las señales de entrada ya que el filtro ubica ceros de transferencia en las frecuencias donde se generan los efectos adversos que deterioran la performance del sistema de sincronismo convencional. Se ha realizado una extensa comparativa de este método con otros en diferentes condiciones de funcionamiento, verificando sus ventajas en lo que respecta a precisión y respuesta dinámica. Adicionalmente, el método propuesto se caracteriza por una implementación simple que solo requiere de una suma y una resta para el cálculo del filtro propuesto.

El segundo sistema propuesto se ha denominado spVSPF-PLL (Single phase Variable Sampling Period Filter PLL) y es una adaptación del VSPF-PLL para aplicaciones monofásicas. Este nuevo método de sincronismo mantiene todas las características distintivas de su par trifásico y además, ha demostrado ser superior a algunas de las propuestas monofásicas más nombradas en la literatura.

Ambos métodos de sincronismo fueron evaluados tanto a nivel de simulación como en forma experimental, obteniéndose resultados satisfactorios. También se ha evaluado su comportamiento en dos aplicaciones de interés, como lo son un sistema de medición de contenido armónico y un esquema de determinación de la fase instantánea en una red eléctrica débil afectada por el funcionamiento de un rectificador controlado por línea.

Debido a que los métodos de período de muestreo variable ajustan la frecuencia de muestreo a un múltiplo de la frecuencia de la línea, el uso de transformaciones frecuenciales como la SGT es directo y no requiere de cálculos extras como por ejemplo las ventanas utilizadas para reducir la dispersión espectral en la estimación de las componentes. Basándose en esta característica, se ha propuesto una arquitectura para un medidor de armónicos de elevada eficiencia computacional basado en la SGT, con la que se ha demostrado que el período de muestreo variable permite lograr ventajas significativas en el procesamiento de las señales del sistema eléctrico.

De la misma forma, los VSP-PLL permiten una implementación directa de la referencia en rectificadores controlados donde las estrategias de control suelen requerir de un muestreo sincrónico para evitar el “jitter”. Por lo tanto, se ha analizado el comportamiento del VSPF-PLL ante los efectos que un puente de tiristores genera en una red eléctrica débil. Se ha demostrado la capacidad del sistema de sincronismo trifásico propuesto en esta tesis de rechazar las perturbaciones de las tensiones de entrada y su superioridad frente a los sistemas de sincronismo clásicos en relación a velocidad de respuesta y facilidades en su instalación.

Nomenclatura

Siglas utilizadas en la tesis

DGS	Sistema de Generación Distribuida (Distributed Generation System)
UPS	Sistemas de energía ininterrumpida (Uninterruptible Power Systems)
HVDC	Transmisión de Energía Eléctrica en Alta Tensión (High Voltage Direct Current)
EMC	Compatibilidad Electromagnética (Electromagnetic Compatibility)
DFT	Transformada Discreta de Fourier (Discrete Fourier Transform)
IEC	International Electrotechnical Commission
APF	Filtro Activo de Potencia (Active Power Filter)
DC	Corriente Continua (Direct Current)
AC	Corriente Alterna (Alternating Current)
PLL	Lazo de enganche de fase (Phase Locked-Loop)
VCO	Oscilador Controlado por Tensión (Voltage Control Oscillator)
RMS	Raíz cuadrática media (root mean square)
EN	European Norm
THD	Distorsión Armónica (Total Harmonic Distortion)
GT	Transformada de Goertzel (Goertzel Transform)
SGT	Transformada de Goertzel de ventana deslizante (Sliding Goertzel Transform)
SW	Ventana deslizante (Sliding Window)

FPGA Plataforma de lógica programable (Field Programmable Gate Array)

IIR Respuesta infinita al impulso (Infinity Impulse Response)

Parámetros de la red eléctrica

$\vec{v}_{abc} = [v_a \ v_b \ v_c]^T$ Vector de tensiones de la red eléctrica

$T_l = 1/f_l = 2\pi/\omega_l$ Período de la red eléctrica

φ_u Fase de la red eléctrica

V_1 Amplitud de la componente fundamental de una señal trifásica balanceada o una señal monofásica.

V_{+1} Amplitud de la secuencia positiva de la componente fundamental de una señal trifásica desbalanceada

V_{-1} Amplitud de la secuencia negativa de la componente fundamental de una señal trifásica desbalanceada

V_h Amplitud de la secuencia cero de la componente fundamental de una señal trifásica desbalanceada

V_n Amplitud del armónico de orden n de una señal trifásica o monofásica

φ_n Fase inicial de la componente armónica de orden n de una señal trifásica o monofásica

Representación de señales

$T_{\alpha\beta}$ Transformada $\alpha\beta$ para la representación de señales trifásicas en el marco de referencia estacionario

$\vec{v}_{\alpha\beta} = [v_\alpha \ v_\beta]^T$ Señal trifásica representada en el marco de referencia estacionario

T_{dq} Transformada dq para la representación de señales trifásicas en el marco de referencia sincrónico

$\vec{v}_{dq} = [v_d \ v_q]^T$ Señal trifásica representada en el marco de referencia sincrónico

φ_{sin} Fase del marco de referencia sincrónico

$g = e^{j2\pi/3}$ Rotación de 120° (operador de Fortescue)

$\bar{g} = e^{-j2\pi/3}$ Rotación de -120°

q Operador que representa un adelanto en fase de 90° de una señal en el dominio temporal

\bar{q} Operador que representa un atraso en fase de 90° de una señal en el dominio temporal

Nomenclatura de los métodos de sincronismo

e_φ Error de fase del lazo de control

$\omega_{est} = 2\pi f_{est}$ Frecuencia angular estimada

φ_{est} Fase estimada

φ_{error} Diferencia entre la fase del generador y la fase estimada por un método de sincronismo

$\Delta\varphi_{max}$ Error de fase máximo durante el transitorio

$\Delta\varphi_{RPmax}$ Error de fase máximo en régimen permanente

Δf_{max} Desviación máxima en la frecuencia estimada durante el transitorios

Δf_{RPmax} Desviación máxima en la frecuencia estimada en régimen permanente

t_S Tiempo de establecimiento

K, a, τ Parámetros del controlador

v_{PLL} Señal realimentada del PLL clásico basado en la detección de los cruces por cero de la entrada

Nomenclatura específica de los métodos de sincronismo de período de muestreo variable

φ_{VE} Fase del vector espacial representativo de la terna

N_{PLL} Numero de muestras por ciclo de red eléctrica

φ_{ref} Fase de referencia

e_φ^* Error de fase del lazo de control filtrado

T_S período de muestreo

p Lugar de los polos de la transferencia a lazo cerrado del modelo matemático

v_{ref} Señal sinusoidal sintetizada a partir de la fase de referencia

v_{ref}^* Señal cuadrada sintetizada a partir de la fase de referencia

Transformada de Goertzel y transformada de Goertzel de ventana deslizante

N_{GT} Tamaño de la secuencia analizada por la transformada de Goertzel

N_{SGT} Tamaño de la secuencia analizada por la transformada de Goertzel de ventana deslizante

a_n Valor real del coeficiente n del espectro de una señal

b_n Valor imaginario del coeficiente n del espectro de una señal

φ_{SGT} Fase estimada de la componente fundamental calculada a partir de la transformada de Goertzel de ventana deslizante

r Factor de amortiguamiento para la implementación de la transformada de Goertzel de ventana deslizante

Capítulo 1

Introducción

La sincronización de los dispositivos electrónicos con la red eléctrica es un aspecto fundamental a cumplir por los mismos para mantener un buen y correcto funcionamiento. Esta tesis trata acerca de los métodos utilizados para tal fin, para lo cual en este primer capítulo se realiza una introducción a la problemática del sincronismo y se describen algunas consideraciones y aspectos fundamentales que ayudan en la comprensión de esta tesis.

1.1. Sincronización de dispositivos electrónicos

El sincronismo, en términos generales, se define como la coordinación de eventos en un sistema a fin de que estos puedan ocurrir simultáneamente. Este concepto es de importancia crítica en aplicaciones del campo de la electrónica, desde los sistemas de comunicaciones hasta los sistemas de potencia. Por ejemplo, la sincronización ha sido fundamental para el diseño de sistemas de comunicaciones en donde la correcta interpretación de datos por parte del receptor en las redes de comunicaciones digitales depende de la sincronización entre éste y el emisor.

En el caso de los sistemas de potencia, la sincronización con la red eléctrica es de especial interés, debido a que el funcionamiento de estos dispositivos suele basarse en el conocimiento de la fase instantánea del suministro eléctrico. Como resultado, el rendimiento queda relacionado con la exactitud con la cual se estima la fase instantánea de las tensiones de línea. De forma de optimizar las prestaciones de estos dispositivos, es necesario contar con métodos de sincronismo acordes con la precisión requerida que permitan obtener esta información en forma precisa y on-line. Además, el rendimiento requerido debe cumplirse aún cuando las tensiones

de línea presenten distorsiones y perturbaciones como por ejemplo el desequilibrio de tensiones, la presencia de componentes armónicos o las variaciones de amplitud y frecuencia. En caso de no ser así, los dispositivos electrónicos pueden presentar un desempeño inferior al esperado o incluso tornarse inestables. En conjunto con el rechazo a estas perturbaciones, los sistemas de sincronismo deben mantener una velocidad de respuesta adecuada y una simple estructura debido a que los mismos forman parte de sistemas más complejos. Entre estas aplicaciones se pueden citar:

- **Inyección de energía en la red eléctrica en generación distribuida.** En los sistemas conocidos como de Generación Distribuida (DGS, Distributed Generation Systems), se genera energía eléctrica (en general a partir de fuentes de energía renovable) en forma local, pero se mantiene un punto de conexión con una red de jerarquía superior [2] [3]. Los convertidores en el punto local deben generar energía eléctrica útil e interactuar con la red eléctrica de forma de entregar la energía que no se esté utilizando para que sea aprovechada en otro punto de la red. A fin de mantener un buen rendimiento, estos convertidores requieren de una correcta estimación de la fase instantánea de la tensión de línea para poder inyectar una corriente sinusoidal que guarde una diferencia de fase controlable con la tensión. En contraste, una mala referencia de fase puede llevar a un incremento de las componentes armónicas inyectadas en la red así como un aumento no deseado de la potencia reactiva inyectada. En 2003, el Institute of Electrical and Electronics Engineers (IEEE) emitió un documento con rango de estándar que define las características de conexión de fuentes de energía distribuida con la red de eléctrica [4]. Este documento define bajo qué condiciones (sincronización, desbalance de tensión, nivel de armónicas, etc.) el DGS puede conectarse a la red, y bajo qué condiciones debe ser desconectado.
- **UPS (Uninterruptible Power Systems).** Los UPS son dispositivos electrónicos que pueden proporcionar energía a otros equipos tras un corte o funcionamiento anormal del suministro eléctrico [5]. Además, suelen realizar otras funciones para mejorar la calidad de la energía suministrada. Entre estas funciones se puede nombrar la estabilización de la energía, el aislamiento de la fuente de la red eléctrica, el filtrado y corrección de la forma de onda, corrección de la frecuencia de línea, etc. Para un correcto funcionamiento del dispositivo, se requiere realizar una precisa estimación de los parámetros de las señales

de entrada. Todas las operaciones de control, monitoreo y mejoramiento del suministro eléctrico requieren de sistemas que puedan sincronizarse a dichas señales.

- **Rectificadores controlados por línea.** La función básica de estos dispositivos es convertir una tensión de entrada alterna en una tensión de salida continua controlable. En la actualidad estos dispositivos son utilizados en aplicaciones de elevada potencia tales como electrólisis de aluminio [6] [7], transmisión de energía eléctrica en alta tensión (HVDC) [8], o fuentes de alimentación para imanes de deflexión de aceleradores de partículas [9] [10]. Para el buen funcionamiento del dispositivo es indispensable obtener una señal de referencia sincronizada con la señal trifásica de entrada. La información obtenida a partir de dicha señal es utilizada con fines de control ya que provee de la referencia para generar los pulsos de disparo para los dispositivos de commutación. Debido a que la tensión de salida depende directamente de los tiempos en los cuales se producen los pulsos de disparo, y estos a su vez dependen de la referencia utilizada para sincronizar el sistema, la precisión del método empleado para la obtención de esta referencia afecta directamente la precisión del convertidor [11].
- **Monitoreo y mejora de la calidad de la energía del suministro eléctrico.** Otras aplicaciones de importancia están representadas por el conjunto de técnicas utilizadas para monitorear o modificar determinados parámetros de calidad de la red eléctrica. Por ejemplo, en el área de la compatibilidad electromagnética (EMC), el sincronismo con la red es necesario en la medición de armónicos e interarmónicos. Es bien sabido que el espectro calculado mediante el algoritmo de la transformada discreta de Fourier (DFT) es igual al verdadero siempre y cuando el segmento de señal analizado sea estacionario y un múltiplo entero de su período [12]. Las normas internacionales IEC 61000-4-7 [13] e IEC 61000-4-30 [14] requieren, en lo concerniente a medición del contenido armónico de una señal, un muestreo sincrónico de las tensiones y corrientes tanto para acotar los errores como para asegurar resultados reproducibles incluso en presencia de señales no estacionarias [15] [16]. Adicionalmente, la información obtenida puede utilizarse para mejorar el rendimiento de la red de distribución. Los filtros activos de potencia (APF) son convertidores de potencia en configuración inversor (DC/AC) mediante los cuales se inyecta a la red eléctrica una determinada señal de forma tal que la red provea solamente la componente fundamental de la señal de entrada [17]. Del mismo modo que en el caso de generación distribuida,

el sistema de sincronismo juega un rol fundamental en la conexión y desconexión de los APF a la red.

1.2. Lazo de enganche de fase (PLL, Phase Locked-Loop)

El sistema de sincronismo clásico es el lazo de enganche de fase, conocido como PLL por sus siglas en inglés Phase-Locked Loop [18] [19]. Este es un dispositivo electrónico que, mediante un lazo de realimentación, sintetiza una señal de salida que guarda una relación fija de fase y frecuencia con respecto a una señal de entrada utilizada como referencia. El PLL se basa en la detección de los cruces por cero de ambas señales respondiendo tanto a los cambios en la frecuencia como en la fase de la señal de entrada, permitiendo mantener la sincronización y corregir perturbaciones.

Los PLLs son muy utilizados en la electrónica desde los años 60 cuando toda la circuitería necesaria para su implementación pudo integrarse en un sólo chip. Un ejemplo de este tipo de circuitos integrados es el 4046, el cual integra todos los elementos necesarios para construir un PLL. Entre sus aplicaciones se puede mencionar a los equipos de telecomunicaciones, las computadoras y los dispositivos electrónicos de potencia, en donde estos dispositivos permiten recuperar una señal de un canal de comunicación ruidoso, generar diferentes señales de reloj para dispositivos digitales, o generar señales de frecuencias estables, entre otras.

La estructura clásica del PLL se presenta en la [Figura 1.1](#). Generalmente, este dispositivo está constituido por una etapa de adecuación de la señal de entrada, un detector de error de fase, un filtro pasa bajos, un oscilador controlado por tensión (VCO, Voltage Control Oscillator) y un divisor de frecuencias como parte de la realimentación. La etapa de adecuación de señal permite obtener una señal binaria a partir de una señal de entrada analógica, ubicando los flancos ascendentes de la primera en los instantes en los cuales ocurren los cruces por cero de pendiente ascendente de la señal analógica. Esta etapa es necesaria ya que el detector de error de fase basa su funcionamiento en la detección de los flancos ascendentes de las señales de entrada. En caso de trabajar con señales binarias, la etapa de adecuación puede eliminarse del sistema. Luego, el detector de error de fase compara el flanco ascendente de la señal binaria con el de la señal realimentada y, a partir de medir una diferencia de tiempos entre ambos eventos, entrega o drena corriente del filtro pasa bajos. Como este filtro alimenta al VCO, la frecuencia de la señal de salida del VCO se modifica como resultado de las diferencias entre

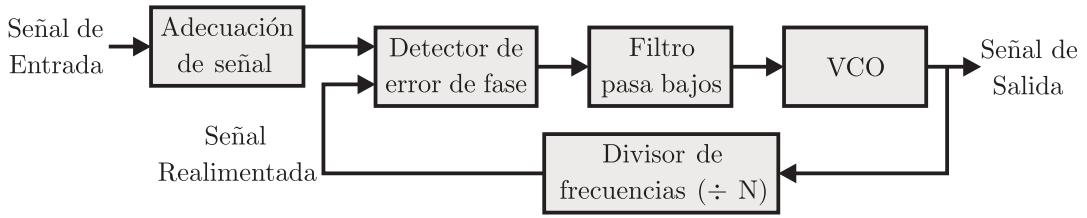


Figura 1.1: Diagrama en bloques del PLL clásico.

los tiempos de ocurrencia de los flancos ascendentes de ambas señales. Por último, se utiliza un divisor de frecuencias para obtener una señal realimentada de frecuencia igual a la señal binaria de entrada. De esta manera, el lazo de control ajusta el valor de salida del filtro para que el VCO y el divisor de frecuencias entreguen una señal en fase con la entrada binaria. Bajo estas condiciones de funcionamiento, el PLL queda sincronizado y provee de una señal de salida binaria de frecuencia N veces mayor a la entrada pero en fase con ésta.

Aunque este dispositivo es ampliamente utilizado como método de sincronismo por su simplicidad y robustez, su funcionamiento se basa en la detección de los cruces por cero de pendiente ascendente de las señales de entrada lo cual implica que sólo puede efectuar una corrección ante perturbaciones una vez por ciclo de la componente fundamental. Esta característica lo hace lento para sistemas que requieren de gran velocidad de respuesta.

Otra característica que presenta el dispositivo, es la necesidad de conformar una señal binaria en fase con la señal analógica de entrada. Obtener este tipo de señal a partir de una señal distorsionada y ruidosa, como ocurre cuando se trata de sincronizar un dispositivo con la red eléctrica, requiere de una circuitería que aumenta la complejidad de la implementación. Comúnmente se emplean filtros analógicos para mitigar las perturbaciones de la red, adicionando errores de fase en la medición, y comparadores con histéresis los cuales deben ser ajustados en forma manual. Los errores adicionados por esta circuitería deben medirse a fin de ser cancelados al momento de utilizar la información proporcionada por el PLL pero esta cancelación sólo es válida si la frecuencia de funcionamiento no varía con el tiempo, algo que no se cumple en los sistemas reales de suministro de energía.

En la actualidad, para aplicaciones demandantes se ha reemplazado este PLL por sistemas digitales que actualizan la información de fase durante todo el ciclo de la señal de entrada en lugar de solo detectar los cruces por cero de pendiente ascendente y permitan automatizar su instalación sin la necesidad de ajustes manuales para obtener error de fase cero en régimen permanente. El diseño de estos PLL digitales apunta a desarrollar algoritmos que mantengan

su rendimiento y eficiencia ante situaciones adversas donde las señales con las cuales se trabaja sufren variaciones tanto en frecuencia como en amplitud y fase; están inmersas en ruido, existen componentes armónicos indeseables o son distorsionadas por el mismo dispositivo como ocurre en los rectificadores controlados por línea al efectuarse las conmutaciones de los tiristores.

1.3. Perturbaciones de la red eléctrica

Las tensiones y corrientes de la red eléctrica presentan distorsiones y perturbaciones que dificultan el procesamiento y caracterización de los parámetros de las mismas. El estudio de estas condiciones de funcionamiento suele realizarse mediante el concepto de calidad de energía.

En la literatura se han proporcionado diferentes definiciones para este concepto, pero en esta tesis se denomina a la misma como la combinación de otros dos conceptos: la calidad de tensión y la calidad de corriente. La primera hace referencia a la desviación de la tensión de línea de su forma ideal, y la segunda es equivalente para la corriente. Estos conceptos son ampliamente utilizados en el análisis de las señales provenientes de la red eléctrica y han ganando un significativo interés en los últimos años a causa de diferentes razones [20]. Entre las más importantes puede nombrarse:

- El creciente uso de dispositivos electrónicos que imponen una carga no lineal a la red eléctrica, aumentando el consumo de corrientes no sinusoidales. Esta tendencia se aprecia tanto en redes de baja como en alta tensión, sin embargo se aprecia en mayor medida en las primeras, como resultado del uso de gran cantidad de pequeños convertidores conmutados para la alimentación de dispositivos electrónicos.
- La necesidad de regular y definir normas internacionales que estipulen las características que deben cumplir las señales provenientes de la red eléctrica y la necesidad de definir indicadores adecuados de la calidad del suministro eléctrico, a fin de poder ayudar al monitoreo y control de la misma.
- La inclusión de sistemas de generación distribuida (DGS, Distributed Generation System) que producen nuevos problemas de calidad de energía como variaciones de amplitud, flickers y distorsión armónica. Muchos de estos son empleados como interface entre la red y fuentes de energías renovables, las cuales presentan un recurso variable en el tiempo y demandan un control y seguimiento de los parámetros de la red eléctrica.

- El actual interés en reducir el consumo energético ha llevado al empleo de sistemas que hacen un uso eficiente de la energía, como por ejemplo las lámparas de bajo consumo, los cuales son una importante fuente de distorsión para las tensiones de la red.

Definiendo a un sistema trifásico ideal como el formado por tres senoides puras de igual amplitud, frecuencia y fase inicial, y un desfasaje entre ellas de 120° , un sistema trifásico sin perturbaciones es aquel en el cual las tensiones y corrientes cumplen con esta representación, y además, las tensiones y corrientes están en fase. Cualquier desviación de esta definición es considerada como una perturbación de la red eléctrica, las cuales, pueden ser de tensión o corriente. Sin embargo, no siempre es posible distinguir si una perturbación pertenece a un grupo u otro, debido a que un cambio en la corriente lleva a un cambio en la tensión, el cual lleva a su vez a un cambio en la corriente, y así sucesivamente.

Para solucionar este problema, se define a la perturbación de tensión como aquella originada en la red eléctrica y que afecta al usuario. De la misma forma, se denomina como perturbación de corriente a la originada por el usuario y que puede afectar a la red eléctrica. En esta tesis nos centraremos sólo en las perturbaciones de tensión debido a que estas son las que afectan el rendimiento de los sistemas de sincronismo.

Otra importante división que debe considerarse al momento de estudiar las señales provenientes de la red eléctrica, es la diferencia entre variaciones y eventos. Las variaciones son desviaciones de los parámetros de las señales de su valor nominal, las cuales deben ser medidas en forma continua. Ejemplos de variaciones son la desviación de frecuencia y amplitud del valor nominal. Por otro lado, los eventos son perturbaciones repentinas que tienen un comienzo y un final, generalmente resultado de una falla en la red eléctrica. Los tres eventos más importantes son las interrupciones, los dips de tensión (como resultado del cortocircuito entre fases o entre una fase y neutro) y los transitorios.

A continuación se hace una breve descripción de algunas de las perturbaciones que pueden encontrarse en la red eléctrica y que afectan los sistemas de sincronismo. Se analizan cuatro tipos de variaciones, las desviaciones de frecuencia, las variaciones de amplitud, el nivel de desbalances y la distorsión armónica. Luego se presentan dos tipos de eventos, los dips de tensión y los transitorios.

1.3.1. Variaciones de frecuencia

Debido a que es imposible almacenar grandes cantidades de energía eléctrica durante un período de tiempo largo, la generación y consumo debe realizarse en forma balanceada. Un desbalance entre ellos resulta en un cambio en la energía presente en el sistema el cual lleva a una variación de la frecuencia de las señales provenientes de la misma. Esto es debido a que la energía presente en un sistema de potencia está dominada por la rotación de los generadores y motores conectados al mismo [20].

Como las variaciones frecuenciales son resultado de desbalances entre la potencia generada y la potencia consumida, es razonable esperar que un sistema de distribución de gran tamaño presente menores variaciones en relación a uno de menor tamaño, ya que la conexión y desconexión de cargas afecta en menor medida al sistema completo. En la [Figura 1.2](#) se presentan la medición de la frecuencia de las tensiones de línea ($f_l(t)$) en tres países, España, Singapur y Gran Bretaña, a lo largo del 17 de Octubre de 2011. Como se verifica en la figura, España presenta las menores variaciones debido a que es parte del sistema europeo de distribución de energía, uno de los mayores en todo el mundo. En contraste, los sistemas de Singapur y Gran Bretaña son de menor tamaño y por ende se verifica una mayor variación en la frecuencia de la red eléctrica. Es importante notar que las variaciones analizadas en esta figura corresponden a condiciones normales de funcionamiento.

A fin de mitigar las variaciones de frecuencia producidas por la conexión y desconexión de cargas y de unidades de generación distribuida, las grandes centrales de generación de energía eléctrica están equipadas con sistemas de control que varían la potencia generada a partir de medir la frecuencia de las señales entregadas a la red.

Entre las consecuencias de las variaciones frecuenciales se puede nombrar a la desviación de clocks generados a partir de las tensiones de línea, la variación de velocidad en motores de inducción y motores sincrónicos y las variaciones en el flujo de motores y transformadores.

1.3.2. Variaciones lentas de amplitud

Estas perturbaciones son atribuidas a las variaciones en el flujo de la potencia activa y reactiva en el sistema eléctrico. Por ejemplo, la conexión y desconexión de cargas resulta en un cambio en la corriente sobre la impedancia de línea, resultando en un cambio de las tensiones en el punto de conexión común. Otra causa de estas perturbaciones son los sistemas de generación

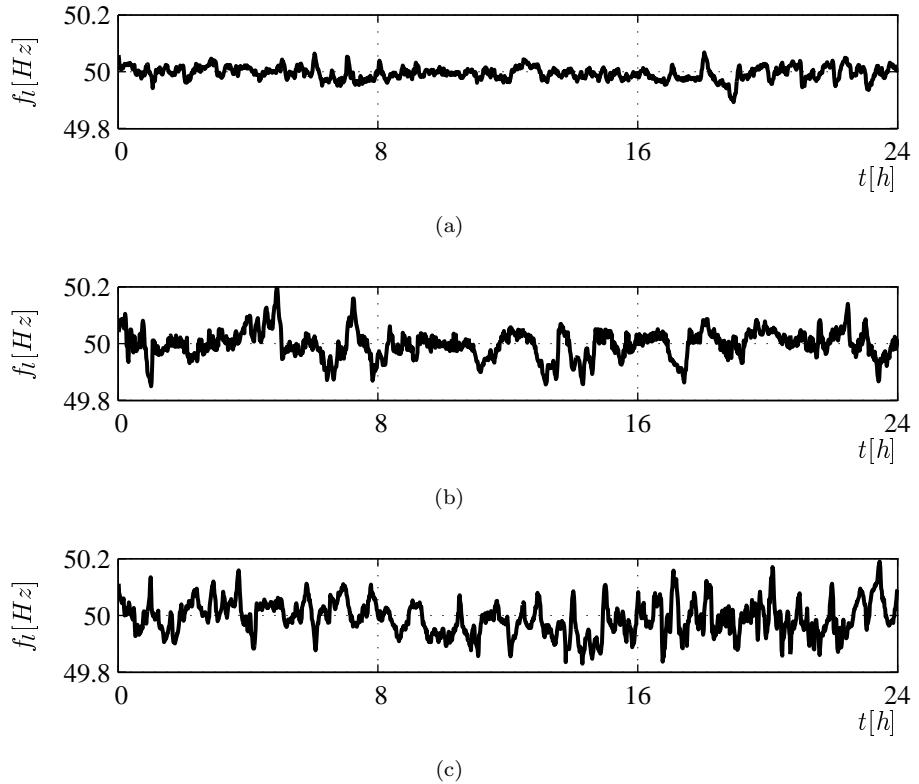


Figura 1.2: Frecuencia de la red eléctrica en (a) España, (b) Singapur y (c) Gran Bretaña a lo largo del 17 de Octubre de 2011. Los datos son obtenidos a partir tres analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. La medición de frecuencia se obtuvo a partir de calcular la cantidad de los cruces por cero de la señal analizada durante un intervalo de un minuto de duración.

distribuida, ya que la producción de energía no depende principalmente de la necesidad de potencia por parte del usuario. Existen otros factores más relevantes como por ejemplo la disponibilidad del recurso, el cual suele ser variable con el tiempo. Como resultado, un bajo requerimiento de energía (baja carga) con gran producción puede resultar en una resistencia negativa en la red, lo cual lleva a un incremento de la amplitud de las tensiones de la red eléctrica [20] [21].

A diferencia de las variaciones frecuenciales, las cuales no producen consecuencias significativas sobre los equipos conectados a la red eléctrica, las variaciones lentas en la amplitud de las tensiones de línea llevan a una gran cantidad de problemáticas. Una tensión mayor a la nominal disminuye la vida útil de algunos dispositivos como por ejemplo las lámparas incandescentes y fluorescentes, aumenta el riesgo de fallas en el aislamiento de los equipos, aumenta el torque y las corrientes de encendido de motores, la disipación de calor en resistencias y la corriente en transformadores, lo cual resulta en una mayor distorsión en la forma de onda de

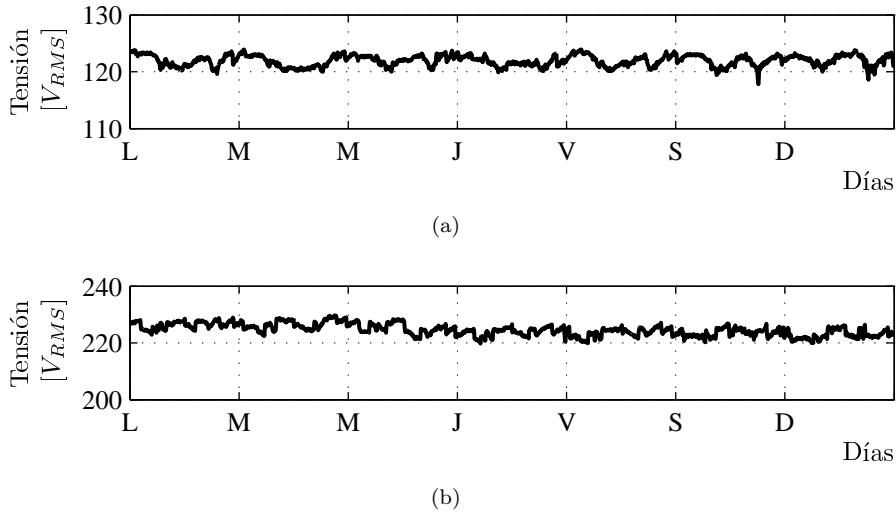


Figura 1.3: Valor de tensión RMS durante una semana en (a) EEUU y (b) Italia. Los datos son obtenidos a partir dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. Los valores son calculados a partir de estimar el valor RMS de medio ciclo de línea y el promediado de los valores resultantes en una ventana de 5 minuto de duración.

tensión. Por otro lado, una tensión menor a la nominal disminuye el torque en el arranque de los motores lo que puede llevar a un aumentando de la temperatura y disminuye la eficiencia de algunos equipos ya que incrementa la corriente consumida y por ende, las pérdidas asociadas al funcionamiento normal del dispositivo [22].

En la Figura 1.3 se presentan la medición del valor de tensión RMS en dos países, EEUU e Italia durante una semana completa. Ambas mediciones corresponden a diferentes sistemas de distribución eléctrico verificándose una variabilidad de este parámetro en ambas mediciones.

1.3.3. Variaciones rápidas de amplitud (fluctuaciones de tensión)

Al igual que ocurre con las variaciones lentas de amplitud, las fluctuaciones de tensión son resultado de las variaciones en las cargas conectadas a la red, ya que un cambio en la corriente resulta en un cambio en las tensiones de línea. Sin embargo, las causas particulares de este tipo de perturbación difieren a las analizadas en la sección previa. Los dispositivos que producen esta distorsión pueden dividirse en dos grupos, los que generan cambios repetitivos en la forma de onda de la tensión de línea y los que consumen corriente que varía continuamente en el tiempo. Dentro del primer grupo se encuentran las fotocopiadoras, los equipos de aire acondicionado y los refrigeradores. Estos sistemas tienen un reducido ciclo de trabajo y generan pequeños eventos repetitivos de gran velocidad resultando en rápidos cambios de la amplitud de las tensiones de

línea. Por otro lado, dentro del segundo grupo se encuentran los hornos de arco eléctrico, cargas de tracción y generadores eólicos.

La principal consecuencia de este tipo de perturbación son los cambios rápidos en la intensidad de la luz emitida por dispositivos de iluminación (flickers). Este efecto, aún en pequeño grado, puede ser captado por el cerebro humano llegando a ser irritable e incluso, provocar dolores de cabeza [23]. Otras consecuencias adversas de este tipo de perturbación se aprecian en el control de rectificadores controlados por línea y en el frenado y aceleración de motores [24] [25].

1.3.4. Desbalances de tensión

Los desbalances entre las tensiones de un sistema trifásico son el resultado de la asimetría entre las cargas conectadas al sistema y de los desbalances en la estructura del mismo. Aún en condiciones normales de funcionamiento, existen variaciones entre las cargas conectadas a cada fase del sistema por lo que es común que dichas señales presenten un grado de desbalance. Este efecto se aprecia en mayor medida en las redes de baja tensión. Esto responde a dos razones principalmente, en primer lugar porque en media y alta tensión casi todas las cargas son trifásicas y en segundo lugar porque aunque parte de los efectos se propagan a las redes de media y alta tensión, los mismos se cancelan mutuamente ya que los desbalances entre cargas están distribuidos en forma aleatoria a lo largo del sistema de distribución. Sin embargo existen excepciones como los desbalances en redes de alta tensión atribuidos a grandes cargas monofásicas, como por ejemplo la que provee a la red un horno de arco eléctrico.

Otra situación que genera desbalances en las tensiones de línea resulta de la circulación de corriente balanceada a través de impedancias no balanceadas. Los transformadores y las líneas de transmisión no son completamente iguales para cada fase. Por ejemplo, la rama central de un transformador trifásico toma una corriente de magnetización diferente a las otras dos y las líneas de transmisión de la red presenta pequeñas diferencias de inductancia y capacidad.

Al mismo tiempo, los desbalances pueden ser resultado de pequeñas diferencias entre las fases de un equipo trifásico. A pesar de que se supone que los mismos son balanceados, estos pueden consumir corriente desbalanceada debido a limitaciones o errores en el diseño de los mismos. Un ejemplo de estos equipos trifásicos son los motores de inducción [26].

En la [Figura 1.4](#) se presentan la medición del porcentaje de desbalance de una red eléctrica en dos países, EEUU y Alemania, durante una semana completa. La definición de este índice se presentará posteriormente en la [Sección 2.2](#), donde se describe la técnica de componentes

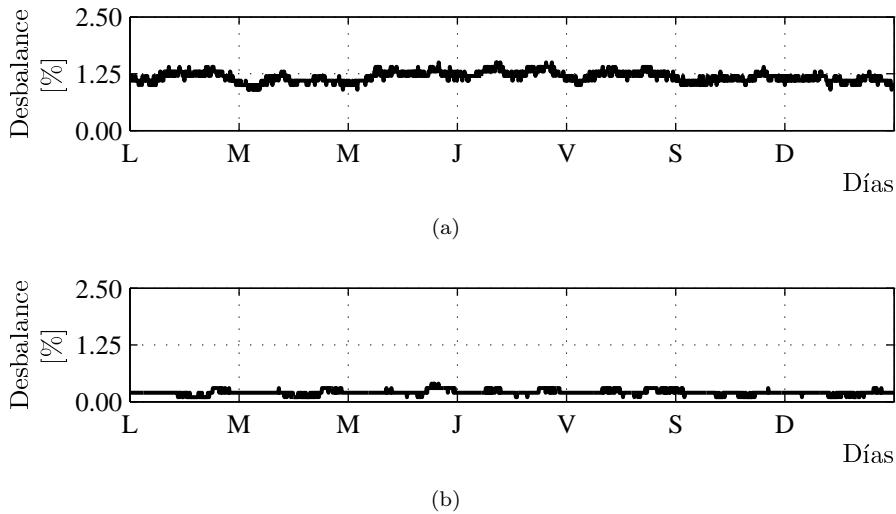


Figura 1.4: Porcentaje de desbalance durante una semana en (a) EEUU y (b) Alemania. Los datos son obtenidos a partir dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. El nivel de desbalance se calculó a partir el cociente entre la secuencia positiva y secuencia negativa estimada en un ciclo de línea ([Sección 2.2](#)) y el promedio de los valores en una ventana de 5 minuto de duración.

simétricos la cual se utilizará a lo largo de este trabajo para cuantificar y modelar los desbalances en sistemas trifásicos. En ambos casos, los valores obtenidos cumplen con la norma europea EN 50160 [27] que estipula que, bajo condiciones de funcionamiento normales, el 95 % de la semana, la secuencia negativa medida a partir de una ventana de 10 minutos de duración debe ser menor del 2 % del valor de la secuencia positiva.

Es importante notar que en condiciones normales de funcionamiento el desequilibrio de las tensiones del sistema eléctrico no suele ser muy elevado, a diferencia de los desbalances producidos por fallas en el sistema, los cuales pueden llevar a grandes diferencias entre las fases como se analizará en la [Sección 1.3.6](#).

1.3.5. Distorsión en la forma de onda

Dentro de esta clasificación de perturbaciones se suelen incluir toda desviación de las señales de su forma senoidal ideal, distinguiéndose tres tipos: armónicos, interarmónicos y distorsiones no periódicas. En esta tesis se discute sólo el primer tipo de distorsión, debido a que las mismas son las que dominan en los sistemas eléctricos. Se asume por ende, el caso de señales periódicas no sinusoidales, de frecuencia fundamental igual a la frecuencia de la red eléctrica. A su vez, se puede hacer una división entre los armónicos pares y armónicos impares de una señal. Los primeros generan diferencias entre el semiciclo positivo y negativo de la señal mientras que los

segundos resultan en semiciclos iguales. Sin embargo se demuestra en la práctica que el valor de los armónicos pares en las tensiones y corrientes es despreciable en comparación con los valores de los armónicos impares [20]. Como resultado no se considerará a los primeros en el resto del presente trabajo.

La distorsión armónica es resultado de la presencia de cargas no lineales en la red eléctrica [28]. Una carga no lineal consume una corriente no senoidal a partir de una tensión senoidal. Como resultado, a pesar de contar con una tensión sin distorsión, la corriente que consumen estas cargas generan caídas en las impedancias del sistema lo que resulta en la distorsión de las tensiones en el punto de conexión común. Ejemplo de estos dispositivos son los transformadores trabajando en saturación y la mayoría de los convertidores electrónicos de potencia.

Los índices más utilizados para medir la distorsión de una señal son el factor de cresta, que indica cuán distorsionado se encuentra el valor pico de la señal analizada y el THD (Total Harmonic Distortion), que se calcula como una relación entre el valor de la componente fundamental de la señal y la suma de los armónicos de la misma.

Se verifica en la práctica una gran cantidad de efectos adversos sobre los elementos de una red eléctrica como resultado de la presencia de armónicos en las tensiones. Uno de estos efectos es el incremento en las pérdidas de los transformadores, líneas de transmisión y neutro. En este último, este efecto es resultado de que los armónicos de tercer orden, aún en sistemas balanceados, se suman en el neutro ya que los mismos corresponden a componentes de secuencia cero en sistemas trifásicos ([Sección 2.2.1](#)). La corrientes sobre el neutro pueden llevar a grandes problemas en la red ya que este no cuenta con protecciones de sobrecarga como las implementadas en las fases del sistema. Otras consecuencias adversas se aprecian en los dispositivos electrónicos. Por ejemplo, una tensión de línea con un factor de cresta bajo reduce la performance del sistema, mientras que una tensión con factor de cresta alto aumenta el peligro de fallas en el aislamiento de los mismos. También se verifica interferencia en comunicaciones debido a acoplamientos entre líneas de distribución y líneas de comunicación, generación de campos magnéticos como resultado de componentes de secuencia cero en sistemas trifásicos y daños en capacitores y motores por calentamiento, entre otros [29].

En la [Figura 1.5](#) se presenta la medición del THD en tres países, México, Corea del Sur y Noruega durante una semana completa. Como se verifica en la figura, la medición realizada en Noruega presenta una distorsión constante y de bajo valor en comparación con las mediciones de México y Corea del Sur. Por otro lado, en estos dos últimos se aprecia una variación del índice

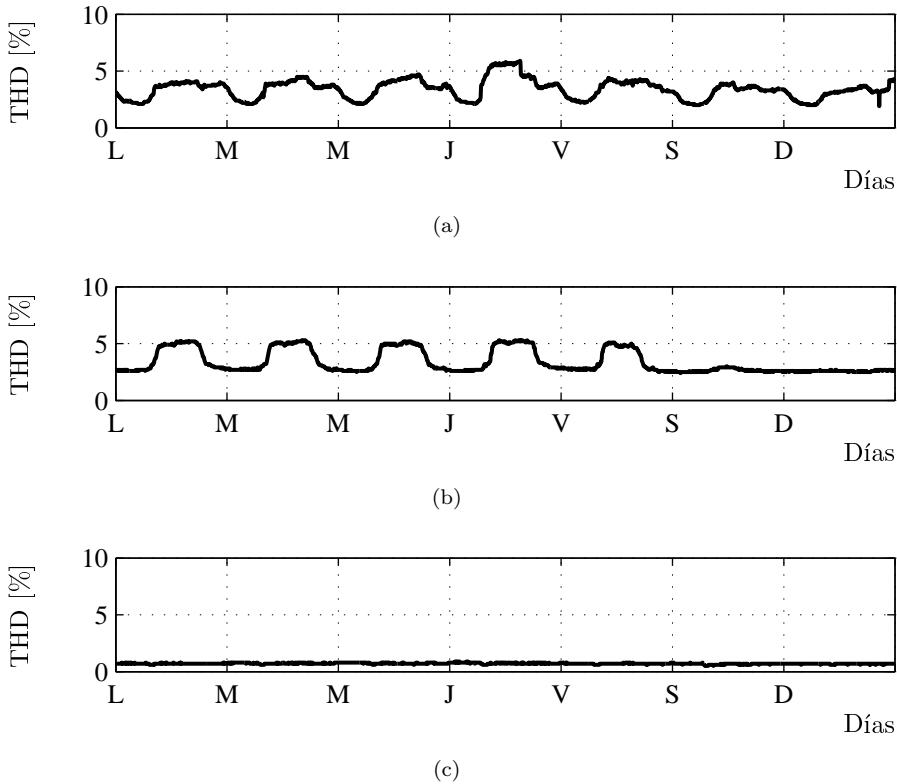


Figura 1.5: THD medido durante una semana en (a) México, (b) Corea del Sur y (c) Noruega. Los datos son obtenidos a partir tres analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. Los valores mostrados son obtenidos a partir de realizar una FFT (Fast Fourier Transform) para cada ciclo de línea y promediando los mismos en una ventana de 5 minuto de duración.

de distorsión armónica que depende de la hora y el día de la semana, pudiéndose distinguir las horas pico de consumo relacionadas al horario de trabajo.

1.3.6. Reducción de la tensión (Dips de tensión)

Los dips de tensión [30] son reducciones en la amplitud de las tensiones de la terna, típicamente de duración menor a un segundo. Durante esta perturbación, la tensión de línea puede tomar diversos valores (entre cero y la tensión nominal de la red eléctrica) dependiendo de las causas que llevan a esta condición de funcionamiento. En la mayoría de los casos, estos eventos son resultado del incremento repentino de la corriente en otra parte del sistema eléctrico causado por el cortocircuito entre fases o entre una fase y neutro, el encendido de motores de inducción y la energización de transformadores. De todas estas, los cortocircuitos son los principales responsables de este tipo de perturbación.

En la [Figura 1.6](#) se muestra dos ejemplos de dips de tensión. Se presentan las señales de la

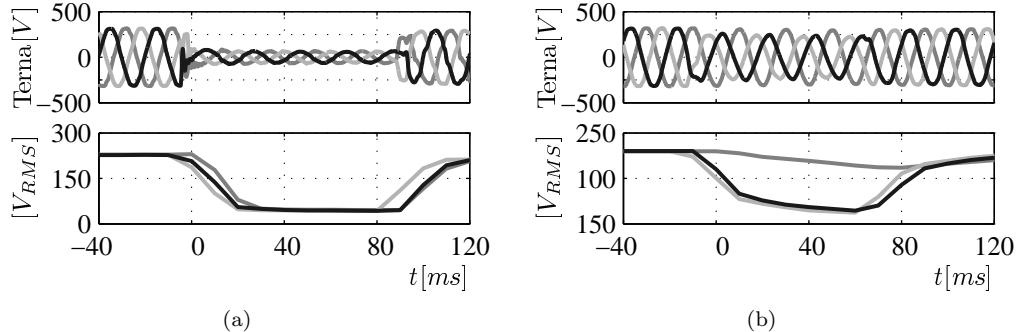


Figura 1.6: Ejemplos de dips de tensión. (a) Simétrico y (b) no simétrico. Los datos son obtenidos a partir dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. Los valores mostrados son obtenidos a partir de medir el valor RMS de la terna en medio ciclo de línea.

terna durante la perturbación y el valor RMS de cada fase obtenido a partir de un analizador de red eléctrica. Este último valor se ha calculado mediante una ventana de duración igual a medio ciclo de línea. En la Figura 1.6(a) se observa el caso de una reducción simétrica de las tensiones, verificándose similitud entre las tres fases del sistema durante la perturbación. En este caso, esta condición de funcionamiento se mantiene aproximadamente 90ms para luego presentar un tiempo de recuperación en el cual la distorsión de las señales se reduce lentamente. Por otro lado, en la Figura 1.6(b) se presenta un dip no simétrico. En este caso existe un desbalance del sistema trifásico donde el valor de tensión de una de las fases no modifica sustancialmente su valor, mientras que las otras dos reducen su amplitud y la diferencia de fase entre ellas.

Estas perturbaciones presentan uno de los principales problemas estudiados en la calidad de energía debido a los efectos adversos sobre los usuarios. En especial, los dips de tensión son críticos en las cargas industriales, las cuales pueden sufrir paros de producción regulares debido a la aparición de estas perturbaciones [31].

1.3.7. Transitorios

Los transitorios de la red eléctrica son desviaciones de la forma de onda de corriente y tensión en régimen permanente de corta duración [32] [33]. No existe una clara separación entre este tipo de perturbaciones y otros eventos como los dips de tensión, pero se suele considerar una perturbación como transitorio si la misma tiene una duración menor a un ciclo de componente fundamental. Sin embargo, esta definición no es excluyente.

La aparición de un transitorio suele atribuirse a las descargas eléctricas y la conexión y desconexión de elementos de la red eléctrica, como por ejemplo la energización y desenergización de

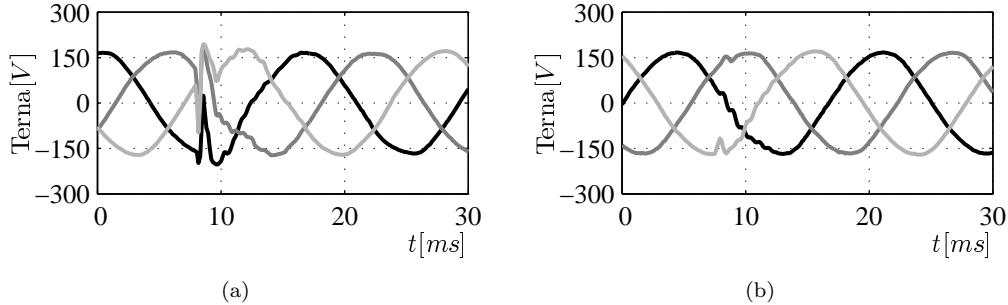


Figura 1.7: Ejemplos de transitorios en la red eléctrica. Los datos son obtenidos a partir de dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1].

capacitores e inductores o el funcionamiento de dispositivos electrónicos que consumen corriente pulsada. A pesar de que algunos transitorios presentan un comportamiento amortiguado, la mayoría se caracteriza por su contenido de alta frecuencia de algunos cientos de Hz . Debido a esta característica, para el análisis de los mismos se requiere de instrumentos de gran ancho de banda y elevada frecuencia de muestreo. Por lo que el almacenamiento de datos y su estudio es menos común en relación a otras perturbaciones de la red.

Dependiendo de la severidad del transitorio, este puede no afectar a los dispositivos conectados al sistema eléctrico, llevar a un mal funcionamiento de los mismos, o incluso puede dañarlos como resultado de una posible sobre elevación de las tensiones de línea durante la perturbación.

En la Figura 1.7 se presentan dos transitorios de diferente severidad, capturados con dos analizadores de red eléctrica PQUBE. Puede verse en las figuras una de las características distintivas de este tipo de perturbaciones, las tensiones antes y luego del transitorio son similares, observándose solamente una distorsión en la forma de onda de duración finita que no modifica las señales en régimen permanente.

1.4. Normas internacionales y sincronismo

A pesar de que los sistemas de sincronización son una parte crítica en los equipos electrónicos relacionados con la calidad de la energía, tanto medidores como convertidores, no existe una normativa dedicada a este tema, y por lo tanto no existen ensayos específicos para la evaluación de los sistemas de sincronismo ni requerimientos generales a cumplir por los mismos. La razón principal de esto es que la etapa de sincronismo es muy dependiente de la aplicación, siendo el rechazo ante perturbaciones, velocidad de respuesta y precisión, entre otras características,

requerimientos relacionados directamente a las especificaciones de la aplicación en cuestión. Sin embargo, se puede encontrar algunas normas orientadas a aplicaciones particulares que hacen referencia a algunos aspectos de la sincronización del dispositivo con la red eléctrica. En esta sección se describen algunas de estas.

1.4.1. IEEE 1547

La norma IEEE 1547-2003 [4] provee de criterios y requerimientos a cumplir para la interconexión de sistemas de generación distribuida (DGS, Distributed Generation System) con la red eléctrica. Este estándar describe las especificaciones técnicas y los ensayos a efectuar sobre el sistema de interconexión, proporcionando los requisitos relacionados al rendimiento, la operación, el ensayo, la seguridad y el mantenimiento de este sistema. Se describen los requerimientos generales, la respuesta ante condiciones anormales de funcionamiento, la calidad de energía en el punto de conexión común, el aislamiento del DGS, y las especificaciones relacionadas a los ensayos para el diseño, producción y evaluación de la instalación, además de la periodicidad del ensayo. Los requerimientos descritos en este estándar son generales, siendo aplicables a diferentes tipos de DGS, tales como maquinas sincrónicas, maquinas de inducción, inversores/convertidores, etc. Este estándar asume en todos sus apartados una red eléctrica de $60Hz$.

La primera condición que afecta a los métodos de sincronismo puede obtenerse de la sección referida a los requerimientos y especificaciones que debe cumplir la frecuencia de la red eléctrica. Allí se establece un rango de variación permitido de este parámetro, dependiendo de la capacidad máxima de generación, y el tiempo máximo en que puede operar fuera de este rango ($0,16s$). Si estos valores son excedidos, la norma impone la desconexión del DGS. Como los sistemas de sincronismo son utilizados para medir la frecuencia de la red eléctrica, la velocidad de respuesta de los mismos ante perturbaciones o variaciones de la red debe permitir detectar adecuadamente si la frecuencia ha excedido los límites establecidos durante un tiempo mayor al especificado.

Otra especificación más puntual puede encontrarse en la sección de sincronización, donde se especifica la desviación máxima permitida de frecuencia, fase y amplitud de la tensión a la salida del dispositivo en relación a la tensión en la red eléctrica principal a fin de evitar una fluctuación de la amplitud mayor a $\pm 5\%$ del valor nominal en el punto de conexión común.

1.4.2. IEC 61000

La Comisión Electrotécnica Internacional (IEC) ha desarrollado una serie de estándares y reportes técnicos relativos a la Compatibilidad Electromagnética (EMC), que se agrupan en la serie IEC 61000. Básicamente la EMC se puede definir como la habilidad de los componentes o sistemas eléctricos y electrónicos para trabajar correctamente sin interferencias mutuas. En la práctica esto significa que las emisiones electromagnéticas de un equipo deben estar dentro de ciertos límites y que cada equipo debe tener a su vez un adecuado nivel de inmunidad ante perturbaciones externas.

La serie IEC 61000 trata sobre los diferentes entornos electromagnéticos, los límites aplicables a las emisiones, los niveles de inmunidad y las técnicas de medición y ensayo que son tanto para entornos industriales como domésticos. En lo relacionado al contenido armónico de la red eléctrica, se tratan los aspectos relativos al nivel de compatibilidad para perturbaciones conducidas de diferentes tipos, y se establecen los límites de corrientes armónicas, fluctuaciones de tensión y flicker que pueden producir equipos conectados a la red de distribución pública.

Para poder caracterizar y evaluar el contenido armónico según los criterios establecidos en la serie IEC 61000, se definen las características de los ensayos y el instrumental a utilizar en las normas IEC 61000-4-7 (2002) [13] y la IEC 61000-4-30 (2003) [14]. La primera define el instrumento utilizado para verificar que los equipos cumplan los límites de emisión dados por otros estándares (por ejemplo, el límite de armónicos de corriente establecido en la IEC 61000-3-2) [34] y para la medición de armónicos de corriente y tensión en sistemas de suministro eléctrico actuales. Por otro lado, la segunda define los métodos de medición para el cálculo de los parámetros de calidad de energía de una red eléctrica y como deben interpretarse los resultados obtenidos. En relación a la medición de contenido armónico e interarmónico, los ensayos propuestos en ambas normas son idénticos, siendo aplicables a todo el instrumental pensado para la medición de componentes espectrales en el rango de frecuencias hasta $9kHz$ que están superpuestas a la componente fundamental en sistemas de suministro de energía a $50/60Hz$. Estos documentos tratan en detalle todos los aspectos relacionados con instrumentos basados en la Transformada Discreta de Fourier (DFT) y una secuencia de datos analizada correspondiente a 10 o 12 ciclos de la tensión de línea, según si se trata de redes de $50Hz$ o $60Hz$. En estas normas se especifica el uso de una frecuencia de muestreo sincronizada con la red eléctrica o el uso de ventana tipo Hanning a fin de reducir el error en la estimación de las componentes espectrales de la tensión y corriente de línea al utilizar una frecuencia de muestreo

fija.

Sin embargo, el hecho de que esta norma utilice un instrumento basado en DFT como referencia no descarta la aplicación de otros principios de análisis, tales como filtros digitales, análisis wavelet, etc. La norma inclusive considera la posibilidad de utilizar una ventana tipo rectangular siempre y cuando el muestreo se realice en forma sincrónica con la señal analizada. De esta forma se puede emplear variaciones de la DFT que emplean ventanas deslizantes para reducir el cálculo entre muestras tales como la sDFT (Sliding Discrete Fourier Transform) o la transformada de Goertzel de ventana deslizante [35].

Por lo tanto, la posibilidad de ajustar la frecuencia de muestreo a un múltiplo de la frecuencia de línea permitiría diseñar instrumentos acordes a la serie IEC 61000 de bajo costo computacional. De esta forma se logran estructuras simples que reducen los cálculos necesarios entre instantes de muestreo consecutivos al reutilizar los valores estimados previos y eliminan la necesidad de ventaneo.

1.5. Enfoque monofásico y enfoque trifásico

La red eléctrica es por naturaleza trifásica, es decir, la energía eléctrica se transporta y distribuye a través de tres conductores denominados fases. Sin embargo, en la práctica se encuentran tanto equipos monofásicos como trifásicos conectados al sistema eléctrico, por lo tanto, para poder analizar y caracterizar las tensiones y corrientes, existen dos posibles enfoques en el procesamiento de las mismas. Uno de ellos consiste en estudiar sólo una de las fases del sistema (enfoque monofásico) y el otro consiste en estudiar todas las fases del sistema (enfoque trifásico).

Para un análisis general del estado de la red eléctrica y particularmente para el control y monitoreo de equipos exclusivamente trifásicos, como por ejemplo los convertidores utilizados en DGS y los rectificadores controlados utilizados en aplicaciones de elevada potencia, un enfoque trifásico es el más aconsejable debido a que el conjunto de las tensiones y corrientes provee de la información necesaria a fin de caracterizar al sistema eléctrico. De esta manera puede registrarse las variaciones comunes a cada fase, como por ejemplo la frecuencia de la red, y cuantificar características exclusivas de las señales trifásicas, como por ejemplo el nivel de desequilibrio en las tensiones de línea.

Sin embargo, existen aplicaciones donde un enfoque monofásico para el procesamiento de

la red eléctrica también provee de la información necesaria a fin de caracterizar al sistema. Ejemplo de estas aplicaciones son los equipos trifásicos conectados a redes eléctricas donde se puede asegurar la simetría entre fases o cuando, por razones de simplificar el control y monitoreo de los mismos, se asume una terna balanceada. Cuando el nivel de desbalance es relativamente bajo, este enfoque resulta suficiente para cumplir con el rendimiento requerido del dispositivo. Pero el caso más importante dentro de este grupo de aplicaciones es el formado por los equipos monofásicos. En estos casos, un enfoque de este tipo resulta suficiente debido a que el equipo se conecta solo a una de las fases del sistema eléctrico. En estas condiciones de funcionamiento, los desbalances del sistema se detectan como variaciones de amplitud de la tensión de línea y los huecos de tensión se observan como cambios significativos de este parámetro sumado a un escalón de fase.

Por las razones previamente enunciadas, el enfoque trifásico es el más completo para el análisis de la red eléctrica. Por lo tanto, esta tesis se centra en este tipo de enfoque para el estudio de los métodos de sincronismo. Sin embargo, como existen aplicaciones monofásicas en las cuales no se cuenta con las tres fases del sistema eléctrico, no se descarta completamente el enfoque monofásico ya que el sincronismo sigue siendo un aspecto importante a analizar en este tipo de aplicaciones. Por lo tanto también se hará aportes en esta tesis utilizando este enfoque.

1.6. Propuesta y estructura de la tesis

El objetivo de esta tesis es el diseño de nuevos sistemas de sincronismo para dispositivos electrónicos, donde se prioriza la simplicidad de la estructura, el bajo costo computacional de la implementación y la capacidad de mantener un adecuado comportamiento ante condiciones desfavorables de funcionamiento. Para ello se han investigado las propuestas más nombradas en la literatura, se ha analizado cada estructura, se ha evaluado el comportamiento ante perturbaciones de la red eléctrica y se ha identificado las limitaciones de cada propuesta. A partir de este estudio se proponen nuevos sistemas de sincronismo basados en técnicas de período de muestreo variable, las cuales no son utilizadas por los métodos convencionales. De esta forma se puede emplear técnicas de filtrado alternativas que logran un comportamiento óptimo cuando la frecuencia de muestreo es ajustada a un múltiplo de la frecuencia de línea mejorando el rechazo de perturbaciones en relación a otros sistemas de sincronismo.

Esta tesis se divide en 8 capítulos. En el [Capítulo 1](#) se ha presentado la problemática del

sincronismo con la red eléctrica y el método clásico que basa su funcionamiento en la detección de los cruces por cero de la señal de entrada. Se han descrito las desventajas del mismo y la necesidad de nuevas propuestas.

La representación matemática de una señal trifásica ideal y su versión distorsionada se analiza en el [Capítulo 2](#), considerando el caso de distorsión armónica y desequilibrio de tensiones. Además se presentan las técnicas de representación de señales trifásicas en marcos de referencia estacionarios y sincrónicos. Estas técnicas son ampliamente utilizadas por los PLL trifásicos para procesar las señales provenientes de la línea, por lo que su conocimiento permite una mejor comprensión de los algoritmos de sincronización analizados y propuestos en esta tesis, y facilitan la comparación entre los diferentes métodos.

El análisis y descripción de los métodos de sincronismo más nombrados en la literatura se presentan en el [Capítulo 3](#). Se resumen las ventajas y desventajas de cada propuesta mediante el análisis de la respuesta dinámica ante diferentes perturbaciones y la complejidad de su estructura.

En el [Capítulo 4](#) se presenta un método de sincronismo de período de muestreo variable propuesto en el Laboratorio de Instrumentación y Control (LIC), denominado Variable Sampling Period PLL (VSP-PLL). Este método tiene la característica distintiva de ajustar la frecuencia de muestreo a un múltiplo exacto de la frecuencia de línea, lo cual permite obtener un modelo simple del sistema. El desarrollo teórico de este PLL fue publicado originalmente en [36]. En este capítulo se realiza una revisión del VSP-PLL, se evalúa el comportamiento en condiciones de desbalance, o cuando existen componentes armónicos de la red eléctrica, y se presentan resultados experimentales del sistema a fin de validar el desarrollo teórico. Además, se demuestra que, bajo ciertas condiciones de funcionamiento particulares, el detector de error de fase utilizado por el método puede adicionar un término constante a dicha variable en régimen permanente que no puede ser rechazado por el lazo de control del sistema, lo que resulta en un error de fase constante.

Con el fin de corregir las limitaciones detectadas durante el análisis de las propuestas mencionadas en los capítulos [3](#) y [4](#), en el [Capítulo 5](#) se propone un nuevo sistema de sincronismo trifásico, denominado Variable Sampling Period Filter PLL (VSPF-PLL). El VSPF-PLL emplea la técnica de período de muestreo variable a fin de adquirir un número entero de muestras por ciclo de la red eléctrica, pero se diferencia de las otras propuestas por su capacidad de rechazar los efectos adversos de los armónicos de red y desbalances sobre el lazo de control del sistema

de sincronismo. Esto se logra a partir de emplear un filtro digital basado en la transformada de Goertzel de ventana deslizante (SGT), la utilización de un detector de error de fase basado en la representación de señales trifásicas en el marco de referencia sincrónico y el diseño de un controlador que logra el mayor ancho de banda posible del sistema. A partir de esta estructura, se logra un período de muestreo y fase estimada sin ripple aun trabajando con redes muy distorsionadas. Otra ventaja de este sistema es su simple estructura ya que el filtro propuesto solo requiere el cálculo de una suma y una resta para su implementación en dispositivos digitales como DSP (Digital Signals Processor) y FPGA (Field Programmable Gate Array). Mediante una comparativa de este método con alguno de los sistemas analizados previamente, se demuestra la superioridad del VSPF-PLL tanto en rechazo de perturbaciones como en simplicidad de su estructura y en la dinámica de respuesta.

Como se describió en la [Sección 1.5](#), el enfoque trifásico es el más completo para el análisis de la red eléctrica. Sin embargo, como existen aplicaciones puramente monofásicas en las cuales no se cuenta con las tres fases del sistema eléctrico, en el [Capítulo 6](#) se propone una versión monofásica del VSPF-PLL que conserva las características distintivas del VSPF-PLL. Este nuevo sistema de sincronismo se ha denominado Single Phase Variable Sampling Period Filter PLL (spVSPF-PLL). Al igual que el VSPF-PLL, su funcionamiento se basa en la técnica de período de muestreo variable y el filtro de ventana deslizante, pero en este caso la representación de señales en el marco de referencia sincrónico se reemplaza por un único multiplicador. La combinación de la multiplicación y del filtro de ventana deslizante permite implementar un simple y eficiente detector de error de fase que provee de elevado rechazo a los armónicos de la red eléctrica al mismo tiempo que adapta el principio de funcionamiento originalmente propuesto para sistemas trifásicos en aplicaciones monofásicas. Además, se describen las propuestas monofásicas más nombradas en la literatura y se compara la respuesta dinámica de cada uno con el spVSPF-PLL a fin de demostrar la superioridad del sistema propuesto.

A fin de validar estas propuestas, en el [Capítulo 7](#) se presentan aplicaciones donde se emplean las técnicas propuestas en esta tesis. Primero se propone y analiza un medidor de armónicos basado en la SGT y la técnica de muestreo variable. En segundo lugar se presenta el funcionamiento de VSPF-PLL conectado a una red eléctrica débil, cuando un rectificador controlado por línea distorsiona las tensiones en el punto de conexión.

Luego, en el [Capítulo 8](#) se resumen las principales conclusiones y aportes de este trabajo y se describen las líneas de trabajo futuras.

Capítulo 2

Modelado de las señales provenientes de la red eléctrica

Suponiendo a las tensiones y corrientes de la red eléctrica como una terna distorsionada pero balanceada, un enfoque monofásico resulta suficiente para la caracterización del sistema eléctrico, entendiéndose al mismo como el procesamiento de solo una de las fases de la red. Sin embargo, se demuestra en la práctica que estas señales pueden diferir de esta representación debido a que pueden producirse desbalances en la componente fundamental así como en las componentes armónicas. Eventos en la red eléctrica, como por ejemplo los dips de tensión, entre otros, generan perturbaciones asimétricas que pueden llevar a niveles de distorsión de tal magnitud que un análisis monofásico es insuficiente. Como consecuencia, un enfoque trifásico en el procesamiento de las señales provenientes de la red eléctrica resulta más adecuado, lo que ha llevado a un mayor desarrollo de los métodos trifásicos de sincronismo sobre los monofásicos.

Sin embargo, el estudio de señales trifásicas aumenta considerablemente la complejidad del procesamiento de las mismas, en algunos casos significativamente. A fin de facilitar este procesamiento, se han propuesto gran cantidad de técnicas que modelan la terna bajo diferentes condiciones de funcionamiento y permiten así simplificar el estudio de las mismas.

En este capítulo se describen los esquemas de modelado de señales trifásicas más utilizadas por los métodos de sincronismo, a fin de facilitar el análisis de los mismos en los capítulos siguientes.

2.1. Representación de señales trifásicas balanceadas

En condiciones ideales de funcionamiento, el vector de señales \vec{v}_{abc} que representa al sistema trifásico resulta:

$$\begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = V_1 \begin{bmatrix} \cos(\varphi_u(t)) \\ \cos(\varphi_u(t) - 2\pi/3) \\ \cos(\varphi_u(t) - 4\pi/3) \end{bmatrix} \quad (2.1)$$

donde V_1 y $\varphi_u(t)$ son la amplitud pico y el ángulo de fase instantánea de la red eléctrica, respectivamente. En estas condiciones de funcionamiento, se verifica que cada fase mantiene la misma amplitud pico y que la señal $v_a(t)$ esta adelantada 120° en relación a $v_b(t)$ y ésta, a su vez, lo esta 120° en relación a $v_c(t)$. En esta representación, la señal $v_a(t)$ ha sido adoptada como referencia por lo que no presenta corrimiento de fase en relación a $\varphi_u(t)$.

Sin embargo, el estudio de las señales provenientes de la red eléctrica demuestra que las mismas difieren de esta representación senoidal, siendo la contaminación armónica una de las principales causas de esta desviación. Bajo estas condiciones de funcionamiento, la señal deja de ser una senoide pura pero mantiene la frecuencia de línea de $50Hz$ o $60Hz$, dependiendo del sistema eléctrico analizado.

Considerando un sistema trifásico balanceado con cargas no lineales, las señales en cada fase dejan de ser senoides puras pero conservan la misma forma de onda, manteniendo una diferencia de fase entre ellas igual a un tercio del ciclo de la componente fundamental, es decir:

$$v_a(t) = v(t) \quad v_b(t) = v(t - \frac{T_l}{3}) \quad v_c(t) = v(t - \frac{2T_l}{3}) \quad (2.2)$$

siendo T_l el período de la componente fundamental de la terna. Bajo estas condiciones de funcionamiento, el vector de señales \vec{v}_{abc} que representa al sistema trifásico, resulta:

$$\begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = \sum_{n=1}^{\infty} V_n \begin{bmatrix} \cos(n\varphi_u(t) + \varphi_n) \\ \cos(n\varphi_u(t) - n2\pi/3 + \varphi_n) \\ \cos(n\varphi_u(t) - n4\pi/3 + \varphi_n) \end{bmatrix} \quad (2.3)$$

donde $\varphi_1 = 0$ debido a que se asume a la componente fundamental de $v_a(t)$ como la referencia del sistema.

2.2. Representación de señales trifásicas desbalanceadas: componentes simétricas

El concepto de componentes simétricas es muy utilizado para analizar sistema trifásicos en régimen sinusoidal desequilibrado. Con este método, un conjunto de variables asimétricas (corrientes o tensiones) se puede descomponer en tantos sistemas simétricos como cantidad de fases tenga el sistema. Estos sistemas simétricos que comprenden al sistema asimétrico original se denominan sus componentes simétricos. Mediante este concepto se pueden analizar los desbalances de las señales provenientes de la red eléctrica, debido a que la misma ofrece una explicación rigurosa con sentido matemático y físico del sistema trifásico bajo esta condición de funcionamiento, y además permite obtener una medida para cuantificar el nivel de desbalance de una señal [37].

2.2.1. Introducción al concepto de Componentes Simétricas

El concepto de componentes simétricas fue originalmente propuesto para fasores, por lo que se considerará inicialmente una terna balanceada de la forma:

$$\begin{bmatrix} U_a(t) \\ U_b(t) \\ U_c(t) \end{bmatrix} = \begin{bmatrix} E(t) \\ \bar{g}E(t) \\ \bar{g}^2E(t) \end{bmatrix} \quad (2.4)$$

siendo $\bar{g} = e^{-j2\pi/3}$ una rotación de -120° , $\bar{g}^2 = e^{-j4\pi/3}$ una rotación de -240° y $E(t) = V_1e^{j\varphi_u(t)}$ el fasor que representa a la señal tomada como referencia. Analizando cada uno de los fasores del vector, se concluye que el orden temporal de los mismos es $U_a(t)$, luego $U_b(t)$ y por último $U_c(t)$.

Sin embargo, cuando se modela una terna desbalanceada, la Ec. (2.4) pierde validez debido a que el fasor $E(t)$ y la rotación \bar{g} son independientes para cada elemento del vector. En este caso esta ecuación debería presentarse como:

$$\begin{bmatrix} U_a(t) \\ U_b(t) \\ U_c(t) \end{bmatrix} = \begin{bmatrix} E_a(t) \\ \bar{g}_bE_b(t) \\ \bar{g}_cE_c(t) \end{bmatrix} \quad (2.5)$$

Mediante la técnica de componentes simétricas se puede descomponer una señal trifásica

desbalanceada en tres componentes, quedando las señales del sistema:

$$\begin{bmatrix} U_a(t) \\ U_b(t) \\ U_c(t) \end{bmatrix} = \begin{bmatrix} U_{a+}(t) + U_{a-}(t) + U_{ah}(t) \\ U_{b+}(t) + U_{b-}(t) + U_{bh}(t) \\ U_{c+}(t) + U_{c-}(t) + U_{ch}(t) \end{bmatrix} = \begin{bmatrix} E_+(t) & + & E_-(t) & + & E_h(t) \\ \bar{g}E_+(t) & + & \bar{g}^2E_-(t) & + & E_h(t) \\ \bar{g}^2E_+(t) & + & \bar{g}E_-(t) & + & E_h(t) \end{bmatrix} \quad (2.6)$$

donde las tres tensiones complejas $E_+(t)$, $E_-(t)$ y $E_h(t)$ son llamadas secuencia positiva, secuencia negativa y secuencia cero (homopolar) respectivamente:

$$\begin{bmatrix} E_+(t) \\ E_-(t) \\ E_h(t) \end{bmatrix} = \begin{bmatrix} V_+e^{j\varphi_u(t)} \\ V_-e^{j(\varphi_u(t)+\varphi_-)} \\ V_he^{j(\varphi_u(t)+\varphi_h)} \end{bmatrix} \quad (2.7)$$

Se verifica que cada componente tiene diferente módulo y fase inicial, pero giran a la misma velocidad dada por $\varphi_u(t)$. Analizando la Ec. (2.6) se concluye que cada señal perteneciente a la secuencia positiva de la terna conserva el orden de giro en relación a un sistema balanceado. Por otro lado, las señales pertenecientes a la secuencia negativa giran en sentido contrario debido a que el orden temporal de la misma es $U_{a-}(t)$, luego $U_{c-}(t)$ y por último $U_{b-}(t)$. Finalmente, la secuencia cero es igual en cada fase ($U_{ah}(t) = U_{bh}(t) = U_{ch}(t)$).

Trabajando matemáticamente la Ec. (2.6) se demuestra que cada secuencia de una señal trifásica desbalanceada puede ser obtenida mediante la siguiente matriz de transformación:

$$\vec{E}_{+-h}(t) = T_{+-h}\vec{U}_{abc}(t) \Leftrightarrow \begin{bmatrix} E_+(t) \\ E_-(t) \\ E_h(t) \end{bmatrix} = T_{+-h} \begin{bmatrix} U_a(t) \\ U_b(t) \\ U_c(t) \end{bmatrix} \quad (2.8)$$

$$T_{+-h} = \frac{1}{3} \begin{bmatrix} 1 & g & g^2 \\ 1 & g^2 & g \\ 1 & 1 & 1 \end{bmatrix} \quad (2.9)$$

siendo $g = e^{j2\pi/3}$ una rotación de 120° conocida como el operador de Fortescue. De la misma manera se puede recuperar todas las señales de la componente de secuencia positiva, negativa

y cero de una terna desbalanceada mediante:

$$\vec{E}_+(t) = T_+ \vec{U}_{abc}(t) \Leftrightarrow \begin{bmatrix} E_+(t) \\ \bar{g}E_+(t) \\ \bar{g}^2E_+(t) \end{bmatrix} = T_+ \begin{bmatrix} U_a(t) \\ U_b(t) \\ U_c(t) \end{bmatrix} \quad (2.10)$$

$$T_+ = \frac{1}{3} \begin{bmatrix} 1 & g & g^2 \\ g^2 & 1 & g \\ g & g^2 & 1 \end{bmatrix} \quad (2.11)$$

$$\vec{E}_-(t) = T_- \vec{U}_{abc}(t) \Leftrightarrow \begin{bmatrix} E_-(t) \\ \bar{g}^2E_-(t) \\ \bar{g}E_-(t) \end{bmatrix} = T_- \begin{bmatrix} U_a(t) \\ U_b(t) \\ U_c(t) \end{bmatrix} \quad (2.12)$$

$$T_- = \frac{1}{3} \begin{bmatrix} 1 & g^2 & g \\ g & 1 & g^2 \\ g^2 & g & 1 \end{bmatrix} \quad (2.13)$$

$$\vec{E}_h(t) = T_h \vec{U}_{abc}(t) \Leftrightarrow \begin{bmatrix} E_h(t) \\ E_h(t) \\ E_h(t) \end{bmatrix} = T_h \begin{bmatrix} U_a(t) \\ U_b(t) \\ U_c(t) \end{bmatrix} \quad (2.14)$$

$$T_h = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} \quad (2.15)$$

2.2.2. Interpretación de las Componentes Simétricas

Considerando una señal trifásica en régimen sinusoidal desequilibrado (sin componentes armónicos), el método permite representar las tensiones de la red eléctrica como:

$$\begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = V_+ \begin{bmatrix} \cos(\varphi_u(t)) \\ \cos(\varphi_u(t) - 2\pi/3) \\ \cos(\varphi_u(t) - 4\pi/3) \end{bmatrix} + V_- \begin{bmatrix} \cos(-\varphi_u(t) + \varphi_-) \\ \cos(-\varphi_u(t) - 2\pi/3 + \varphi_-) \\ \cos(-\varphi_u(t) - 4\pi/3 + \varphi_-) \end{bmatrix} + V_h \begin{bmatrix} \cos(\varphi_u(t) + \varphi_h) \\ \cos(\varphi_u(t) + \varphi_h) \\ \cos(\varphi_u(t) + \varphi_h) \end{bmatrix} \quad (2.16)$$

donde los subíndices $+$, $-$ y h , denotan la componente de secuencia positiva, secuencia negativa y secuencia cero de la terna, respectivamente. En un sistema trifásico balanceado solo existe la componente de secuencia positiva, como se verifica al comparar la Ec. (2.1) con la Ec. (2.16), por lo cual se interpreta a estas señales como las componentes balanceadas dentro de una terna desbalanceada. Un ejemplo que justifica este razonamiento es el torque producido por un motor de inducción alimentado con una terna desbalanceada. En este caso el torque medio queda definido por la secuencia positiva de la terna mientras que la secuencia negativa genera oscilaciones y vibraciones de dos veces la frecuencia de las señales que alimentan al dispositivo [38] [39] [40]. Por lo tanto, la tensión de secuencia positiva de la terna puede interpretarse como la tensión que contribuye con el flujo de potencia desde el generador al motor.

La secuencia negativa también compone un sistema balanceado en la terna, sin embargo la misma gira en sentido contrario a la secuencia positiva. Mientras que esta última tiene el máximo de la tensión $v_a(t)$ seguido por el máximo de la tensión $v_b(t)$ y a su vez seguido por el máximo de la tensión $v_c(t)$, en la secuencia negativa el orden es $v_a(t)$, luego $v_c(t)$ y por último $v_b(t)$. La aparición de tensión de secuencia negativa indica un desbalance en la red lo cual lleva a un uso inefficiente del sistema trifásico. A partir del conocimiento de estas componentes se cuantifica el porcentaje de desbalance de una señal haciendo la división entre la secuencia negativa y la secuencia positiva, es decir:

$$DESB = \frac{V_-}{V_+} 100 \% \quad (2.17)$$

Por último, la secuencia cero resulta el promedio entre las tres tensiones. La aparición de tensión de secuencia cero indica una conexión a tierra, es decir, esta relacionada con la corriente

Tabla 2.1: Secuencias generadas por cada armónico en sistemas balanceados

1	2	3	4	5	6	7	8	9	10	11	12
+	-	h	+	-	h	+	-	h	+	-	h

que no retorna al generador a través de los conductores de las fases.

2.2.3. Armónicos de red en sistemas trifásicos desbalanceados

Mediante el concepto de componentes simétricas puede generalizarse la Ec. (2.3). Si el sistema trifásico está balanceado, un retardo de un tercio del ciclo de la frecuencia fundamental corresponde a un retardo de $\frac{n}{3}$ ciclos del armónico n . Como consecuencia, los armónicos presentes en un sistema balanceado resultan únicamente de un tipo de secuencia, ya sea secuencia positiva, secuencia negativa o secuencia cero. Por ejemplo, si se analiza solo el tercer armónico de un sistema trifásico balanceado, el mismo resulta:

$$\begin{bmatrix} v_{a3}(t) \\ v_{b3}(t) \\ v_{c3}(t) \end{bmatrix} = V_3 \begin{bmatrix} \cos(3\varphi_u(t) + \varphi_3) \\ \cos(3\varphi_u(t) + \varphi_3) \\ \cos(3\varphi_u(t) + \varphi_3) \end{bmatrix} \quad (2.18)$$

De la Ec. (2.18) se deduce que el tercer armónico de un sistema trifásico balanceado es de secuencia cero, es decir, está en fase en cada una de las señales del sistema. Por esta razón se denomina a los armónicos múltiplos de tres como los armónicos de secuencia cero. Repitiendo el análisis para el resto de los armónicos hasta el número 12, se obtiene la Tabla 2.1.

Sin embargo, esto sólo se cumple cuando la terna está balanceada. Pequeños desbalances pueden generar grandes desviaciones en este modelo. Al igual que ocurre con la componente fundamental de la terna, el concepto de componentes simétricos puede ser empleado a fin de analizar y modelar los armónicos en sistemas trifásicos desbalanceados. A fin de obtener la secuencia positiva, negativa y cero en un sistema trifásico bajo estas condiciones de funcionamiento debe implementarse para cada armónico la matriz de transformación presentada en la Ec. (2.9).

De este análisis se obtiene la siguiente ecuación que modela las señales de la red eléctrica:

$$\begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = V_{+1} \begin{bmatrix} \cos(\varphi_u(t)) \\ \cos(\varphi_u(t) - 2\pi/3) \\ \cos(\varphi_u(t) - 4\pi/3) \end{bmatrix} + \sum_{\substack{n=-\infty \\ n \neq 0,1}}^{\infty} V_n \begin{bmatrix} \cos(n\varphi_u(t) + \varphi_n) \\ \cos(n\varphi_u(t) - 2\pi/3 + \varphi_n) \\ \cos(n\varphi_u(t) - 4\pi/3 + \varphi_n) \end{bmatrix} + \sum_{h=1}^{\infty} V_h \begin{bmatrix} \cos(h\varphi_u(t) + \varphi_h) \\ \cos(h\varphi_u(t) + \varphi_h) \\ \cos(h\varphi_u(t) + \varphi_h) \end{bmatrix} \quad (2.19)$$

El primer término representa la componente fundamental de la terna, la cual es adoptada como referencia del modelo. El segundo término representa la sumatoria de todas las componentes de secuencia positiva de la terna a partir del segundo armónico y la sumatoria de todas las componentes de secuencia negativa de la terna, entre las que se encuentra la secuencia negativa de la componente fundamental. Por último, el tercer término representa la suma de todas las secuencias cero del sistema.

2.3. Representación de señales trifásicas en marcos de referencias

La representación de una señal trifásica en un marco de referencia diferente al natural es una técnica ampliamente utilizada para simplificar su procesamiento. Los marcos de referencia utilizados por los sistemas de sincronismo son el marco de referencia estacionario y el marco de referencia sincrónico.

Asumiendo una señal trifásica ideal, la representación de la misma mediante el marco de referencia estacionario provee de dos señales ortogonales que conservan la información de fase inicial, frecuencia y amplitud en relación al sistema original. De esta forma se presenta a un sistema trifásico por sólo dos señales en fase y cuadratura con una de las fases del sistema trifásico tomada como referencia.

Por otra parte, mediante la representación de la señal trifásica en un marco de referencia sincrónico de frecuencia igual a la terna, se elimina la información de frecuencia de las señales en el marco de referencia estacionario, y ambas señales toman un valor constante. Nuevamente se conserva la información de la señal trifásica original, es decir, fase inicial, frecuencia y amplitud.

Un ejemplo del uso de estas técnicas es el control de un motor de corriente alterna como si el mismo fuese de corriente continua. En este caso se representa a las tensiones y corrientes del dispositivo en el marco de referencia estacionario y luego, mediante la detección de la frecuencia del sistema, se representa a estas señales en un marco de referencia sincrónico.

2.3.1. Marco de referencia estacionario

Bajo la suposición de un sistema trifásico ideal, es decir, sin perturbaciones ni distorsiones en la forma de onda, las señales de la red eléctrica corresponden a la Ec. (2.1). A partir de las mismas, puede calcularse un vector rotatorio ($v_{\alpha\beta}(t)$) que conserva la información de amplitud y fase de las tensiones originales a partir de la transformada en vectores espaciales (SVT, Space Vector Transform). Esta transformada puede expresarse así:

$$v_{\alpha\beta}(t) = \frac{2}{3} [v_a(t) + v_b(t)e^{j2\pi/3} + v_c(t)e^{j4\pi/3}] \quad (2.20)$$

Reemplazando la Ec. (2.1) en Ec. (2.20), el sistema trifásico queda representado por el siguiente número complejo:

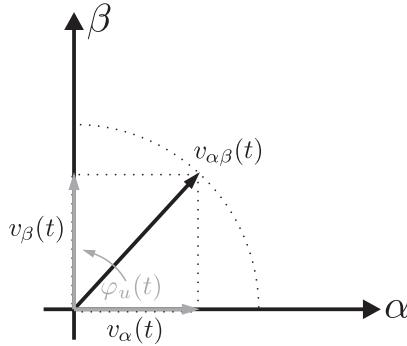
$$v_{\alpha\beta}(t) = V_1 e^{j\varphi_u(t)} = v_\alpha(t) + jv_\beta(t) \quad (2.21)$$

donde se demuestra matemáticamente que el valor real e imaginario en un instante de tiempo t , resulta:

$$\begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \end{bmatrix} = V_1 \begin{bmatrix} \cos(\varphi_u(t)) \\ \sin(\varphi_u(t)) \end{bmatrix} \quad (2.22)$$

Estas señales son conocidas como la representación del sistema trifásico en un marco de referencia estacionario con la tensión $v_a(t)$ adoptada como referencia. En esta representación se denomina a la señal $v_\alpha(t)$ como la componente en fase y a la señal $v_\beta(t)$ como la componente en cuadratura en relación a este marco de referencia. La representación gráfica de $v_{\alpha\beta}(t)$ se muestra en la Figura 2.1.

La implementación de la SVT en el dominio temporal se obtiene mediante el siguiente

Figura 2.1: Representación gráfica de $v_{\alpha\beta}(t)$.

desarrollo:

$$\begin{aligned} v_{\alpha\beta}(t) &= \frac{2}{3} [v_a(t) + v_b(t)e^{j2\pi/3} + v_c(t)e^{j4\pi/3}] \\ &= \frac{2}{3} [v_a(t) + v_b \left[-\frac{1}{2} + j\frac{\sqrt{3}}{2} \right] + v_c(t) \left[-\frac{1}{2} - j\frac{\sqrt{3}}{2} \right]] \\ &= \frac{1}{3} [2v_a(t) - v_b(t) - v_c(t)] + j\sqrt{3} [v_b(t) - v_c(t)] \end{aligned} \quad (2.23)$$

Separando la componente real de la componente imaginaria, se obtiene la matriz de transformación en el dominio temporal:

$$\vec{v}_{\alpha\beta}(t) = T_{\alpha\beta} \vec{v}_{abc}(t) \Leftrightarrow \begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \end{bmatrix} = T_{\alpha\beta} \begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} \quad (2.24)$$

$$T_{\alpha\beta} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \quad (2.25)$$

la cual es conocida como la transformada $\alpha\beta$ o transformada de Clarke. Mediante la misma se representa a la terna en el marco de referencia estacionario.

En muchas aplicaciones se generaliza esta transformada incorporando una línea extra que permite obtener el promedio entre las tres fases, quedando la misma:

$$\vec{v}_{\alpha\beta\gamma}(t) = T_{\alpha\beta\gamma} \vec{v}_{abc}(t) \Leftrightarrow \begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \\ v_\gamma(t) \end{bmatrix} = T_{\alpha\beta\gamma} \begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} \quad (2.26)$$

$$T_{\alpha\beta\gamma} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \quad (2.27)$$

En condiciones ideales de funcionamiento, la componente $v_\gamma(t)$, obtenida al utilizar la transformada generalizada, es igual a cero ya que $v_a(t) + v_b(t) + v_c(t) = 0$ en sistemas trifásicos ideales. Trabajando con la Ec. (2.27), se obtiene la matriz de transformación inversa que permite regresar al marco de referencia normal a partir del marco de referencia estacionario:

$$\vec{v}_{abc}(t) = T_{\alpha\beta\gamma}^{-1} \vec{v}_{\alpha\beta\gamma}(t) \Leftrightarrow \begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = T_{\alpha\beta\gamma}^{-1} \begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \\ v_\gamma(t) \end{bmatrix} \quad (2.28)$$

$$T_{\alpha\beta\gamma}^{-1} = \begin{bmatrix} 1 & 0 & 1 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \end{bmatrix} \quad (2.29)$$

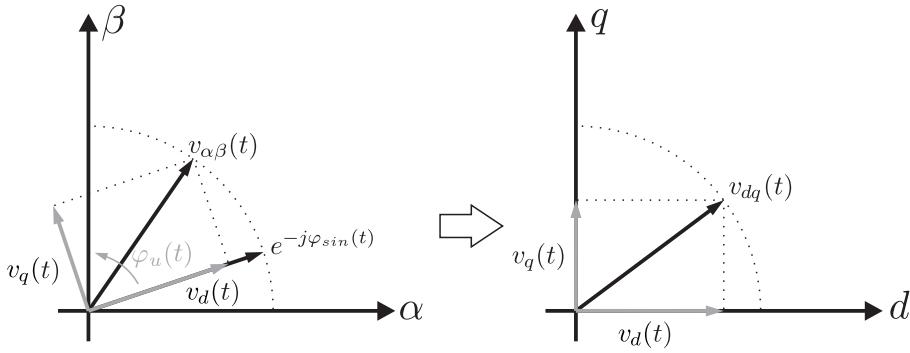
De donde surge la inversa de la transformada $\alpha\beta$, quedando:

$$\vec{v}_{abc}(t) = T_{\alpha\beta}^{-1} \vec{v}_{\alpha\beta}(t) \Leftrightarrow \begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = T_{\alpha\beta}^{-1} \begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \end{bmatrix} \quad (2.30)$$

$$T_{\alpha\beta}^{-1} = \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \quad (2.31)$$

2.3.2. Marco de referencia sincrónico

Una vez obtenido el vector espacial que representa a la terna, éste puede representarse en un marco de referencia sincrónico con una fase arbitraria $\varphi_{sin}(t)$. De esta manera, se obtiene un vector resultado de la diferencia entre la fase de la red eléctrica y la fase arbitraria ($\varphi_u(t) - \varphi_{sin}(t)$). Este cambio de marco de referencia se efectúa al multiplicar el vector espacial $v_{\alpha\beta}(t)$

Figura 2.2: Representación gráfica de $v_{dq}(t)$.

por un vector rotatorio de fase igual a $-\varphi_{sin}(t)$, obteniéndose el número complejo $v_{dq}(t)$:

$$v_{dq}(t) = v_{\alpha\beta}(t)e^{-j\varphi_{sin}(t)} \quad (2.32)$$

Reemplazando Ec. (2.21) en Ec. (2.32), el vector espacial queda:

$$v_{dq}(t) = V_1 e^{j(\varphi_u(t) - \varphi_{sin}(t))} \quad (2.33)$$

De esta manera, se expresa a las variables de la terna sobre unos ejes de referencia rotatorios dq (direct-quadrature) que ocupan una posición angular $\varphi_{sin}(t)$. Se demuestra matemáticamente que:

$$\begin{bmatrix} v_d(t) \\ v_q(t) \end{bmatrix} = V_1 \begin{bmatrix} \cos(\varphi_u(t) - \varphi_{sin}(t)) \\ \sin(\varphi_u(t) - \varphi_{sin}(t)) \end{bmatrix} \quad (2.34)$$

Estas señales pueden interpretarse como la representación del sistema trifásico en un marco de referencia sincrónico con la fase $\varphi_{sin}(t)$. De la misma forma, puede interpretarse a la señal $v_d(t)$ como la componente en fase y a la señal $v_q(t)$ como la componente en cuadratura en relación al eje adoptado. La representación gráfica de $v_{dq}(t)$ se muestra en la Figura 2.2 asumiendo una frecuencia de $\varphi_{sin}(t)$ igual a $\varphi_u(t)$. De esta manera la diferencia de fase resulta constante. En la práctica, se busca lograr esta condición a fin de representar el sistema trifásico mediante dos valores escalares.

La implementación de esta transformación en el dominio temporal se obtiene mediante el

siguiente desarrollo:

$$\begin{aligned}
 v_{dq}(t) &= v_{\alpha\beta}(t)e^{-j\varphi_{sin}(t)} \\
 &= (v_\alpha(t) + jv_\beta(t))(\cos(\varphi_{sin}(t)) - j \sin(\varphi_{sin}(t))) \\
 &= v_\alpha(t) \cos(\varphi_{sin}(t)) + v_\beta(t) \sin(\varphi_{sin}(t)) - jv_\alpha(t) \sin(\varphi_{sin}(t)) + jv_\beta(t) \cos(\varphi_{sin}(t))
 \end{aligned} \tag{2.35}$$

Separando la componente real de la componente imaginaria, se obtiene la matriz de transformación:

$$\vec{v}_{dq}(t) = T_{dq} \vec{v}_{\alpha\beta}(t) \Leftrightarrow \begin{bmatrix} v_d(t) \\ v_q(t) \end{bmatrix} = T_{dq} \begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \end{bmatrix} \tag{2.36}$$

$$T_{dq} = \begin{bmatrix} \cos(\varphi_{sin}(t)) & \sin(\varphi_{sin}(t)) \\ -\sin(\varphi_{sin}(t)) & \cos(\varphi_{sin}(t)) \end{bmatrix} \tag{2.37}$$

Una vez representadas las señales en el marco de referencia sincrónico, se regresa al marco de referencia estacionario mediante la transformada dq inversa:

$$\vec{v}_{\alpha\beta}(t) = T_{dq}^{-1} \vec{v}_{dq}(t) \Leftrightarrow \begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \end{bmatrix} = T_{dq}^{-1} \begin{bmatrix} v_d(t) \\ v_q(t) \end{bmatrix} \tag{2.38}$$

$$T_{dq}^{-1} = \begin{bmatrix} \cos(\varphi_{sin}(t)) & -\sin(\varphi_{sin}(t)) \\ \sin(\varphi_{sin}(t)) & \cos(\varphi_{sin}(t)) \end{bmatrix} \tag{2.39}$$

2.3.3. Errores del marco de referencia estacionario y sincrónico

Debido a que las transformaciones en marco de referencia asumen una terna ideal, es decir, sin desbalances ni componentes armónicos, en la práctica el uso de las mismas puede llevar a errores debido a que las señales $\alpha\beta$ y dq dejan de ser las componentes en fase y cuadratura en relación a la componente fundamental de la red. En esta sección se analizan estos errores y se obtiene una representación matemática de los mismos a fin de entender las limitaciones de los sistemas trifásicos de sincronismo que emplean dichas transformaciones.

Asumiendo una terna como la de la Ec. (2.19) y reemplazando ésta en la SVT (Ec. (2.20)),

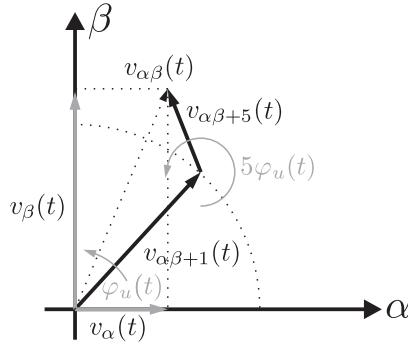


Figura 2.3: Representación gráfica de $v_{\alpha\beta}(t)$ cuando la red está contaminada con un 5to armónico de secuencia positiva.

se obtiene:

$$v_{\alpha\beta}(t) = V_{+1}e^{j\varphi_u(t)} + \sum_{\substack{n=-\infty \\ n \neq 0,1}}^{\infty} V_n e^{j(n\varphi_u(t)+\varphi_n)} \quad (2.40)$$

donde todas las componentes de secuencia cero han sido eliminadas debido a que estas toman los mismos valores en cada fase y la transformación es simétrica. Sin embargo, la componente de secuencia negativa de la componente fundamental y las secuencias negativas y positivas de los armónicos distorsionan los valores del vector de señales en marco de referencia estacionario ($\vec{v}_{\alpha\beta}(t)$). Bajo estas condiciones de funcionamiento, el mismo resulta:

$$\begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \end{bmatrix} = V_{+1} \begin{bmatrix} \cos(\varphi_u(t)) \\ \sin(\varphi_u(t)) \end{bmatrix} + \sum_{\substack{n=-\infty \\ n \neq 0,1}}^{\infty} V_n \begin{bmatrix} \cos(n\varphi_u(t) + \varphi_n) \\ \sin(n\varphi_u(t) + \varphi_n) \end{bmatrix} \quad (2.41)$$

Se verifica que las señales obtenidas dejan de ser la componente en fase y cuadratura de la secuencia positiva de la componente fundamental de la terna, lo cual es el objetivo fundamental de la transformada. La representación gráfica de esta distorsión se muestra en la Figura 2.3 donde, por razones de simplicidad, se ha adicionado sólo el efecto de un 5to armónico de secuencia positiva. Como se verifica, las señales $v_\alpha(t)$ y $v_\beta(t)$ resultan la componente en fase y cuadratura del vector resultante a partir de la suma entre la secuencia positiva de la componente fundamental y el 5to armónico. En la práctica se demuestra que V_{+1} es mucho mayor al resto de los valores pico de las perturbaciones lo que genera como resultado ripple superpuesto a los valores esperados.

De la misma forma, la representación en el marco de referencia sincrónico es distorsionada cuando las señales provenientes de la red eléctrica no corresponden a su expresión ideal.

Reemplazando la Ec. (2.40) en la Ec. (2.32) se obtiene:

$$\begin{bmatrix} v_d(t) \\ v_q(t) \end{bmatrix} = V_{+1} \begin{bmatrix} \cos(\varphi_u(t) - \varphi_{sin}(t)) \\ \sin(\varphi_u(t) - \varphi_{sin}(t)) \end{bmatrix} + \sum_{\substack{n=-\infty \\ n \neq 0, 1}}^{\infty} V_n \begin{bmatrix} \cos(n\varphi_u(t) + \varphi_n - \varphi_{sin}(t)) \\ \sin(n\varphi_u(t) + \varphi_n - \varphi_{sin}(t)) \end{bmatrix} \quad (2.42)$$

Como se describió anteriormente, en la práctica se utiliza un eje rotatorio tal que $\varphi_u(t) - \varphi_{sin}(t) = \varphi_{cte}$, es decir, se utiliza una fase arbitraria que tenga igual frecuencia que la fase de la red eléctrica. De esta manera las señales dq representan sólo la diferencia de fase entre ambas y la información de frecuencia es eliminada de la representación. Asumiendo esta condición, la Ec. (2.42) queda:

$$\begin{bmatrix} v_d(t) \\ v_q(t) \end{bmatrix} = V_{+1} \begin{bmatrix} \cos(\varphi_{cte}) \\ \sin(\varphi_{cte}) \end{bmatrix} + \sum_{\substack{n=-\infty \\ n \neq 0, 1}}^{\infty} V_n \begin{bmatrix} \cos((n-1)\varphi_u(t) + \varphi_n^*) \\ \sin((n-1)\varphi_u(t) + \varphi_n^*) \end{bmatrix} \quad (2.43)$$

donde $\varphi_n^* = \varphi_{cte} + \varphi_n$. Esta ecuación demuestra que los desbalances y armónicos de la red eléctrica generan ripple en las señales dq , los cuales evitan que éstas representen correctamente la diferencia de fase entre $\varphi_u(t)$ y $\varphi_{sin}(t)$.

Analizando la Ec. (2.43), es importante notar que la frecuencia de las perturbaciones vistas en el marco de referencia sincrónico es diferente a la frecuencia de las perturbaciones en la red eléctrica. Un desbalance de la componente fundamental, generado por la aparición de secuencia

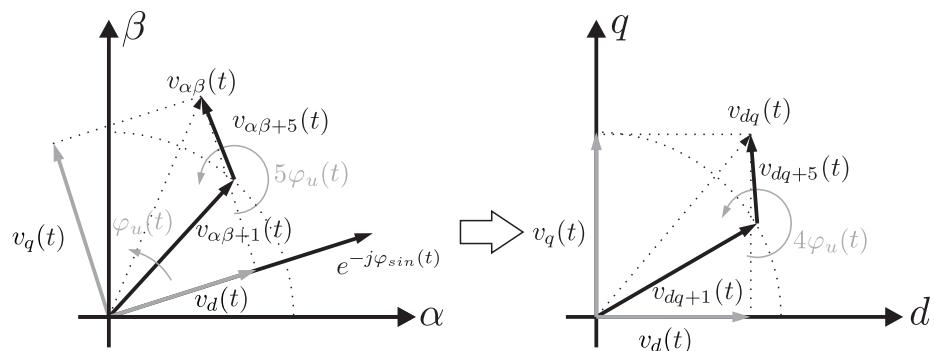


Figura 2.4: Representación gráfica de $v_{dq}(t)$ cuando la red esta contaminada con un 5to armónico de secuencia positiva.

negativa ($n = -1$) genera un ripple de dos veces la frecuencia de la red. En forma general, un armónico de orden n genera un ripple de $n - 1$ o $n + 1$ veces la frecuencia de la red dependiendo de si la misma es de secuencia positiva o negativa respectivamente. Por ejemplo, asumiendo una red de 50Hz , la secuencia positiva de un 5to armónico ($n = +5$) genera un ripple de 200Hz mientras que la secuencia negativa del mismo armónico ($n = -5$) genera un ripple de 300Hz . La representación gráfica de esta condición de funcionamiento se muestra en la [Figura 2.4](#) donde se ha considerado sólo el efecto de un 5to armónico de secuencia positiva.

Capítulo 3

Estado del arte sobre métodos de sincronismo en sistemas trifásicos

Como se describió en el [Capítulo 1](#), muchos dispositivos electrónicos requieren de una correcta sincronización con la red eléctrica, a fin de mantener una adecuado rendimiento y performance. Para ello se requiere de sistemas de sincronismo que estimen la fase de la red incluso en condiciones desfavorables de funcionamiento. En particular para aplicaciones en sistemas trifásicos, la tendencia en esta área es el diseño de dispositivos digitales que:

- Actualicen la información de fase durante todo el período de las tensiones de la terna, en contraste con los PLL clásicos basados en la detección del cruce por cero que solo actualizan la información de fase una vez por ciclo de la componente fundamental
- Utilicen las tres fases correspondientes a la red de distribución para la obtención de la referencia de fase, a fin de poder mitigar los efectos adversos generados en enfoques monofásicos, cuando se analizan sistemas trifásicos desbalanceados.

En este capítulo se describen algunos de los métodos de sincronismo trifásicos más nombrados en la literatura. Se presenta la estructura de cada una de estas propuestas y se analizan sus características distintivas, así como la respuesta dinámica y comportamiento en régimen permanente ante perturbaciones en las señales de la red eléctrica. De esta manera se busca comparar cada método bajo las mismas condiciones de funcionamiento resaltando las ventajas y desventajas de cada uno. Los aspectos a analizar son la complejidad de su estructura, el

rechazo ante perturbaciones y la adaptabilidad en frecuencia.

Los sistemas analizados se presentan en orden ascendente de complejidad, siendo los primeros los basados en el filtrado de las tensiones de la terna en el marco de referencia estacionario y sincrónico y los últimos los métodos basados en la realimentación de variables y la estimación de la fase, frecuencia y amplitud de la terna.

Para el lector que desee profundizar acerca de la comparativa de métodos de sincronismo, en la literatura existen numerosos trabajos entre los que se puede nombrar a [41] [42] [43] [44] [45].

3.1. Filtrado en marco de referencia

Un método simple que permite detectar la fase de la red eléctrica consiste en representar las señales provenientes del sistema trifásico en un determinado marco de referencia y filtrar estas señales a fin de mitigar los efectos adversos de las perturbaciones de la red eléctrica [41]. Dependiendo del marco de referencia utilizado para el filtrado de las señales, se pueden distinguir dos estructuras:

- Filtrado en marco de referencia estacionario ($v_{\alpha\beta}(t)$).
- Filtrado en marco de referencia sincrónico ($v_{dq}(t)$).

3.1.1. Filtrado en marco de referencia estacionario

La Figura 3.1 muestra el diagrama en bloques de dos estructuras que implementan el método de sincronismo basado en el filtrado en marco de referencia estacionario [41]. En estos sistemas, las señales de la terna son representadas en el marco de referencia estacionario como se describe en la Sección 2.3.1 a partir de la transformación $T_{\alpha\beta}$ (Ec. (2.25)). Debido a que la misma se obtiene bajo la suposición de una terna ideal, es decir, sin desbalances y distorsiones en la forma de onda, se adiciona una etapa de filtrado a fin de mitigar el ruido y las perturbaciones de la red eléctrica real.

En la estructura de la Figura 3.1(a), una vez filtradas las componentes del vector espacial, éstas se normalizan a fin de independizar la salida de la amplitud pico de la terna. Por último se utiliza una matriz de transformación que corrige el error de fase causado por la técnica de filtrado utilizada ($R(\Delta\varphi)$). Esta corrección se implementa mediante la Ec. (2.37) donde se adopta un $\varphi_{sin}(t)$ igual a la fase adicionada por el filtro y de signo contrario. A la salida se

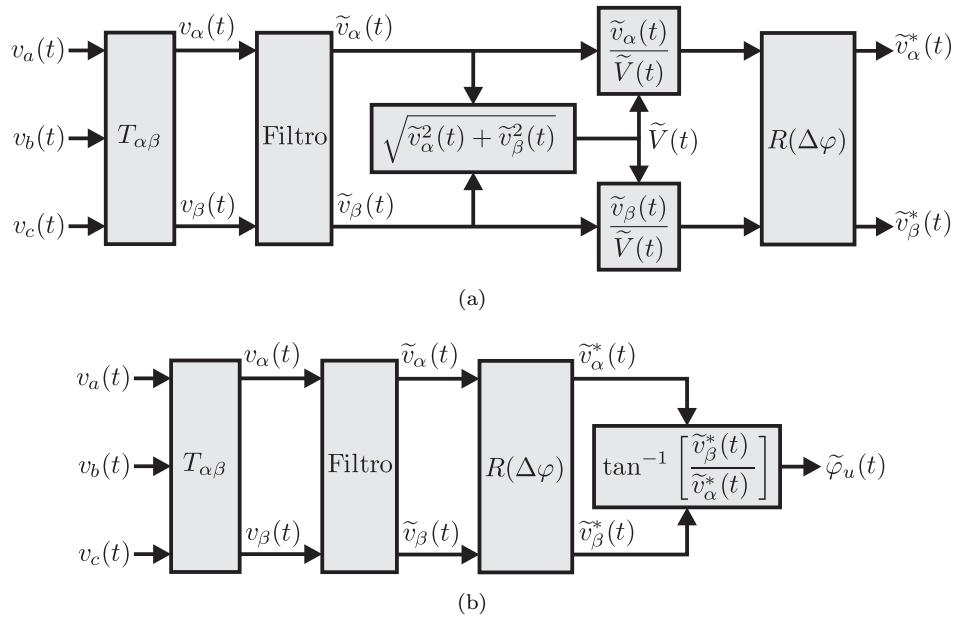


Figura 3.1: Métodos de sincronismo basados en el filtrado en marco de referencia estacionario. (a) Síntesis de referencias en cuadratura y (b) estimación de fase instantánea.

obtienen las señales $\tilde{v}_\alpha^*(t)$ y $\tilde{v}_\beta^*(t)$. Asumiendo una terna de la forma de la Ec. (2.1), estas resultan:

$$\begin{bmatrix} \tilde{v}_\alpha^*(t) \\ \tilde{v}_\beta^*(t) \end{bmatrix} = \begin{bmatrix} \cos(\varphi_u(t)) \\ \sin(\varphi_u(t)) \end{bmatrix} \quad (3.1)$$

En ciertas aplicaciones, como por ejemplo el control de inversores en sistemas de distribución, se requiere solamente sintetizar el seno y coseno de la red eléctrica y no recuperar $\varphi_u(t)$. Por lo tanto, esta estructura es suficiente y no requiere de cálculos extras, en especial de funciones trigonométricas.

Sin embargo, para aquellas aplicaciones que requieran la estimación de $\varphi_u(t)$, se utiliza la estructura mostrada en la Figura 3.1(b). En la misma, la estimación de la fase se realiza mediante la implementación de una función arcotangente. Es importante recordar que dicha implementación no considera los cuatro cuadrantes generados por las señales $\tilde{v}_\alpha^*(t)$ y $\tilde{v}_\beta^*(t)$. Como resultado, es necesario proveer a la implementación de la adecuada corrección a fin de evitar una mala interpretación del resultado obtenido. Debido a que la división de ambas señales previo al cálculo del arcotangente elimina la información de la amplitud pico de la terna, la etapa de normalización ha sido suprimida en este caso.

En relación a la etapa de filtrado utilizado por el método a fin mitigar las perturbaciones

de la red eléctrica, existen diferentes propuestas [41] entre las que se puede nombrar a:

- **Filtro pasa bajos.** En esta propuesta se utilizan dos filtros pasa bajos. La elección de la frecuencia de corte se realiza mediante un compromiso entre capacidad de rechazo ante perturbaciones y velocidad de respuesta. Una frecuencia de corte baja resulta en una estimación del ángulo con bajo grado de distorsión pero a costa de una baja velocidad de respuesta del sistema. Asumiendo que la frecuencia de la red es conocida y constante, la fase adicionada por los filtros puede ser calculada y corregida por la matriz de transformación $R(\Delta\varphi)$. La mayor desventaja de este método es la sensibilidad ante variaciones en la frecuencia de la línea. Si la frecuencia varía, no hay control del error de fase introducido por los filtros, lo que degrada el rendimiento del sistema.
- **Filtrado de vectores espaciales.** En esta propuesta se utiliza un filtro pasa bajos que se basa en el hecho de que las componentes α/β de la terna son mutuamente dependientes. Este filtro utiliza un modelo del vector espacial, el cual es actualizado en cada muestra mediante la comparación entre el vector espacial obtenido a partir de las señales adquiridas y el vector espacial estimado. Asumiendo que la amplitud y frecuencia de la red son constantes y que este último parámetro es conocido, el filtro estima correctamente las señales sin adicionar error de fase en régimen permanente, por lo que, la matriz de transformación $R(\Delta\varphi)$ es eliminada. Al igual que la propuesta previa, la mayor desventaja del método reside en su sensibilidad ante cambios en la frecuencia de la red.
- **Filtrado de vectores espaciales modificado.** Este sistema es una variación del filtrado de vectores espaciales, en la cual se adiciona una etapa de control que extrae la frecuencia de la red y realimenta este parámetro a fin de adaptar el filtro utilizado. Sin embargo, el sistema no logra una adecuada velocidad de respuesta y presenta gran sensibilidad ante ruido y otras perturbaciones.
- **Filtro de Kalman extendido.** En este caso se utiliza un estimador de Kalman extendiendo a fin de estimar la amplitud, frecuencia y fase inicial de la red eléctrica. Este sistema presenta muchas desventajas como por ejemplo el alto costo computacional de su implementación, el complejo ajuste de los parámetros del sistema y la gran sensibilidad ante desbalances y armónicos debido a que el modelado de las señales no contempla el efecto de los mismos.

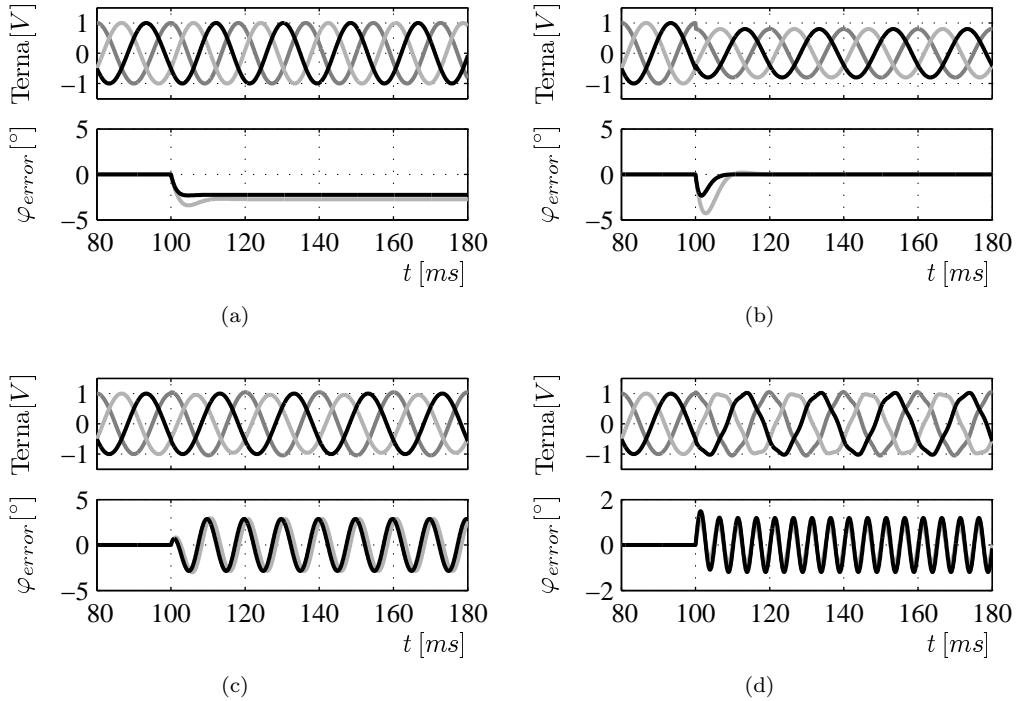


Figura 3.2: Respuesta del método de sincronismo basado en el filtrado en marco de referencia estacionario. Se presentan las señales de prueba y el error de fase para una frecuencia de corte de $50Hz$ (gris) y $100Hz$ (negro). (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico.

A fin de analizar el comportamiento de este método de sincronismo, se presenta en la Figura 3.2 la respuesta de la estructura mostrada en la Figura 3.1(b) adoptando un filtro pasa bajos de frecuencia de corte igual a $50Hz$ y $100Hz$. Los resultados son obtenidos a partir de una simulación del algoritmo en MATLAB®/SIMULINK®. En cada figura se muestra la señal de prueba y el error de fase obtenido como la diferencia entre la fase estimada por el método de sincronismo y la fase del generador ($\varphi_{error}(t) = \tilde{\varphi}_u(t) - \varphi_u(t)$). Inicialmente se adopta una terna ideal de frecuencia igual a $50Hz$ y amplitud unitaria. Se analiza la dinámica para un escalón de frecuencia de $5Hz$, un escalón simétrico de amplitud del -20% , un desbalance del 5% y un 5% de 5to armónico.

Ante el escalón de frecuencia, se observa en la Figura 3.2(a) un error de fase constante en régimen permanente que depende de la frecuencia de corte del filtro pasa bajos utilizado. Como se había adelantado previamente, este característica es resultado de la inadecuada corrección de la matriz de transformación $R(\Delta\varphi)$, debido a que los valores adoptados consideraban una red eléctrica de $50Hz$. Esta limitación del método resulta en la mayor desventaja del mismo, haciéndolo no aconsejable para redes eléctricas de frecuencia variable.

La [Figura 3.2\(b\)](#) presenta la respuesta del sistema ante un escalón simétrico de amplitud del -20% . Se observa en la figura como el error de fase se hace cero luego de un transitorio que depende del ancho de banda del filtro utilizado.

Finalmente, otra importante desventaja de este método de sincronismo es la sensibilidad ante desbalances y distorsiones en la forma de onda, lo cual puede observarse en la [Figura 3.2\(c\)](#) y [Figura 3.2\(d\)](#) respectivamente. Ante estas condiciones de funcionamiento se verifica un ripple en régimen permanente como consecuencia de que la transformada $\alpha\beta$ se calcula bajo la suposición de una terna ideal. Para los dos filtros analizados no se observa diferencias significativas en el rechazo de los efectos adversos de las perturbaciones en el marco de referencia estacionario. Obtener una atenuación mayor de la mismas requiere de una reducción importante del ancho de banda del sistema, lo que finalmente perjudica la velocidad de respuesta del método.

A pesar de que sólo se ha analizado la respuesta del sistema implementado con filtros pasa bajos, las conclusiones de este análisis son validas para el resto de las propuestas.

3.1.2. Filtrado en marco de referencia sincrónico

La [Figura 3.3](#) muestra el diagrama en bloques de dos estructuras que implementan el filtrado en marco de referencia sincrónico [41]. La principal diferencia entre estas dos estructuras reside en que la primera sintetiza una señal sinusoidal en fase con la red eléctrica y su versión atrasada 90° , mientras que la otra estructura estima la fase instantánea de la terna.

En la estructura de la [Figura 3.3\(a\)](#), las señales de la terna son representadas en el marco de referencia estacionario a través de la transformada $\alpha\beta$. Luego, las señales son representadas en el marco de referencia sincrónico como se describe en la [Sección 2.3.2](#) a partir de la fase arbitraria $\varphi_{sin}(t)$. Asumiendo una terna de la forma de la [Ec. \(2.1\)](#), se demuestra matemáticamente que:

$$\begin{bmatrix} v_d(t) \\ v_q(t) \end{bmatrix} = V_1 \begin{bmatrix} \cos(\Delta\varphi(t)) \\ \sin(\Delta\varphi(t)) \end{bmatrix} \quad (3.2)$$

donde $\Delta\varphi(t) = \varphi_u(t) - \varphi_{sin}(t)$. Si las frecuencias de estas dos fases son iguales, los valores de $v_d(t)$ y $v_q(t)$ son constantes. Por lo tanto, pueden ser filtradas mediante filtros pasa bajos o técnicas alternativas, como por ejemplo filtros peine, a fin de mitigar perturbaciones en la red sin adicionar retardo. Por último, se normaliza las señales y se recupera el seno y el coseno de la fase de la red eléctrica mediante la inversa de la transformada dq .

Al igual que el método presentado en la sección previa, dependiendo de la aplicación puede

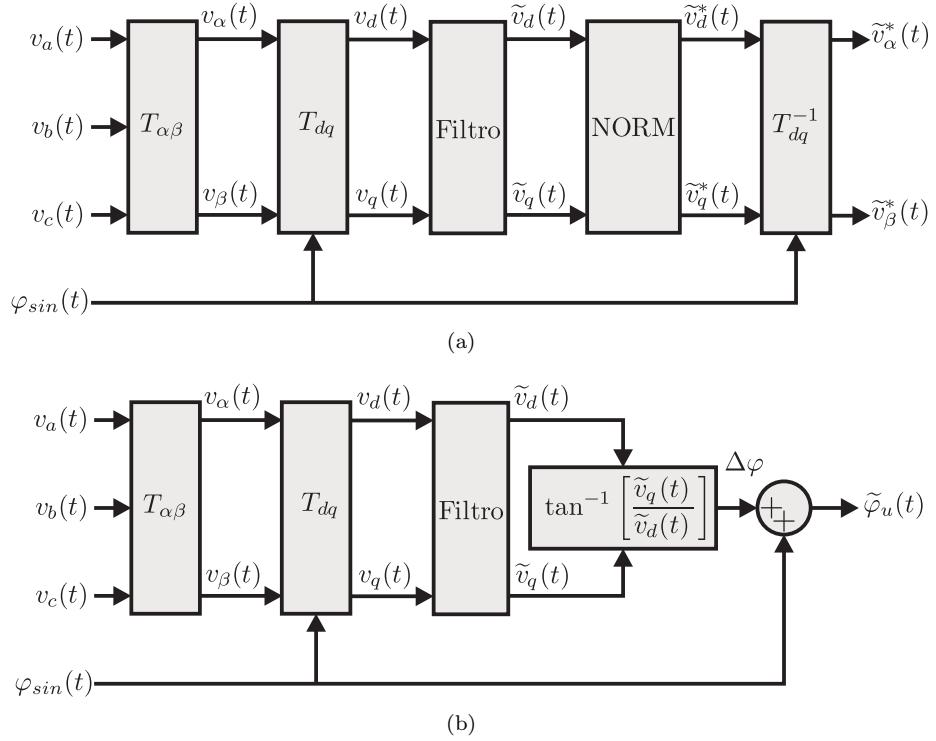


Figura 3.3: Métodos de sincronismo basados en el filtrado en marco de referencia sincrónico. (a) Síntesis de referencias en cuadratura y (b) estimación de fase instantánea.

modificarse esta estructura a fin de calcular la fase de la red en lugar del seno y coseno de la fase. Esto se logra mediante el método de la Figura 3.3(b). De esta manera se elimina la etapa de normalización.

La principal desventaja de estas dos estructuras reside en que la frecuencia de la red debe ser considerada constante y conocida a fin de no deteriorar la performance del sistema. Se debe cumplir que la frecuencia de $\varphi_u(t)$ sea igual a la frecuencia de $\varphi_{sin}(t)$, es decir, se debe cumplir que $\Delta\varphi(t)$ sea constante. Si esto no ocurre, $\Delta\varphi(t)$ varía con el tiempo y, por ende, el filtrado modifica la forma de onda de las señales de la terna representadas en el marco de referencia sincrónico adicionando distorsión en la estimación.

En la Figura 3.4 se presenta la respuesta del filtrado en marco de referencia sincrónico utilizando la estructura de la Figura 3.3(b) y filtro pasa bajos de frecuencia de corte igual a 25Hz y 50Hz. Los resultados son obtenidos a partir de una simulación del algoritmo en MATLAB®/SIMULINK®. En cada figura se muestra la señal de prueba y el error de fase obtenido como la diferencia entre la fase estimada por el método de sincronismo y la fase del generador ($\varphi_{error}(t) = \tilde{\varphi}_u(t) - \varphi_u(t)$). Inicialmente se adopta una terna ideal de frecuencia igual a 50Hz

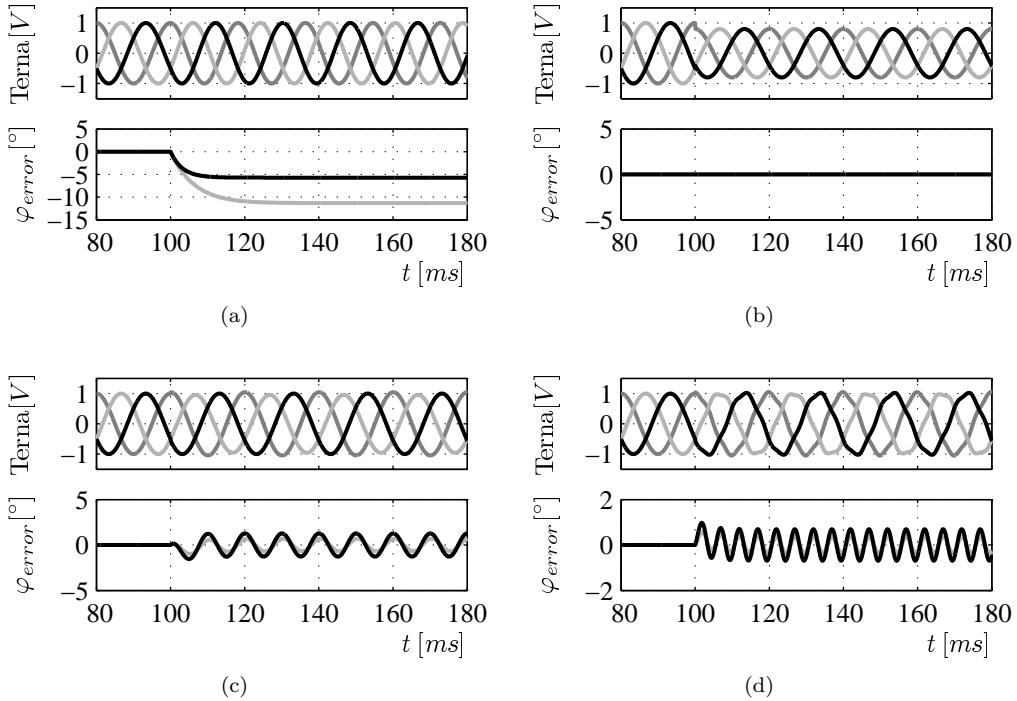


Figura 3.4: Respuesta del método de sincronismo basado en el filtrado en marco de referencia sincrónico. Se presentan las señales de prueba y el error de fase para una frecuencia de corte de 25Hz (gris) y 50Hz (negro). (a) Escalón de frecuencia de 5Hz , (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico.

y amplitud unitaria. Se analiza la dinámica para un escalón de frecuencia de 5Hz , un escalón simétrico de amplitud del -20% , un desbalance del 5% y un 5% de 5to armónico.

A diferencia del método basado en el filtrado en marco de referencia estacionario, en este caso se observa un gran error de fase luego del escalón de frecuencia ([Figura 3.4\(a\)](#)). Se verifica una mayor sensibilidad a esta perturbación en la respuesta en régimen permanente.

Por otro lado, el sistema no presenta transitorios de enganche para el cambio simétrico de la tensión de línea analizado en la [Figura 3.4\(b\)](#). Este comportamiento es resultado de que el escalón de amplitud modifica ambas componentes del marco de referencia sincrónico en forma simétrica, por lo que no se producen desviaciones posteriores a la misma.

Finalmente, en la [Figura 3.4\(c\)](#) y [Figura 3.4\(d\)](#) se observa que al igual que ocurría con los métodos descritos en [3.1.1](#), los sistemas basados en el marco de referencia sincrónico presentan sensibilidad ante desbalances y distorsiones en la forma de onda, ya que la transformada dq se calcula bajo la suposición de una terna ideal.

3.1.3. Estimador de mínimos cuadrados recursivo en marco de referencia sincrónico

Como se demostró en la [Sección 2.3.3](#), los desbalances generan en el marco de referencia sincrónico un ripple en régimen permanente de dos veces la frecuencia de la componente fundamental de la red. Este efecto se pudo observar en la sección previa mediante el análisis de la respuesta del método de sincronismo basado en el filtrado en marco de referencia sincrónico. A fin de mitigar dicha perturbación es necesario reducir considerablemente el ancho de banda de los sistemas de sincronismo ya que la frecuencia de la perturbación se encuentra cerca de la frecuencia nominal de la red eléctrica. Sin embargo, esta solución no elimina completamente el error producido al mismo tiempo que afecta sustancialmente la velocidad de respuesta.

A fin de corregir esta limitación, en la literatura se han propuesto sistemas de sincronismo que utilizan técnicas de filtrado alternativas a fin de mitigar el efecto de los desbalances en las tensiones provenientes de la red eléctrica. Uno de estos métodos es el basado en el algoritmo de estimación de mínimos cuadrados recursivo (WLSE, weighted least-squares estimation) [\[46\]](#) [\[47\]](#). En este sistema se adquiere la señal trifásica, se obtiene su representación en el marco de referencia estacionario y se compara dichas señales con un modelo de las mismas en condiciones de desbalance. Mediante la detección de una diferencia entre las señales y el modelo, se actualizan los parámetros del modelo a fin de obtener diferencia nula entre ambos en régimen permanente. Como resultado, el modelo iguala al sistema real luego del transitorio y la información de la secuencia positiva y de la secuencia negativa de la componente fundamental es obtenida por separado. Esto permite estimar la fase de la red eléctrica a partir de la secuencia positiva estimada sin error ante la presencia de desbalances ya que el cálculo de la fase se independiza de la secuencia negativa de la red eléctrica.

La técnica de estimación de mínimos cuadrados recursivos requiere trabajar con una secuencia de valores en lugar de las señales en el dominio temporal, como consecuencia, en esta sección se trabajará con la representación de las señales en el dominio discreto. A fin de obtener un modelo que represente la terna desbalanceada en el marco de referencia estacionario, se reescribe la [Ec. \(2.40\)](#) para el caso de desbalance y sin distorsión armónica. Para ello se adoptan $V_n = 0$ para todo $n \neq -1$. En estas condiciones de funcionamiento, y reemplazando la variable

t por el instante de muestreo k , se obtiene:

$$v_{\alpha\beta}(k) = V_{+1}e^{j\varphi_u(k)} + V_{-1}e^{j(-\varphi_u(k)+\varphi_{-1})} \quad (3.3)$$

donde V_{+1} es la amplitud de la secuencia positiva, V_{-1} es la amplitud de la secuencia negativa, $\varphi_u(k)$ es la fase de la red eléctrica y φ_{-1} es la fase inicial de la secuencia negativa. El vector espacial $\alpha\beta$ queda definido como la suma entre el vector correspondiente a la secuencia positiva y el vector correspondiente a la secuencia negativa.

Debido a que $\varphi_u(k)$ es la variable a estimar por el sistema de sincronismo, el modelo de la red eléctrica utilizado por el WLSE se calcula a partir de una fase arbitraria $\varphi_{sin}(k)$. Por esta razón, resulta conveniente modificar la Ec. (3.3) de manera tal de expresar $v_{\alpha\beta}(k)$ en función de $\varphi_{sin}(k)$ en lugar de $\varphi_u(k)$. Para ello se asume $\varphi_u(k) - \varphi_{sin}(k) = \varphi_{cte}$, y se reemplaza en la Ec. (3.3) obteniéndose:

$$\begin{aligned} v_{\alpha\beta}(k) &= V_{+1}e^{j(\varphi_{sin}(k)+\varphi_{cte})} + V_{-1}e^{j(-\varphi_{sin}(k)-\varphi_{cte}+\varphi_{-1})} \\ &= V_{+1}e^{j\varphi_{cte}}e^{j\varphi_{sin}(k)} + V_{-1}e^{j(-\varphi_{cte}+\varphi_{-1})}e^{-j\varphi_{sin}(k)} \\ &= v_{dq+1}^e e^{j\varphi_{sin}(k)} + v_{dq-1}^e e^{-j\varphi_{sin}(k)} \end{aligned} \quad (3.4)$$

donde se ha definido las constantes complejas v_{dq+1}^e y v_{dq-1}^e . La primera se calcula a partir de la amplitud de la secuencia positiva y de la diferencia de fase entre esta secuencia y la fase arbitraria. De la misma manera, la segunda constante se define a partir de la amplitud de la secuencia negativa y de la diferencia de fase entre esta secuencia y la fase arbitraria. Reemplazando los exponentes complejos por su parte real e imaginaria y desarrollando la ecuación, se obtiene:

$$\begin{aligned} v_{\alpha\beta}(k) &= (v_{d+1}^e + jv_{q+1}^e)(\cos(\varphi_{sin}(k)) + j \sin(\varphi_{sin}(k))) \\ &\quad + (v_{d-1}^e + jv_{q-1}^e)(\cos(\varphi_{sin}(k)) - j \sin(\varphi_{sin}(k))) \\ &= v_{d+1}^e \cos(\varphi_{sin}(k)) - v_{q+1}^e \sin(\varphi_{sin}(k)) \\ &\quad + v_{d-1}^e \cos(\varphi_{sin}(k)) + v_{q-1}^e \sin(\varphi_{sin}(k)) \\ &\quad + j [v_{d+1}^e \sin(\varphi_{sin}(k)) + v_{q+1}^e \cos(\varphi_{sin}(k)) \\ &\quad - v_{d-1}^e \sin(\varphi_{sin}(k)) + v_{q-1}^e \cos(\varphi_{sin}(k))] \end{aligned} \quad (3.5)$$

donde se ha agrupado la parte real y la parte imaginaria de la ecuación. Esta última puede representarse en forma matricial quedando:

$$y(k) = H(k)x(k) \quad (3.6)$$

$$y(k) = \begin{bmatrix} \hat{v}_\alpha(k) & \hat{v}_\beta(k) \end{bmatrix}^T \quad (3.7)$$

$$H(k) = \begin{bmatrix} \cos(\varphi_{sin}(k)) & -\sin(\varphi_{sin}(k)) & \cos(\varphi_{sin}(k)) & \sin(\varphi_{sin}(k)) \\ \sin(\varphi_{sin}(k)) & \cos(\varphi_{sin}(k)) & -\sin(\varphi_{sin}(k)) & \cos(\varphi_{sin}(k)) \end{bmatrix} \quad (3.8)$$

$$x(k) = \begin{bmatrix} v_{d+1}^e(k) & v_{q+1}^e(k) & v_{d-1}^e(k) & v_{q-1}^e(k) \end{bmatrix}^T \quad (3.9)$$

En esta representación, los elementos del vector $y(k)$ son las señales $\alpha\beta$ estimadas, las cuales se obtienen a partir de la fase $\varphi_{sin}(k)$ y el vector de parámetros $x(k)$. Debido a que $\varphi_{sin}(k)$ se define como una fase arbitraria de frecuencia igual a $\varphi_u(k)$, el sistema de sincronismo propone estimar las variables del vector $x(k)$ a partir de reducir la diferencia entre las señales adquiridas y el vector $y(k)$. Por lo tanto, se propone minimizar la siguiente función de costo:

$$J(k) = \sum_{p=0}^k \lambda^p [v_{\alpha\beta}(k) - y(k)]^T [v_{\alpha\beta}(k) - y(k)] \quad (3.10)$$

siendo λ el factor de olvido que permite ponderar más a los valores actuales en relación a los valores antiguos. Este parámetro puede tomar cualquier valor entre 0 y 1. La solución $x(k)$ que minimiza la función de costo $J(k)$ se obtiene mediante el siguiente algoritmo conocido como mínimos cuadrados recursivos [48]:

$$x(k) = x(k-1) + \gamma(k)[v_{\alpha\beta}(k) - y(k)] \quad (3.11)$$

$$\gamma(k) = P(k-1)H(k)^T[\lambda I + H(k)P(k-1)H(k)^T]^{-1} \quad (3.12)$$

$$P(k) = \lambda^{-1}[I - \gamma(k)H(k)]P(k-1) \quad (3.13)$$

donde $\gamma(k)$ es la ganancia del error del modelo y $P(k)$ es la matriz de covarianza. Para la ejecución del procedimiento se inicializa el algoritmo con $x(0) = 0$ y $P(0) = \pi_0 I \in \Re$, siendo π_0 el valor inicial de la matriz de covarianza. En el instante $k = 1$ se adquiere las señales de la línea, se calcula las matrices $H(1)$ y $\gamma(1)$ y se actualiza el vector de parámetros $x(1)$. Una vez

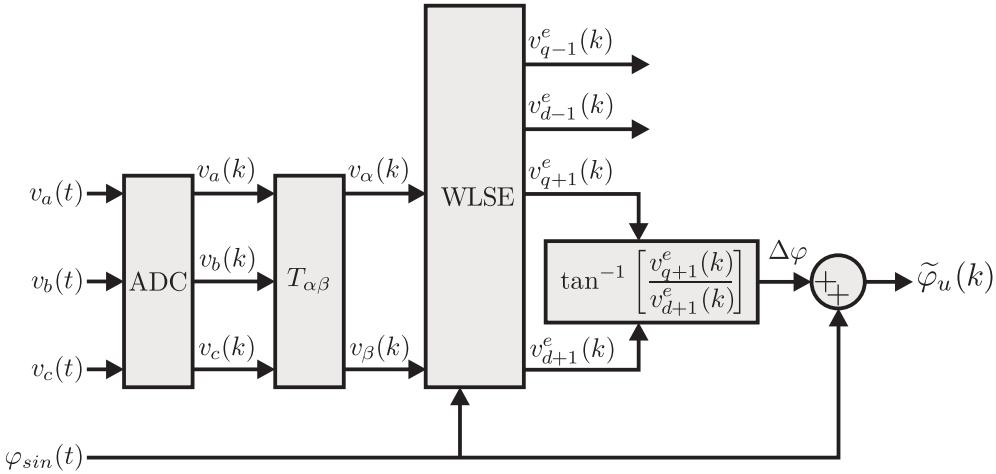


Figura 3.5: Diagrama en bloques del método de sincronismo basado en el marco de referencia sincrónico y el algoritmo de estimación de mínimos cuadrados recursivo.

obtenido el mismo se calcula $P(1)$ para ser utilizado en el siguiente instante de muestreo. En el instante $k = 2$ se adquieren nuevamente las señales de la línea y se calcula $H(2)$, $\gamma(2)$, $x(2)$ y $P(2)$, y así sucesivamente.

La estimación de los elementos de $x(k)$ permite separar la información de secuencia positiva de la información de secuencia negativa a partir del vector $x(k)$. El diagrama en bloques del sistema de sincronismo basado en la WLSE se presenta en la Figura 3.5.

En esta estructura, las señales de la terna son adquiridas y representadas en el marco de referencia estacionario a través de la transformada $\alpha\beta$. Luego, la WLSE utiliza estas señales a fin de actualizar los valores del vector de parámetros $x(k)$. De esta manera se obtienen dos números complejos, $v_{dq+1}^e(k)$ que representa la diferencia de fase entre la secuencia positiva y $\varphi_{sin}(k)$, y $v_{dq-1}^e(k)$ que representa la diferencia de fase entre la secuencia negativa y $\varphi_{sin}(k)$. Luego, se utiliza sólo la información de la secuencia positiva a fin de extraer la fase de la red eléctrica independizando este cálculo de la secuencia negativa y, por ende, eliminando en régimen permanente el error producido en los sistemas convencionales cuando la terna se encuentra desbalanceada.

A fin de analizar la performance del sistema ante un desbalance en las tensiones de la red eléctrica, se presenta en la Figura 3.6(a) una simulación del método de sincronismo realizada en MATLAB®/SIMULINK®. En la figura se visualiza la señal trifásica de prueba, los valores adoptados por cada componente del vector $x(k)$, y el error de fase obtenido como la diferencia entre la fase estimada por el método de sincronismo y la fase del generador ($\varphi_{error}(t) = \tilde{\varphi}_u(t) - \varphi_u(t)$). Se configura el sistema con un $T_s = 100\mu s$, se adopta una fase arbitraria de frecuencia igual

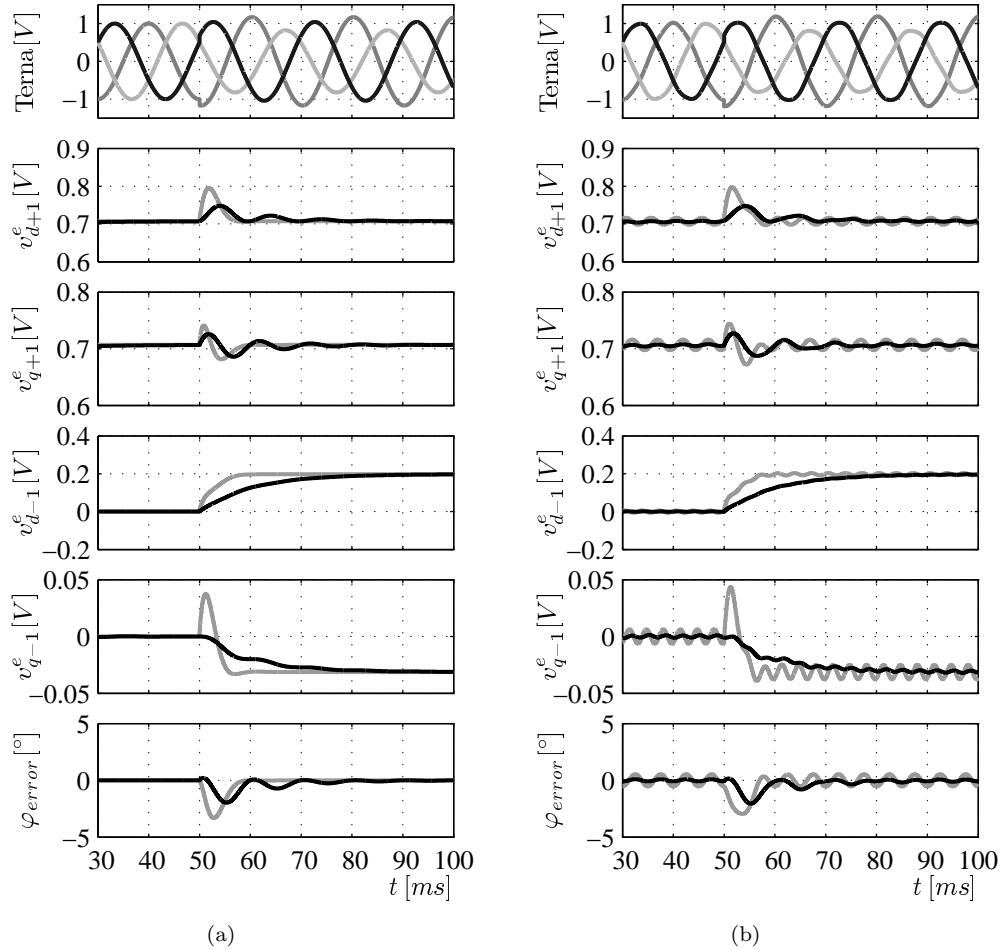


Figura 3.6: Respuesta del método de sincronismo basado en el marco de referencia sincrónico y el algoritmo de estimación de mínimos cuadrados recursivos ante un desbalance del 20 %. Se presenta la respuesta del sistema configurado con un $\lambda = 0,95$ (gris) y un $\lambda = 0,99$ (negro). (a) Sin armónicos y (b) con 2 % de 5to armónico.

a la red eléctrica y $\varphi_{cte} = \pi/4 \text{ rad/s}$, y se analiza la respuesta para dos factores de olvido, $\lambda = 0,95$ (gris) y $\lambda = 0,99$ (negro).

Inicialmente se asume una terna balanceada tal que $V_{+1} = 1V$ y $V_{-1} = 0$. Bajo estas condiciones de funcionamiento se demuestra matemáticamente que las variables complejas v_{dq+1}^e y v_{dq-1}^e resultan:

$$v_{dq+1}^e = V_{+1} e^{j\varphi_{cte}} = 0,7071 + j0,7071 \quad \rightarrow \quad \begin{cases} v_{d+1}^e = 0,7071 \\ v_{q+1}^e = 0,7071 \end{cases} \quad (3.14)$$

$$v_{dq-1}^e = V_{-1} e^{j(-\varphi_{cte} + \varphi_{-1})} = 0 \rightarrow \begin{cases} v_{d-1}^e = 0 \\ v_{q-1}^e = 0 \end{cases} \quad (3.15)$$

Mediante la observación de la [Figura 3.6](#), se verifica que los valores calculados previamente se corresponden a los adoptados por las variables del vector $x(k)$ al inicio de la simulación del sistema.

En $t = 50ms$ se adiciona a la simulación una secuencia negativa de $V_{-1} = 0,2V$ y $\varphi_{-1} = \pi/5 rad/s$. Bajo estas condiciones de funcionamiento, las variables del vector $x(k)$ resultan:

$$v_{dq+1}^e = V_{+1} e^{j\varphi_{cte}} = 0,7071 + j0,7071 \rightarrow \begin{cases} v_{d+1}^e = 0,7071 \\ v_{q+1}^e = 0,7071 \end{cases} \quad (3.16)$$

$$v_{dq-1}^e = V_{-1} e^{j(-\varphi_{cte} + \varphi_{-1})} = 0,1975 - j0,0313 \rightarrow \begin{cases} v_{d-1}^e = 0,1975 \\ v_{q-1}^e = -0,0313 \end{cases} \quad (3.17)$$

Nuevamente se verifica que los valores adoptados al final de la simulación por el vector de parámetros $x(k)$ corresponden a los calculados analíticamente. El transitorio de respuesta depende del valor adoptado para el factor de olvido (λ). A fin de lograr una convergencia más rápida se puede reducir el valor de este parámetro, sin embargo, se reduce también el rechazo ante otras perturbaciones como por ejemplo la distorsión armónica. Esto se verifica al analizar la [Figura 3.6\(b\)](#) donde se repite el ensayo con la adición de un 2% de 5to armónico. El efecto del armónico es reducido al aumentar el factor λ de 0,95 a 0,99. Como resultado se aumenta el tiempo de establecimiento en el transitorio producto de la aparición del desbalance.

A pesar de que el sistema rechaza satisfactoriamente el efecto de los desbalances, la velocidad de respuesta se ve afectada por el rechazo requerido ante otras perturbaciones de la línea. Por otro lado, el costo computacional de la implementación es significativo como resultado de la complejidad de la WLSE, lo que lo hace desaconsejable para sistemas de recursos reducidos.

Otra desventaja importante de esta propuesta es la sensibilidad ante cambios frecuenciales, como ocurre en la mayoría de los métodos basados en el filtrado en marco de referencia. En [47] se ha propuesto un lazo de control que corrige esta limitación al estimar la frecuencia de la red y adaptar dinámicamente la frecuencia de $\varphi_{sin}(k)$. Sin embargo, la dinámica del estimador impide el diseño de un lazo de frecuencia rápido, lo que da como resultado una baja velocidad de respuesta.

3.2. Synchronous Reference Frame PLL (SRF-PLL)

Como se describió previamente, los sistemas de sincronismo basados en el filtrado en marco de referencia estacionario y sincrónico sufren de gran sensibilidad ante variaciones frecuenciales. A fin de corregir esta desventaja, en [49] se ha propuesto un método de sincronismo que emplea las transformadas $\alpha\beta$ y dq pero, a diferencia de los analizados en la sección previa, la fase utilizada para el marco de referencia sincrónico es determinada por un lazo de control. Este lazo de control obtiene la información de error de fase a partir de una de las señales proporcionadas por la transformada dq y mediante un controlador PI y un integrador estima la fase de la red eléctrica a ser realimentada ($\varphi_{est}(t) = \varphi_{sin}(t)$). Esta propuesta es conocida como SRF-PLL (Synchronous Reference Frame PLL) y es ampliamente utilizado en la práctica principalmente en aplicaciones de potencia por su simple estructura y fácil implementación. El lazo de control permite el ajuste dinámico de la frecuencia del sistema y el filtrado de las señales de entrada sin la adición de retardos. Además, se obtienen ecuaciones de diseño sencillas que permiten un ajuste simple del ancho de banda, logrando velocidades de respuesta y rechazo ante perturbaciones adecuadas según la aplicación. Además del trabajo nombrado, existen en la literatura otros que describen y analizan este sistema de sincronismo, entre los que se puede nombrar a Chung [50] y Arruda [51].

El diagrama en bloques del SRF-PLL se muestra en la [Figura 3.7](#), donde ω_l , $\omega_{est}(t)$ y $\varphi_{est}(t)$ son la frecuencia angular nominal, la frecuencia angular estimada y la fase estimada de la red eléctrica respectivamente. El parámetro ω_l es opcional y sólo inicializa el sistema en cercanías de la frecuencia instantánea real a fin de reducir el transitorio de arranque. Una vez sincronizado el dispositivo, este parámetro no afecta la respuesta en régimen permanente o los transitorios provocados por una perturbación en la terna.

Asumiendo que las tensiones de línea pueden representarse por su forma ideal, sin desbalances ni distorsiones en la forma de onda, como se describió en la [Sección 2.3.2](#), las señales obtenidas a partir de la transformada dq resultan:

$$\begin{bmatrix} v_d(t) \\ v_q(t) \end{bmatrix} = V_1 \begin{bmatrix} \cos(\varphi_u(t) - \varphi_{est}(t)) \\ \sin(\varphi_u(t) - \varphi_{est}(t)) \end{bmatrix} \quad (3.18)$$

Bajo la suposición de una pequeña diferencia de fase entre $\varphi_u(t)$ y $\varphi_{est}(t)$, la señal $v_q(t)$ de

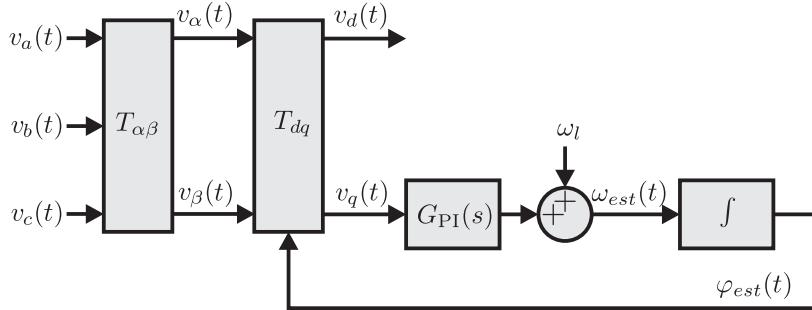


Figura 3.7: Diagrama en bloques del SRF-PLL.

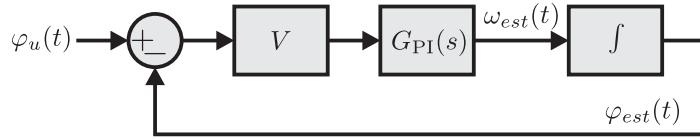


Figura 3.8: Modelo matemático del SRF-PLL.

la Ec. (3.18) puede aproximarse a:

$$v_q(t) \approx V_1(\varphi_u(t) - \varphi_{est}(t)) \quad (3.19)$$

Esta señal representa la diferencia de fase entre la red eléctrica y el sistema de sincronismo afectada por la amplitud pico de la terna. En el SRF-PLL se adopta esta señal como el error de fase del sistema ($e_\varphi(t) = v_q(t)$) y se diseña el lazo de control de forma tal de lograr $e_\varphi(t) = 0$ en régimen permanente. Esto se logra al igualar la fase estimada con la fase de la señal trifásica. Una vez sincronizado el dispositivo, la diferencia de fase se hace cero y la fase estimada corresponde en fase y frecuencia a la de la red eléctrica. Este procedimiento es independiente de la señal $v_d(t)$, la cual provee de la amplitud estimada de la terna (V_1) una vez sincronizado el dispositivo.

Para ajustar la respuesta dinámica del sistema según la aplicación, es necesario elegir y configurar el controlador $G_{PI}(s)$. Asumiendo que la diferencia entre las fases es pequeña, se obtiene el modelo matemático simplificado de la Figura 3.8. El controlador más utilizado en este sistema de sincronismo es el tipo PI (proporcional-integral) ya que permite obtener una transferencia a lazo cerrado de segundo orden, logrando una buena relación entre filtrado, velocidad de respuesta y estabilidad. Por lo tanto, la transferencia del controlador resulta:

$$G_{PI}(s) = K \left(\frac{1 + s\tau}{s\tau} \right) \quad (3.20)$$

donde K y τ son los parámetros del controlador. Trabajando con el modelo matemático y

reemplazando con la transferencia del controlador, la función transferencia a lazo cerrado del sistema puede expresarse mediante:

$$T_{LC}(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.21)$$

donde

$$\omega_n = \sqrt{\frac{KV_1}{\tau}}, \quad \zeta = \frac{KV_1}{2\omega_n} = \frac{\sqrt{\tau KV_1}}{2} \quad (3.22)$$

Mediante ω_n y ζ se define la velocidad de respuesta y naturaleza de la respuesta transitoria, respectivamente. Un criterio ampliamente aceptado para la selección de estos parámetros consiste en adoptar $\zeta = \sqrt{2}/2$ para obtener respuestas subamortiguadas y definir ω_n en función de la velocidad y rechazo a perturbaciones requerida. Otra alternativa consiste en definir este último parámetro a partir de la relación señal ruido esperada [50]. Las ecuaciones de diseño resultan:

$$K = \frac{2\zeta\omega_n}{V_1}, \quad \tau = \frac{2\zeta}{\omega_n} \quad (3.23)$$

En la [Figura 3.9](#) se presenta la respuesta del SRF-PLL ante diferentes perturbaciones de la red eléctrica. Los resultados son obtenidos a partir de una simulación del algoritmo en MATLAB®/SIMULINK® adoptando $\zeta = \sqrt{2}/2$, y un $\omega_n = 50Hz$ (gris) y $\omega_n = 25Hz$ (negro). En cada ensayo se muestra la señal de prueba, la frecuencia estimada ($f_{est}(t) = \omega_{est}(t)/2\pi$) y el error de fase obtenido como la diferencia entre la fase estimada por el método de sincronismo y la fase del generador ($\varphi_{error}(t) = \varphi_{est}(t) - \varphi_u(t)$). Inicialmente se adopta una terna ideal de frecuencia igual a $50Hz$ y amplitud unitaria. Se analiza la dinámica para un escalón de frecuencia de $5Hz$, un escalón simétrico de amplitud del -20% , un desbalance del 5% y un 5% de 5to armónico.

La [Figura 3.9\(a\)](#) presenta la respuesta del sistema ante un escalón de frecuencia de $5Hz$. Debido a que se adopta en este ensayo una terna ideal, es decir, sin desbalance ni distorsiones en la forma de onda, el método presenta una dinámica de respuesta suave la cual se define a partir de ajustar el parámetro ω_n . El error en régimen permanente es cero.

La [Figura 3.9\(b\)](#) presenta la respuesta del sistema ante un escalón simétrico de amplitud del -20% . Se verifica que el método analizado no pierde la sincronización ya que no se detecta

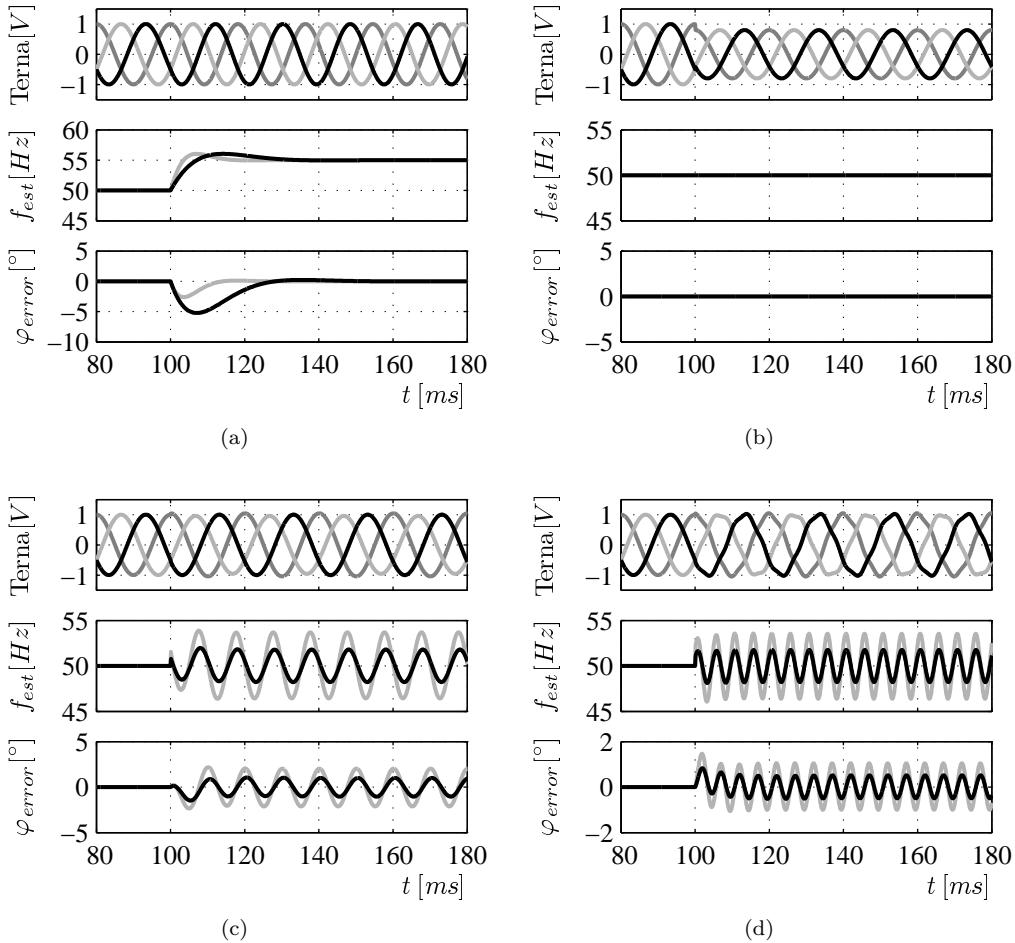


Figura 3.9: Respuesta del SRF-PLL ante diferentes perturbaciones. Se presentan las señales de prueba, la frecuencia estimada y el error de fase para $\omega_n = 50\text{Hz}$ (gris) y $\omega_n = 25\text{Hz}$ (negro). (a) Escalón de frecuencia de 5Hz , (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico.

cambios en la fase y frecuencia estimada. A pesar de que el cambio en la amplitud modifica el error de fase del sistema, el SRF-PLL no detecta dicha diferencia debido a que no existe diferencia de fase entre la fase estimada y la fase de la red eléctrica (Ec. (3.19)).

Sin embargo, el sistema falla en detectar correctamente la fase y frecuencia de la red ante la presencia del desbalance y la componente armónica. En la Figura 3.9(c) y Figura 3.9(d) se muestra la respuesta ante un desbalance del 5% y un 5% de 5to armónico. Como se demostró en la Sección 2.3.3, ante estas condiciones de funcionamiento, las transformaciones utilizadas para expresar las señales en el marco de referencia estacionario y sincrónico no proveen de una representación confiable de la diferencia entre la fase instantánea de la red y la fase estimada, al igual que ocurría con los métodos basados en el filtrado de marco de referencia. Bajo estas condiciones de funcionamiento aparece un ripple que degrada la performance del método.

Como se observa en la [Figura 3.9\(c\)](#) y en la [Figura 3.9\(d\)](#), la disminución del ancho de banda permite mitigar los errores en régimen permanente pero reduce la velocidad de respuesta ante otras perturbaciones, al mismo tiempo que aumenta la máxima desviación del error de fase durante el transitorio. Ambos efectos pueden verificarse en la [Figura 3.9\(a\)](#), en donde una reducción del ancho de banda a la mitad prolonga la magnitud y duración del transitorio de fase.

3.3. Extended Synchronous Reference Frame PLL (ESRF-PLL)

En [52] se propone un sistema de sincronismo denominado ESRF-PLL (Extended Synchronous Reference Frame PLL) el cual es una variación del SRF-PLL convencional analizado en la sección previa. Al igual que el método basado en la WLSE ([Sección 3.1.3](#)), el ESRF-PLL centra su funcionamiento en mitigar los efectos adversos que generan los desbalances en las señales representadas en el marco de referencia sincrónico.

El ESRF-PLL basa su funcionamiento en el SRF-PLL y en la técnica de componentes simétricos presentada en la [Sección 2.2](#). Esta técnica permite extraer la componente de secuencia positiva de una terna desbalanceada mediante la matriz de transformación de la [Ec. \(2.11\)](#). Esta transformación fue propuesta originalmente para fasores, por lo que resulta necesario implementarla en el dominio temporal para ser utilizada en el procesamiento de señales temporales. Esta transformada multiplica los fasores de entrada por el coeficiente $g = e^{j2\pi/3}$, el cual representa un adelanto en fase de 120° . Sin embargo, en el dominio temporal resulta más sencillo implementar un corrimiento de fase de 90° , por lo que se trabaja matemáticamente el coeficiente de forma tal de obtener $g = e^{j2\pi/3} = -1/2 + \sqrt{3}/2e^{j\pi/2}$. Como resultado, el coeficiente puede reemplazarse por una ganancia y un adelanto en fase de 90° . De esta manera, asumiendo una terna desbalanceada sin componentes armónicos, la transformada presentada en la [Ec. \(2.11\)](#) puede reescribirse como:

$$\begin{aligned} v_{a+}(t) &= \frac{1}{3}v_a(t) - \frac{1}{6}(v_b(t) + v_c(t)) + \frac{\sqrt{3}}{6}q(v_b(t) - v_c(t)) \\ v_{b+}(t) &= -v_a - v_c \\ v_{c+}(t) &= \frac{1}{3}v_c(t) - \frac{1}{6}(v_a(t) + v_b(t)) + \frac{\sqrt{3}}{6}q(v_a(t) - v_b(t)) \end{aligned} \quad (3.24)$$

donde q es un operador que representa un adelanto en fase de 90° en el dominio temporal.

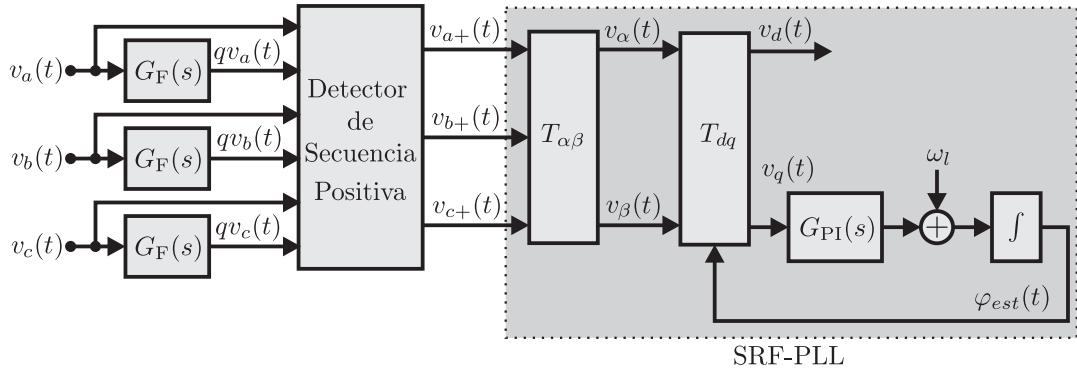


Figura 3.10: Diagrama en bloques del ESRF-PLL.

Mediante el uso de estas ecuaciones, se extrae la secuencia positiva de una terna desbalanceada representada por el vector de entrada $[v_a(t) \ v_b(t) \ v_c(t)]$.

En la Figura 3.10 se presenta el diagrama en bloques del ESRF-PLL. Primero las señales de la terna son filtradas por tres filtros pasa todo obteniéndose la terna afectada por el coeficiente q . La función transferencia de cada filtro resulta:

$$G_F(s) = \frac{s - \omega_l}{s + \omega_l} \quad (3.25)$$

donde ω_l es la frecuencia angular nominal de la red eléctrica. Luego, el detector de secuencia positiva implementa la Ec. (3.24). De esta manera, la salida de este bloque sólo conserva la secuencia positiva de la red eléctrica, la cual es enviada a un SRF-PLL convencional a fin de recuperar la fase del sistema. Como resultado, la estimación de la fase se realiza sólo con la secuencia positiva de la entrada suprimiendo el error de fase mostrado por el SRF-PLL convencional ante la presencia de la secuencia negativa. Debido a que no se modifica el lazo de fase del PLL, se conserva el modelo matemático descrito para el SRF-PLL convencional y su controlador.

En la Figura 3.11 se presenta la respuesta del ESRF-PLL ante diferentes perturbaciones de la red eléctrica. Los resultados son obtenidos a partir de una simulación del algoritmo en MATLAB®/SIMULINK® adoptando un $\omega_n = 50Hz$ (gris) y $\omega_n = 25Hz$ (negro). En cada ensayo se muestra la señal de prueba, la frecuencia estimada ($f_{est}(t) = \omega_{est}(t)/2\pi$) y el error de fase obtenido como la diferencia entre la fase estimada por el método de sincronismo y la fase del generador ($\varphi_{error}(t) = \varphi_{est}(t) - \varphi_u(t)$). Inicialmente se adopta una terna ideal de frecuencia igual a $50Hz$ y amplitud unitaria. Se analiza la dinámica para un escalón de frecuencia de $5Hz$, un escalón simétrico de amplitud del -20% , un desbalance del 5% y un 5% de 5to armónico.

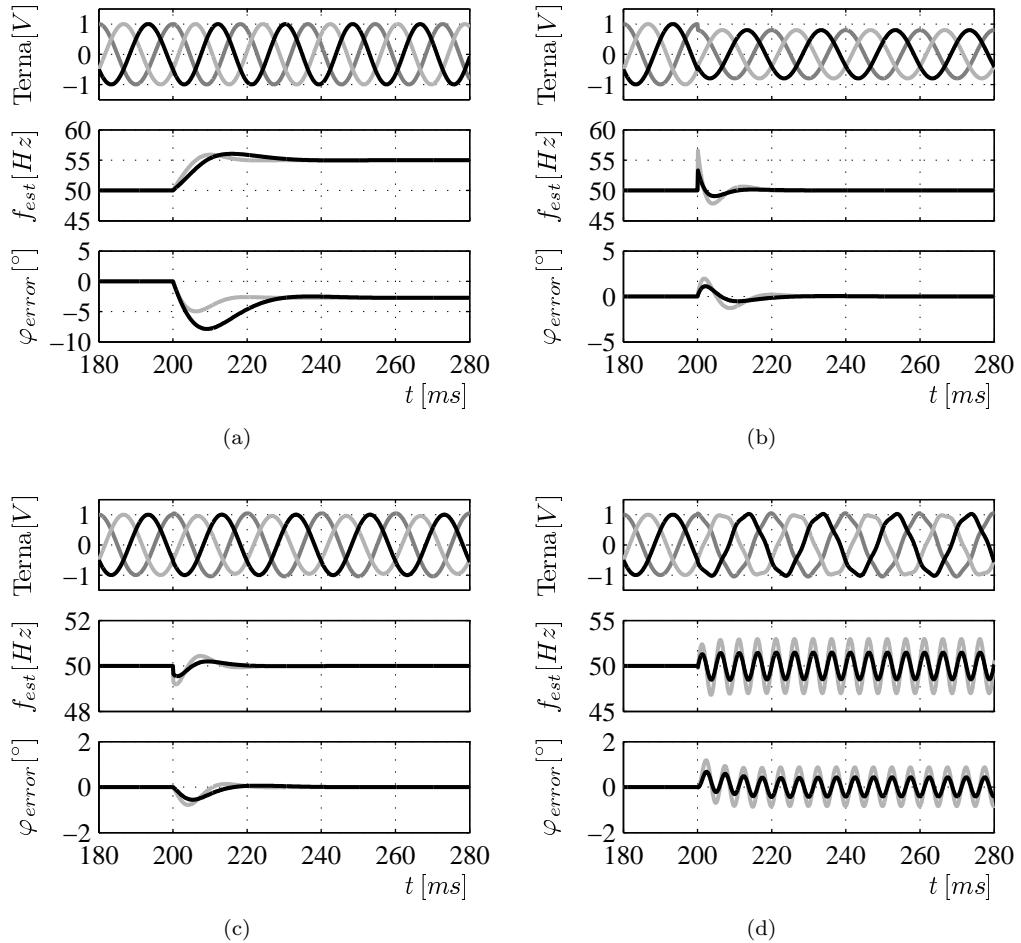


Figura 3.11: Respuesta del ESRF-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase para $\omega_n = 50\text{Hz}$ (gris) y $\omega_n = 25\text{Hz}$ (negro). (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.

Se verifica mediante el análisis de la [Figura 3.11\(c\)](#) que el método estima correctamente la fase de la red ante la presencia del desbalance, el cual es el objetivo principal del sistema. En régimen permanente el error se hace cero y la frecuencia estimada toma el valor esperado sin presentar desviaciones, a diferencia de la respuesta obtenida a partir del SRF-PLL convencional.

Debido a que no se provee de mejoras ante componentes armónicos, el efecto de los mismos debe ser mitigado a partir de reducir el ancho de banda del SRF-PLL como se muestra en la [Figura 3.11\(d\)](#). A pesar de apreciarse una mayor atenuación de esta perturbación en comparación con el SRF-PLL, no se logra eliminar completamente su efecto en la fase y frecuencia estimada.

En la [Figura 3.11\(b\)](#) se presenta la respuesta del sistema ante un cambio de la amplitud de la terna. A diferencia del SRF-PLL convencional, el ESRF-PLL presenta un transitorio de

enganche como consecuencia de la dinámica de los filtros pasa todo.

Una desventaja de esta técnica, es que se requiere el conocimiento previo de la frecuencia de la red eléctrica y la suposición de que la misma es constante. Si esto no se cumple, la respuesta del PLL es afectada debido a que la frecuencia de las singularidades del filtro pasa todo no se adaptan a la frecuencia de línea. Como consecuencia, se realiza una incorrecta generación de la versión de la terna adelantada 90° . Este efecto puede apreciarse en la [Figura 3.11\(a\)](#) donde un cambio en la frecuencia de la red eléctrica lleva a un error de fase en régimen permanente.

3.4. Dual Second Order Generalized Integrator PLL (DSOGI-PLL)

En [53] se propone un sistema de sincronismo trifásico basado en el SRF-PLL que permite rechazar el efecto de los desbalances al implementar la técnica de componentes simétricas en redes de frecuencia variable. Este método puede considerarse como una mejora del ESRF-PLL, del cual se distingue en dos aspectos:

- La técnica de componentes simétricas se aplica sobre las tensiones $\vec{v}_{\alpha\beta}(t)$, en lugar de hacerlo en las tensiones $\vec{v}_{abc}(t)$. De esta manera se reduce el costo computacional del método.
- Los tres filtros pasa todo son reemplazados por dos SOGI (Second Order Generalized Integrator), los cuales no sólo permiten obtener las señales de la red atrasadas 90° , si no que también mitigan el efecto de los armónicos.

El diagrama en bloques del DSOGI-PLL se presenta en la [Figura 3.12](#) donde puede distinguirse tres partes funcionales, el generador de señales en cuadratura (DSOGI-QSG, Dual Second Order Generalized Integrator Quadrature Signals Generator) que filtra las señales $\alpha\beta$ y genera la versión de las mismas atrasadas 90° , el PSC (Positive-Quadrature Calculator) que implementa la [Ec. \(2.11\)](#) en el marco de referencia estacionario y extrae la componente de secuencia positiva de la red, y el SRF-PLL convencional que estima la fase y frecuencia de la terna y realimenta este último parámetro a fin de ajustar en frecuencia los SOGIs.

El bloque DSOGI-QSG está compuesto de dos SOGIs, uno para cada señal en el marco de referencia estacionario. La estructura de estos filtros se presentan en la [Figura 3.13](#) donde ω_r es la frecuencia de resonancia del filtro, k es el factor de amortiguamiento y \bar{q} es un operador

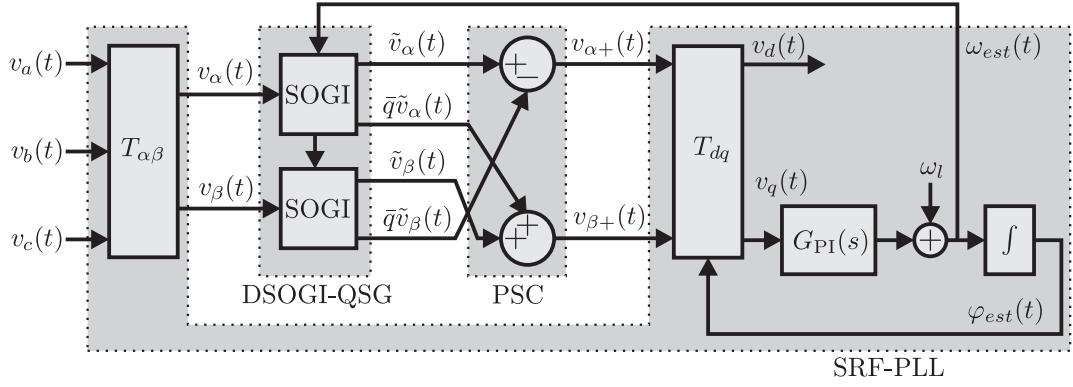


Figura 3.12: Diagrama en bloques del DSOGI-PLL.

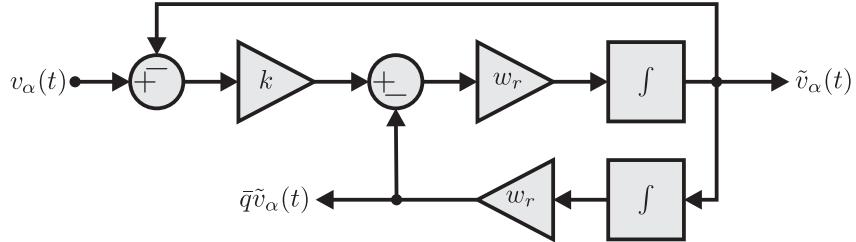


Figura 3.13: Estructura del SOGI.

que representa un atraso en fase de 90° en el dominio temporal. La respuesta en frecuencia de estos filtros asumiendo una $\omega_r = 50\text{Hz}$ y diferentes factores de amortiguamiento se presenta en la Figura 3.14, siendo las funciones de transferencia:

$$D(s) = \frac{\tilde{v}_\alpha(s)}{v_\alpha(s)} = \frac{k\omega_r s}{s^2 + k\omega_r s + \omega_r^2} \quad (3.26)$$

$$Q(s) = \frac{\bar{q}\tilde{v}_\alpha(s)}{v_\alpha(s)} = \frac{k\omega_r^2}{s^2 + k\omega_r s + \omega_r^2} \quad (3.27)$$

Ajustando $k > 1$ se obtiene un filtro muy selectivo con un mayor sobrepaso ante la respuesta al escalón. Por otro lado, adoptando $k < 1$ resulta en un filtro menos selectivo pero con una respuesta subamortiguada. Un buen equilibrio entre tiempo de establecimiento, selectividad y bajo sobrepaso en la respuesta dinámica resulta adoptando $k = \sqrt{2}$.

Los SOGIs resultan una adecuada técnica de procesamiento para el filtrado de las señales de entrada y la estimación de la versión de la misma atrasada 90° . Sin embargo, para no producir en la salida errores de fase y amplitud, la frecuencia de resonancia del filtro debe ser igual a la frecuencia de línea. Las consecuencias de esta problemática se analizaron para los filtros pasa todo utilizados en el ESRF-PLL (Sección 3.3). Para evitar estos errores, se realimenta la

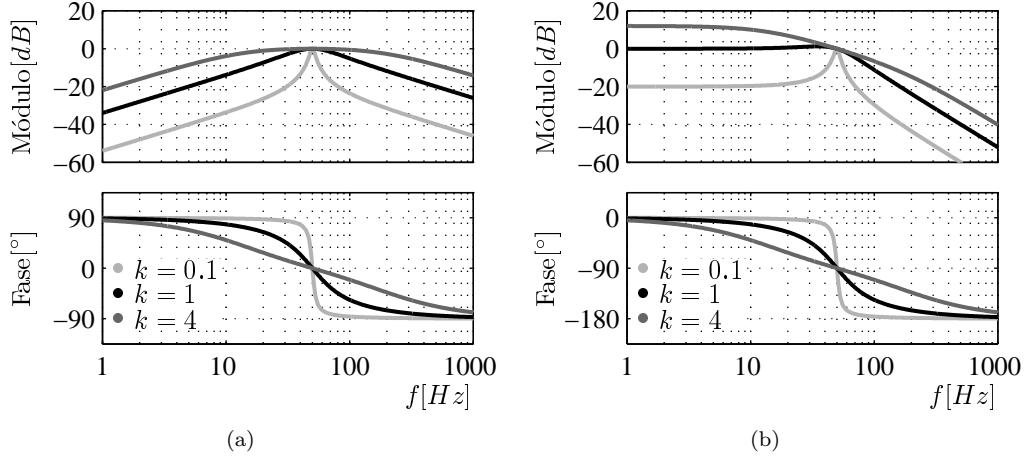


Figura 3.14: Respuesta en frecuencia del DSOGI. (a) Módulo y fase de $D(s)$ y (b) módulo y fase de $Q(s)$.

frecuencia estimada por el SRF-PLL convencional a fin de ajustar la frecuencia de resonancia de los filtros, por lo que se hace $\omega_r = \omega_{est}(t)$.

Una vez filtradas las señales, las mismas son procesadas en el bloque PSC que implementa la técnica de componentes simétricas en el marco de referencia estacionario. De esta manera se reduce el costo computacional de la implementación. La secuencia positiva de una terna en este marco de referencia resulta:

$$\begin{aligned}
 \vec{v}_{\alpha\beta+} &= T_{\alpha\beta} \vec{v}_{abc+} \\
 &= T_{\alpha\beta} T_+ \vec{v}_{abc} \\
 &= T_{\alpha\beta} T_+ T_{\alpha\beta}^{-1} \vec{v}_{\alpha\beta} \\
 &= \frac{1}{2} \begin{bmatrix} 1 & -\bar{q} \\ \bar{q} & 1 \end{bmatrix} \vec{v}_{\alpha\beta}
 \end{aligned} \tag{3.28}$$

De esta manera, se recupera la secuencia positiva de la terna mediante la implementación de sólo una suma y una resta, en comparación con la implementación en marco de referencia natural analizada en la sección previa (Ec. (3.24)). Esta transformada se efectúa en el bloque PSC para luego, mediante la transformada dq , cerrar el lazo de control del SRF-PLL convencional.

En el SRF-PLL convencional el error de fase es obtenido a partir de las transformadas $\alpha\beta$ y dq , las cuales no poseen dinámica. En este caso, los SOGIs modifican las señales de entrada, especialmente porque la frecuencia de resonancia se ajustada a medida que el PLL se sincroniza. Como resultado, el modelo matemático del lazo de fase del SRF-PLL (Figura 3.8) pierde validez para valores de ω_n cercanos a la frecuencia nominal de la red. Debido a esto, en [53] se propone

mantener las ecuaciones de diseño del controlador PI, pero se elige un ancho de banda reducido del modelo a fin de asegurar estabilidad en el lazo de fase. Los valores recomendados en el trabajo nombrado para los parámetros del sistema son $k = \sqrt{2}$, $\zeta = \sqrt{2}$ y $\omega_n = 2\pi 12,5 rad/s$.

En la [Figura 3.15](#) se presenta la respuesta del DSOGI-PLL ante diferentes perturbaciones de la red eléctrica. Los resultados son obtenidos a partir de una simulación del algoritmo en MATLAB®/SIMULINK® donde se ha configurado al sistema de sincronismo con los valores enunciados en el párrafo previo. En cada ensayo se muestra la señal de prueba, la frecuencia estimada ($f_{est}(t) = \omega_{est}(t)/2\pi$) y el error de fase obtenido como la diferencia entre la fase estimada por el método de sincronismo y la fase del generador ($\varphi_{error}(t) = \varphi_{est}(t) - \varphi_u(t)$). Inicialmente se adopta una terna ideal de frecuencia igual a $50Hz$ y amplitud unitaria. Se analiza la dinámica para un escalón de frecuencia de $5Hz$, un escalón simétrico de amplitud del -20% , un desbalance del 5% y un 5% de 5to armónico.

Analizando los resultados presentados en la [Figura 3.15](#), se verifica que el sistema logra un error de fase cero y ajusta la frecuencia estimada a su valor esperado en régimen permanente tanto para el escalón de frecuencia como para el cambio en la amplitud y la aparición de la secuencia negativa. Debido a que el ancho de banda del PLL es menor al valor adoptado para los métodos anteriormente descritos, el DSOGI-PLL exhibe los mayores tiempos de establecimiento y desviación máxima durante los transitorios. Ya que los SOGIs son configurados con una frecuencia de resonancia igual a la frecuencia de la red eléctrica, el máximo ancho de banda posible está limitado. Asegurar la estabilidad del lazo de control impide obtener velocidades mayores en la convergencia del sistema. La respuesta de este PLL se caracteriza por ripple resultado de la interacción entre los SOGIs y el SRF-PLL.

Otra consecuencia de los SOGIs y el bajo ancho de banda del SRF-PLL es el mayor rechazo a las componentes armónicas. Esto se verifica al comparar el rechazo a la 5ta armónica mostrado en la [Figura 3.15\(d\)](#) en contraste con los métodos previamente analizados.

Finalmente, aunque este sistema logra eliminar el efecto de los desbalances y mitiga adecuadamente el efecto de los armónicos de la red eléctrica, tiene como desventaja la imposibilidad de aumentar la velocidad de convergencia, los transitorios de enganche caracterizados por respuestas oscillatorias subamortiguadas y la complejidad de la implementación en comparación con el SRF-PLL convencional.

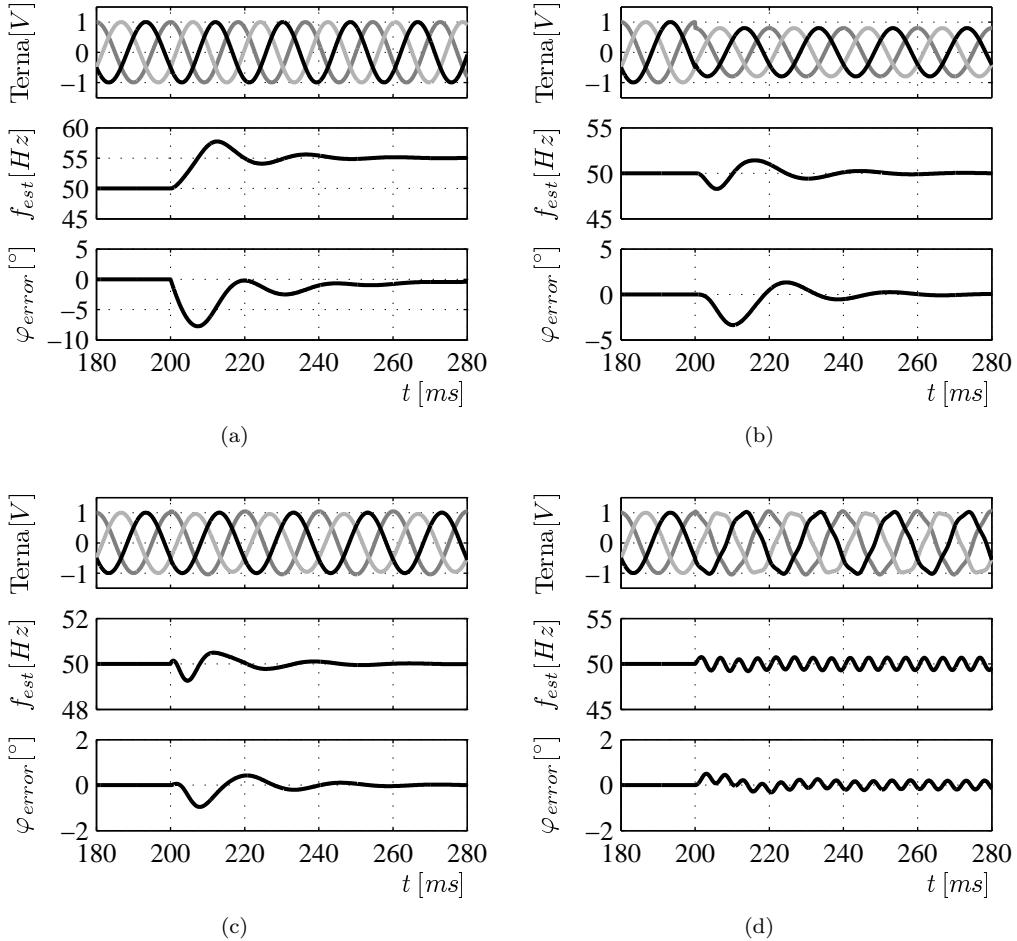


Figura 3.15: Respuesta del DSOGI-PLL ante diferentes perturbaciones. Se presentan las señales de prueba, la frecuencia estimada y el error de fase para $\omega_n = 12,5\text{Hz}$. (a) Escalón de frecuencia de 5Hz , (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico.

3.5. Decoupled Double Synchronous Reference Frame PLL (DDSRF-PLL)

En [54] se presenta un método de sincronismo trifásico llamado DDSRF-PLL, el cual se basa en el SRF-PLL convencional. Este método se propone como la solución óptima para el rechazo de los desbalances en sistemas trifásicos. El DDSRF-PLL se basa en un detector de secuencias que aísla la secuencia positiva y negativa de la componente fundamental de la terna y utiliza la primera para sincronizar un SRF-PLL convencional. Mediante la transformada α/β se calcula el vector espacial afectado por ambas secuencias, y luego se representa estas señales en dos marcos de referencia sincrónicos. Uno girando con la fase estimada por el SRF-PLL y el otro girando en el sentido contrario. Mediante la utilización de una red de desacople (DN, Decoupling Network)

se aísla ambas secuencias eliminándose los errores del SRF-PLL convencional en la estimación de la fase y frecuencia de la red eléctrica bajo condiciones de desbalance.

Para describir el principio de funcionamiento se supone una señal trifásica compuesta por dos secuencias genéricas, una girando con una fase igual a $n\varphi_u(t) + \varphi_n$ y otra girando con un fase igual $m\varphi_u(t) + \varphi_m$. Como resultado de esta suposición, la señal de prueba queda:

$$\begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = V_n \begin{bmatrix} \cos(n\varphi_u(t) + \varphi_n) \\ \cos(n\varphi_u(t) + \varphi_n - 2\pi/3) \\ \cos(n\varphi_u(t) + \varphi_n + 2\pi/3) \end{bmatrix} + V_m \begin{bmatrix} \cos(m\varphi_u(t) + \varphi_m) \\ \cos(m\varphi_u(t) + \varphi_m - 2\pi/3) \\ \cos(m\varphi_u(t) + \varphi_m + 2\pi/3) \end{bmatrix} \quad (3.29)$$

donde V_n y V_m son las amplitudes pico de cada secuencia. Bajo estas condiciones de funcionamiento, el vector espacial obtenido mediante la utilización de la transformada $\alpha\beta$ resulta:

$$v_{\alpha\beta}(t) = V_n e^{j(n\varphi_u(t) + \varphi_n)} + V_m e^{j(m\varphi_u(t) + \varphi_m)} \quad (3.30)$$

Estas señales pueden ser representadas en dos marcos de referencia sincrónicos, uno girando con la fase $n\varphi_u(t)$ y otro girando con la fase $m\varphi_u(t)$, asumiendo que $\varphi_u(t)$ es la fase de la red eléctrica a fin de facilitar el análisis. De esta manera, se obtiene:

$$\begin{cases} v_{dqn}(t) &= v_{\alpha\beta}(t)e^{-jn\varphi_u(t)} = V_n e^{j\varphi_n} + V_m e^{j((m-n)\varphi_u(t) + \varphi_m)} \\ v_{dqm}(t) &= v_{\alpha\beta}(t)e^{-jm\varphi_u(t)} = V_n e^{j((n-m)\varphi_u(t) + \varphi_n)} + V_m e^{j\varphi_m} \end{cases} \quad (3.31)$$

Separando la parte real de la imaginaria de ambos marcos de referencia, la Ec. (3.31) puede escribirse en forma matricial quedando:

$$\begin{cases} \begin{bmatrix} v_{dn}(t) \\ v_{qn}(t) \end{bmatrix} = V_n \begin{bmatrix} \cos(\varphi_n) \\ \sin(\varphi_n) \end{bmatrix} + V_m \begin{bmatrix} \cos((m-n)\varphi_u(t) + \varphi_m) \\ \sin((m-n)\varphi_u(t) + \varphi_m) \end{bmatrix} \\ \begin{bmatrix} v_{dm}(t) \\ v_{qm}(t) \end{bmatrix} = V_m \begin{bmatrix} \cos(\varphi_m) \\ \sin(\varphi_m) \end{bmatrix} + V_n \begin{bmatrix} \cos((n-m)\varphi_u(t) + \varphi_n) \\ \sin((n-m)\varphi_u(t) + \varphi_n) \end{bmatrix} \end{cases} \quad (3.32)$$

Es importante notar que las señales en el marco de referencia $n\varphi_u(t)$ tienen como valor medio el seno y el coseno de la fase inicial de la secuencia n de la señal de entrada y un ripple consecuencia de la secuencia m . Lo mismo puede verificarse analizando las señales del marco

de referencia $m\varphi_u(t)$. Como conclusión, la secuencia m de la señal de entrada se ve como una perturbación en el marco de referencia n y la secuencia n se ve como una perturbación en el marco de referencia m .

Asumiendo que n y m corresponden a la secuencia positiva y negativa de la componente fundamental de la red eléctrica respectivamente, es decir, $n = 1$ y $m = -1$, y trabajando la [Ec. \(3.32\)](#), se obtiene:

$$\left\{ \begin{array}{l} \begin{bmatrix} v_{d+}(t) \\ v_{q+}(t) \end{bmatrix} = V_+ \begin{bmatrix} \cos(\varphi_+) \\ \sin(\varphi_+) \end{bmatrix} + V_- \begin{bmatrix} \cos(2\varphi_u(t) - \varphi_-) \\ -\sin(2\varphi_u(t) - \varphi_-) \end{bmatrix} \\ \begin{bmatrix} v_{d-}(t) \\ v_{q-}(t) \end{bmatrix} = V_- \begin{bmatrix} \cos(\varphi_-) \\ \sin(\varphi_-) \end{bmatrix} + V_+ \begin{bmatrix} \cos(2\varphi_u(t) + \varphi_+) \\ \sin(2\varphi_u(t) + \varphi_+) \end{bmatrix} \end{array} \right. \quad (3.33)$$

Trabajando matemáticamente esta ecuación:

$$\left\{ \begin{array}{l} \begin{bmatrix} v_{d+}(t) \\ v_{q+}(t) \end{bmatrix} = V_+ \begin{bmatrix} \cos(\varphi_+) \\ \sin(\varphi_+) \end{bmatrix} + V_- \cos(\varphi_-) \begin{bmatrix} \cos(2\varphi_u(t)) \\ -\sin(2\varphi_u(t)) \end{bmatrix} + V_- \sin(\varphi_-) \begin{bmatrix} \sin(2\varphi_u(t)) \\ \cos(2\varphi_u(t)) \end{bmatrix} \\ \begin{bmatrix} v_{d-}(t) \\ v_{q-}(t) \end{bmatrix} = V_- \begin{bmatrix} \cos(\varphi_-) \\ \sin(\varphi_-) \end{bmatrix} + V_+ \cos(\varphi_+) \begin{bmatrix} \cos(2\varphi_u(t)) \\ \sin(2\varphi_u(t)) \end{bmatrix} + V_+ \sin(\varphi_+) \begin{bmatrix} -\sin(2\varphi_u(t)) \\ \cos(2\varphi_u(t)) \end{bmatrix} \end{array} \right. \quad (3.34)$$

Es importante notar que el primer conjunto de ecuaciones ($[v_{d+}(t) \ v_{q+}(t)]^T$) corresponde a las señales empleadas por el SRF-PLL convencional para la sincronización con la red eléctrica. Para este fin se emplea la señal $v_{q+}(t)$ como error de fase del lazo de control el cual ajusta la fase del marco de referencia para que $\varphi_+ = 0$. Se verifica sin embargo que la señal utilizada para este fin está afectada por dos señales sinusoidales de dos veces la frecuencia de la red eléctrica, por lo que, aun logrando $\varphi_+ = 0$, se obtiene un ripple sumado al valor esperado. Este efecto se verificó en la respuesta del SRF-PLL convencional analizada en la [Sección 3.2](#).

Analizando la [Ec. \(3.34\)](#) se infiere que las amplitudes de las sinusoides observadas en cada señal corresponden a los valores medios de las señales en el marco de referencia contrario. El DDSRF-PLL mitiga estas perturbaciones basado en la relación estipulada previamente entre ambos marcos de referencia. En este sistema se suprime el efecto de la secuencia negativa en el

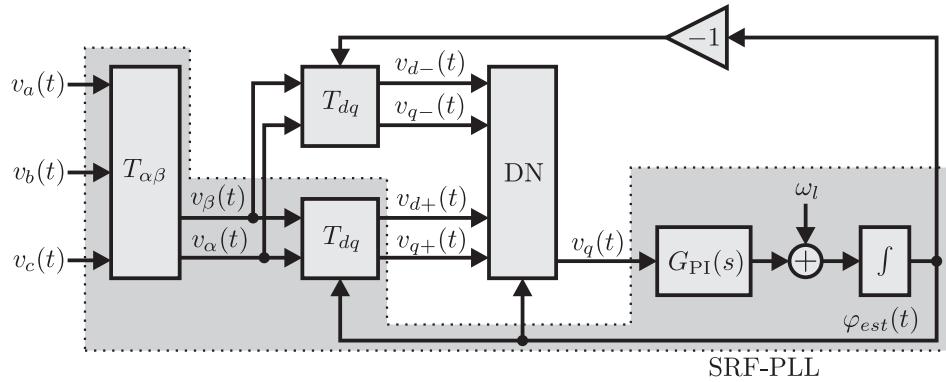


Figura 3.16: Diagrama en bloques del DDSRF-PLL.

marco de referencia positivo, y viceversa, mediante la eliminación matemática del ripple. Para ello se utilizan filtros pasa bajos que recuperan el valor medio de cada señal, se sintetizan las dos señales sinusoidales que las perturban y se restan estas de las señales originales.

El diagrama en bloques del DDSRF-PLL se muestra en la Figura 3.16. Luego de que la terna es representada en el marco de referencia estacionario, se obtiene su representación en el marco de referencia sincrónico con $\varphi_{est}(t)$ y $-\varphi_{est}(t)$. Una vez obtenidas las componentes en fase y cuadratura de cada marco de referencia, las mismas son procesadas por la DN (Decoupling Network) a fin de aislar la secuencia positiva de la negativa para finalmente utilizar un SRF-PLL convencional para la estimación de la fase de la red eléctrica.

La estructura de la DN se presenta en la Figura 3.17. Este elemento está compuesto por dos celdas de desacoplo (DC, Decoupling Cell) y cuatro filtros pasa bajos. La estructura de la DC para el caso particular de estimar la secuencia positiva de la terna se muestra en la Figura 3.18. En la misma se sintetiza la oscilación de dos veces la frecuencia de la componente fundamental y se resta la misma matemáticamente de las señales en fase y cuadratura del marco de referencia sincrónico utilizado. La transferencia de los filtros pasa bajos resulta:

$$G_{LPF}(s) = \frac{\omega_c}{\omega_c + s} \quad (3.35)$$

siendo ω_c la frecuencia de corte del filtro. En [54] se define un parámetro k como el cociente entre ω_c y la frecuencia nominal de la red eléctrica. En el trabajo nombrado se adopta un $k = \sqrt{2}/2$ como la mejor relación entre velocidad de respuesta y reducidas oscilaciones durante el transitorio.

Al igual que en el DSOGI-PLL, en el DDSRF-PLL la DN modifica las señales de entrada

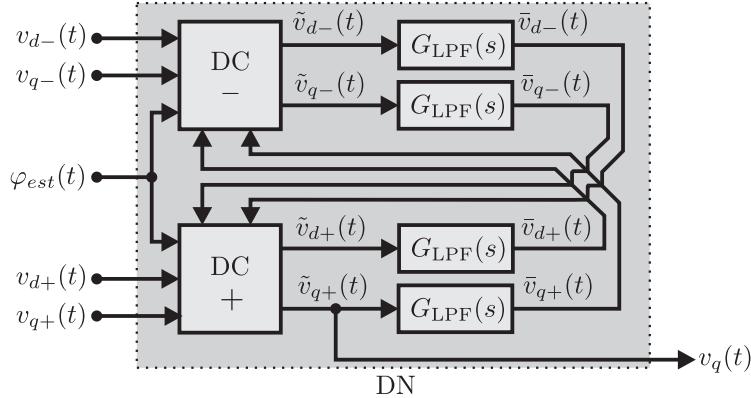


Figura 3.17: Diagrama en bloques de la red de desacople (DN, Decoupling Network).

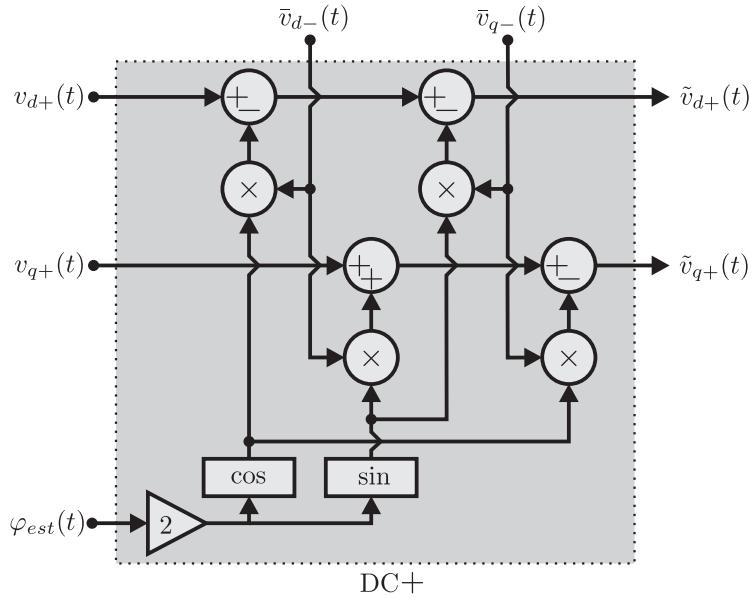


Figura 3.18: Diagrama en bloques de la celdas de desacople (DC, Decoupling Cell) para la estimación de la secuencia positiva de la red eléctrica.

lo cual invalida el modelo matemático convencional del SRF-PLL para frecuencias cercanas a la frecuencia nominal de la red eléctrica. Debido a esto, se propone mantener las ecuaciones de diseño del controlador PI adoptándose un ancho de banda reducido del modelo a fin de asegurar estabilidad en el lazo de fase. En [54], los valores recomendados para este PLL son $k = \sqrt{2}/2$, $\zeta = \sqrt{2}/2$ y $\omega_n = 2\pi 25 rad/s$.

En la Figura 3.19 se presenta la respuesta del DSOGI-PLL ante diferentes perturbaciones de la red eléctrica. Los resultados son obtenidos a partir de una simulación del algoritmo en MATLAB®/SIMULINK® donde se ha configurado al sistema de sincronismo con los valores enunciados en el párrafo previo. En cada ensayo se muestra la señal de prueba, la frecuencia

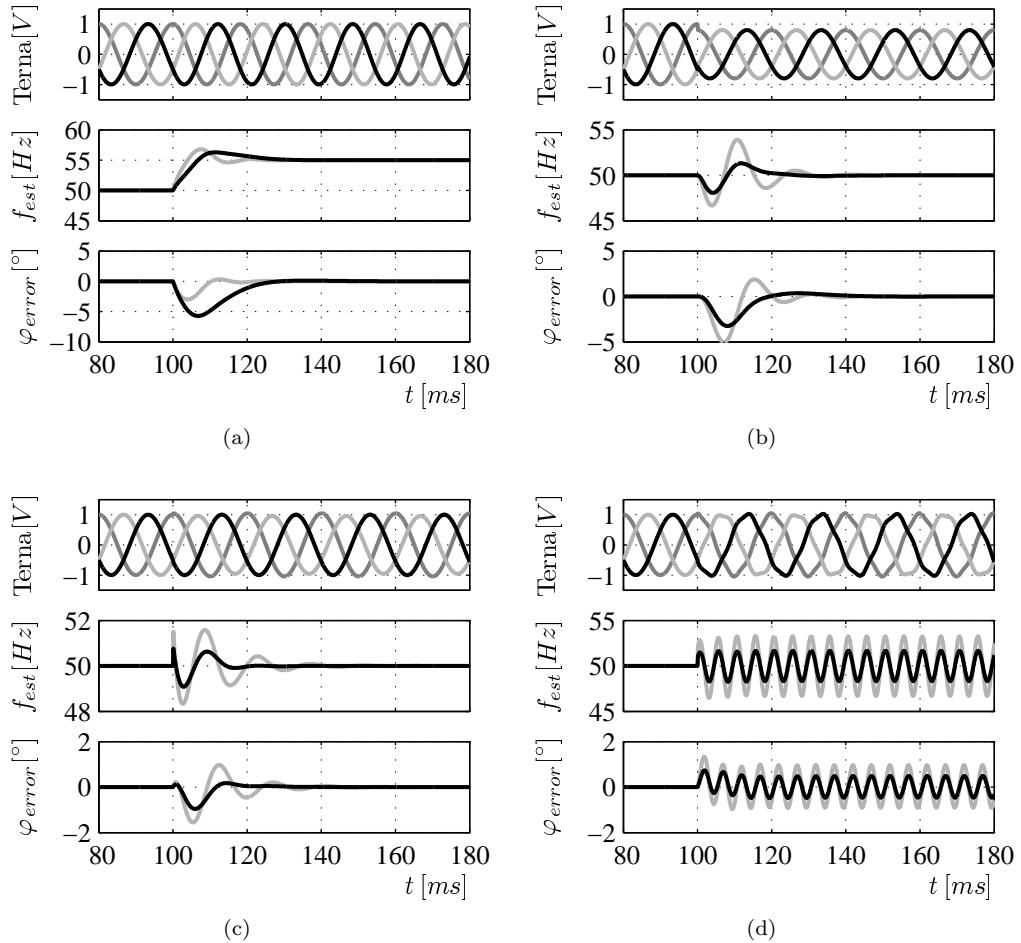


Figura 3.19: Respuesta del DDSRF-PLL ante diferentes perturbaciones. Se presentan las señales de prueba, la frecuencia estimada y el error de fase para $\omega_n = 50Hz$ (gris) y $\omega_n = 25Hz$ (negro). (a) Escalón de frecuencia de $5Hz$, (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico.

estimada ($f_{est}(t) = \omega_{est}(t)/2\pi$) y el error de fase obtenido como la diferencia entre la fase estimada por el método de sincronismo y la fase del generador ($\varphi_{error}(t) = \varphi_{est}(t) - \varphi_u(t)$). Inicialmente se adopta una terna ideal de frecuencia igual a $50Hz$ y amplitud unitaria. Se analiza la dinámica para un escalón de frecuencia de $5Hz$, un escalón simétrico de amplitud del -20% , un desbalance del 5% y un 5% de 5to armónico.

El DDSRF-PLL logra error de fase cero y correctamente estimación de la frecuencia de la red eléctrica en régimen permanente cuando la terna se ve afectada por un escalón de frecuencia, amplitud y la aparición de la secuencia negativa. La respuesta del sistema para $\omega_n = 50Hz$ presenta oscilaciones debido a que el ancho de banda es mayor a la frecuencia de corte de los filtros pasa bajos. En relación a la respuesta ante la aparición del 5to armónico, el rechazo del DDSRF-PLL ante esta perturbación es menor al presentado por el DSOGI-PLL. Sin embargo,

es importante notar que esto es resultado principalmente de que el segundo se ha configurado con un ancho de banda menor.

Aunque este sistema tiene una buena dinámica de respuesta cuando se adopta un reducido ancho de banda, la implementación del mismo requiere de un alto costo computacional como resultado de tener que implementar las dos DC, los cuatro filtros pasa bajos y el SRF-PLL convencional.

3.6. Three Phase Enhanced PLL (3EPLL)

En [45] se propone un método de sincronismo para redes trifásicas desbalanceadas llamado 3EPLL (Three Phase Enhanced Phase Locked Loop). Este sistema puede considerarse como una mejora del ESRF-PLL donde se reemplaza los tres filtros pasa todo y el SRF-PLL convencional por cuatro PLL monofásicos denominados EPLL (Enhanced Phase Locked Loop) [55].

El EPLL es un sistema de sincronismo monofásico que opera como un filtro de dinámica variable donde la frecuencia de resonancia se ajusta hasta igualar la frecuencia fundamental de la señal de entrada. La estructura de este sistema se obtiene a partir de técnicas de diseño de control óptimo. El diagrama en bloques del EPLL se muestra en la [Figura 3.20](#), donde pueden distinguirse dos partes funcionales, el lazo de fase y el lazo de amplitud. Este sistema de sincronismo no sólo estima la fase ($\varphi_{est}(t)$) y la amplitud ($A_{est}(t)$) de la componente fundamental de la señal de entrada, si no que también provee de las señales $v_a^*(t)$ y $qv_a^*(t)$. La primera puede considerarse como la componente fundamental de la señal de entrada normalizada y la segunda como una versión de la primera adelantada 90° . En el trabajo nombrado se propone el uso de un control PI para el lazo de fase y un control integrador puro para el lazo de amplitud, siendo las ecuaciones de diseño:

$$u_1 = \frac{3}{2}\tau 10^6 \quad u_2 = \frac{2\xi}{\omega_n} \quad u_3 = \frac{4\xi\omega_n}{3u_2 V_+} \quad (3.36)$$

donde τ es la constante de tiempo del lazo de amplitud, V_+ es la amplitud de la señal de entrada y ξ y ω_n son el factor de amortiguamiento y ancho de banda del sistema respectivamente.

El diagrama en bloques del método trifásico se presenta en la [Figura 3.21](#). Ya que el EPLL sintetiza como señal de salida, no sólo la componente fundamental de la señal de entrada filtrada, si no que también sintetiza una versión de la misma adelantada 90° , en el 3EPLL se propone utilizar tres de estos sistemas para estimar el par de señales de cada fase de la

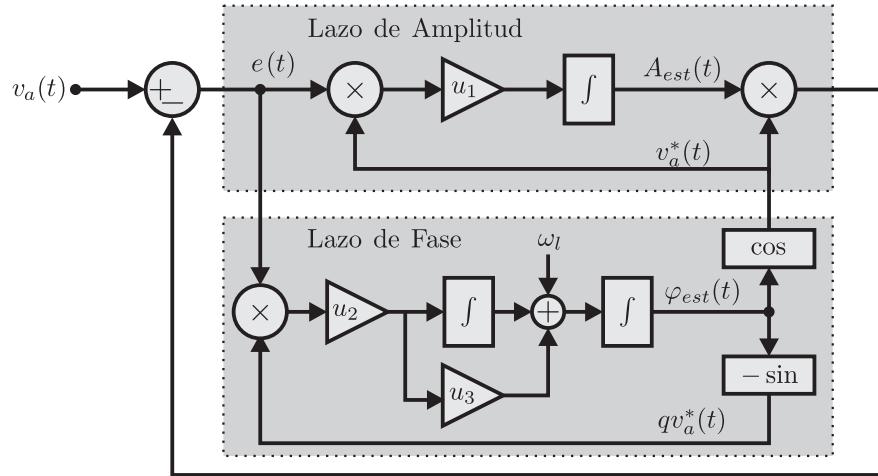


Figura 3.20: Diagrama en bloques del EPLL.

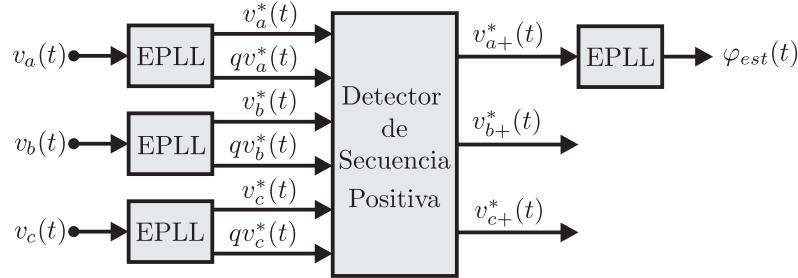


Figura 3.21: Diagrama en bloques del 3EPLL.

terna y mitigar las perturbaciones de la línea. Luego, los tres pares de señales son procesadas en el detector de secuencia positiva descrito en la [Sección 3.3](#). Ya que los EPLL se ajustan en frecuencia, obteniendo error nulo en régimen permanente, este método no presenta la limitación del método propuesto en [52]. Por último, debido a que la secuencia negativa y secuencia cero de la componente fundamental son eliminadas por el detector de secuencia positiva, un análisis monofásico de las señales filtradas es suficiente para el procesamiento de la terna, por lo que se utiliza solamente un cuarto EPLL para la obtención de la información de fase de la red eléctrica.

En la [Figura 3.22](#) se presenta la respuesta del 3EPLL ante diferentes perturbaciones de la red eléctrica. Los resultados son obtenidos a partir de una simulación del algoritmo en MATLAB®/SIMULINK® donde se ha configurado al sistema de sincronismo con $V_+ = 1V$, $\tau = 0,01$ (equivalente a un tiempo de establecimiento de $5\tau = 50ms$), $\xi = \sqrt{2}/2$ y $\omega_n = 25Hz$. En cada ensayo se muestra la señal de prueba, la frecuencia estimada ($f_{est}(t) = \omega_{est}(t)/2\pi$) y el error de fase obtenido como la diferencia entre la fase estimada por el método de sincronismo y la fase del generador ($\varphi_{error}(t) = \varphi_{est}(t) - \varphi_u(t)$). Inicialmente se adopta una terna ideal

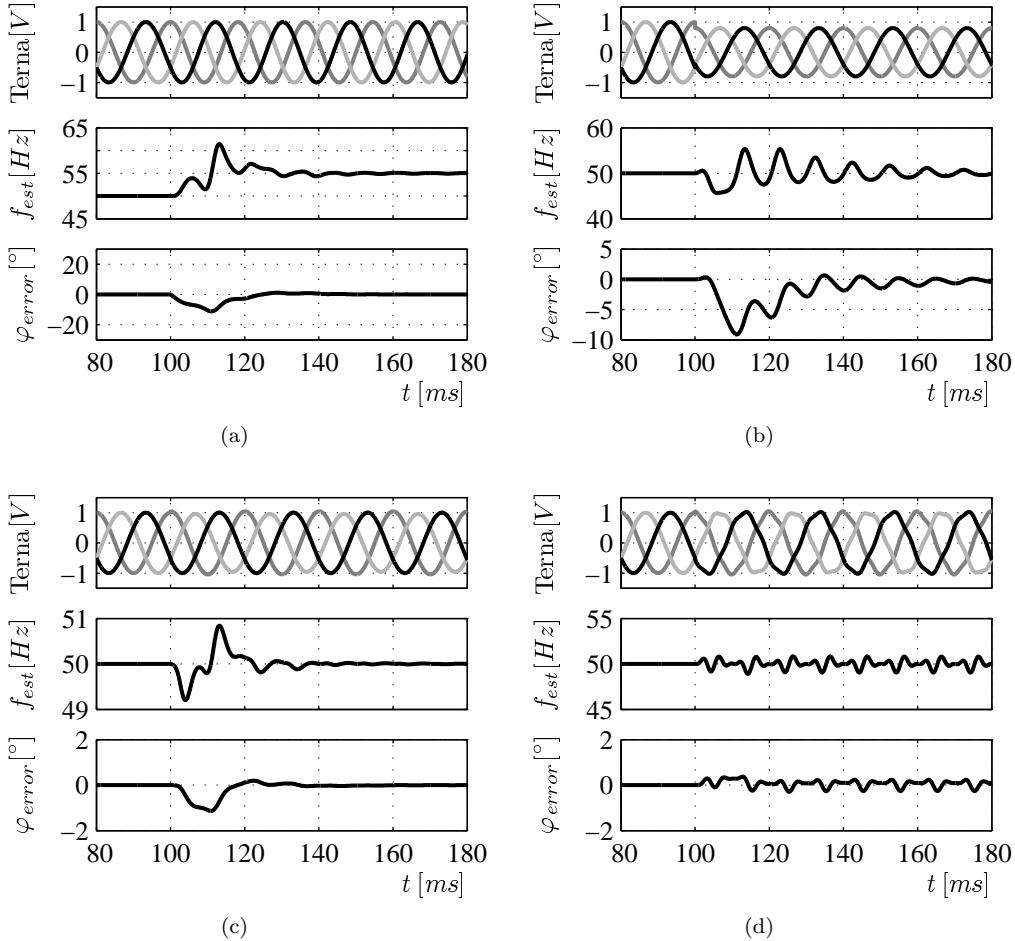


Figura 3.22: Respuesta del 3EPLL ante diferentes perturbaciones. Se presentan las señales de prueba, la frecuencia estimada y el error de fase. (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.

de frecuencia igual a 50Hz y amplitud unitaria. Se analiza la dinámica para un escalón de frecuencia de 5Hz, un escalón simétrico de amplitud del -20 %, un desbalance del 5 % y un 5 % de 5to armónico.

Como se verifica en la figura, el 3EPLL logra error de fase cero en régimen permanente ante el escalón de frecuencia y el escalón de amplitud. La respuesta dinámica se caracteriza por transitorios con oscilaciones subamortiguadas de grandes tiempos de establecimiento. El tipo de respuesta es resultado de que primero se deben sincronizar los tres EPLL conectados a la terna y luego se sincroniza el cuarto EPLL conectado al detector de secuencia positiva. Para el escalón de amplitud se aprecian los mayores tiempos de convergencia y desviaciones máximas en el error de fase en comparación con el resto de los métodos analizados. Un incremento en la ganancia del lazo de amplitud para aumentar la velocidad de convergencia llevaría a la

inestabilidad del lazo de fase con la necesidad de reducir la ganancia del mismo y, por ende, afectar nuevamente la velocidad de convergencia. Por otro lado, el sistema rechaza el efecto del desbalance y mantiene un error reducido ante la presencia del 5to armónico como resultado del reducido ancho de banda real que presenta el sistema.

A pesar de que el 3EPLL mantiene una adecuada inmunidad ante las perturbaciones de la red eléctrica, la imposibilidad de obtener velocidades de convergencia mayores y el gran poder de procesamiento necesario para implementar los cuatro EPLL y del detector de secuencia positiva lo hacen inadecuado para aplicaciones de alta dinámica y/o recursos reducidos. Además presenta dificultades en el ajuste de sus parámetros debido a que las ecuaciones de diseño no relacionan la ganancia del lazo de amplitud con las ganancias del lazo de fase y la interacción resultante al diseñar ambas partes por separado. Por lo tanto, la configuración del sistema debe realizarse mediante la observación de la respuesta ante perturbaciones.

3.7. Otros métodos trifásicos de sincronismo

En este capítulo se han analizado algunos de los métodos de sincronismo más nombrados en la literatura, los cuales han cobrado cierta relevancia tanto por sus características distintivas o por lo innovador de su propuesta. Sin embargo como resultado del gran interés actual en desarrollar nuevos métodos de sincronismo con mayor eficiencia y robustez, en la literatura se encuentran gran cantidad de trabajos que no se han incluido en la lista previa. Por esta razón se presenta en esta sección una lista de otros métodos menos difundidos que tienen enfoques o características que pueden ser de interés para ciertas aplicaciones:

- **Synchronous Reference Frame PLL with Positive Sequence Filter (PSF-PLL).**

En [56] se describe un método de sincronismo basado en el SRF-PLL convencional que adiciona entre la transformada $\alpha\beta$ y transformada dq , un filtro digital resonante tipo integrador de señales sinusoidal (SSI, Sinusoidal Signal Integrators) [57]. El SSI permite mejorar el rechazo del PLL ante desbalances y armónicos ya que recupera la componente fundamental de secuencia positiva de la terna a partir de una terna distorsionada. Este sistema mantiene un gran rechazo a las perturbaciones nombradas pero requiere de gran poder de cálculo para su implementación como resultado de los cuatro filtros de segundo orden utilizados en el SSI. Al mismo tiempo tiene una elevada sensibilidad ante cambios frecuenciales debido a que la frecuencia central de estos filtros no se adapta dinámicamente

con la frecuencia estimada.

- **Synchronous Reference Frame PLL with Sinusoidal Signal Integrator (SSI-PLL).** Este método de sincronismo presenta una estructura similar a la del PSF-PLL, pero emplea un filtro alternativo para la implementación del SSI [58]. A diferencia del método presentado previamente, el SSI utilizado por el SSI-PLL procesa solamente la tensión $v_\alpha(t)$ para eliminar el efecto de la distorsión en la forma de onda de la tensión de línea y sintetiza la tensión $v_\beta(t)$ para rechazar el efecto de los desbalances descartando la tensión original $v_\beta(t)$. Esto es posible debido a la característica ortogonal de ambas tensiones. A pesar de que este sistema logra una estimación de la fase y la frecuencia libre de ripple, aún trabajando en redes eléctricas muy distorsionadas, se registra un error de fase constante dependiente de la secuencia negativa presente en la terna. Este efecto es consecuencia de la generación de la tensión $v_\beta(t)$ y el descarte de la tensión original, lo cual, no permite detectar correctamente la fase de la secuencia positiva de la terna.
- **Three-Phase Magnitude-Phase-Locked Loop (3MPLL).** El 3MPLL es un PLL trifásico que, mediante un doble lazo de enganche, estima la fase, frecuencia y amplitud de la secuencia positiva de las tensiones de línea. Esta estructura ha sido propuesta en [59] y deriva del EPLL propuesto en [55] y analizado en la [Sección 3.6](#). La estructura del 3MPLL surge de adecuar el EPLL al sistema trifásico distinguiéndose dos partes funcionales, un lazo que estima la fase y frecuencia de la terna y otro que estima la amplitud y ajusta las señales de salida sintetizadas. Se puede demostrar que matemáticamente el lazo de fase se comporta igual al SRF-PLL, por lo que este sistema no difiere de este método de sincronismo convencional ni propone estrategias alternativas para mitigar el efecto de desbalances y armónicos de red.
- **Synchronous Reference Frame with Moving Average Filter (MAF-SRF).** En [60] se propone un sistema de sincronismo basado en el SRF-PLL que elimina el efecto de los desbalances y armónicos en la fase estimada fuera del lazo de control del sistema de sincronismo convencional. Para ello se sintetiza el ripple generado por las perturbaciones a partir de un filtro de ventana deslizante y un integrador, y se resta este de la fase estimada. Este sistema logra eliminar los errores cometidos por el SRF pero distorsiona notablemente la fase durante los transitorios.

- **Filtered-Sequence Phase-Locked Loop (FSPLL).** Este sistema de sincronismo basado en el SRF-PLL es propuesto en [61] para la estimación de la fase y frecuencia de la red eléctrica y la síntesis de la componente fundamental de secuencia positiva de una terna distorsionada. Para ello se adiciona a la estructura convencional del SRF-PLL dos etapas de transformación en marco de referencia estacionario y sincrónico y dos filtros de ventana deslizante para el rechazo de perturbaciones. Además, para la fase de referencia de estas transformaciones se emplea una fase estimada a partir de un detector de cruce por cero. A pesar de que el sistema logra gran rechazo ante perturbaciones, el costo computacional de la implementación es significativamente elevado ya que se requiere el cálculo de dos transformaciones α/β , dos transformaciones dq , dos filtros de ventana deslizante, el estimador de fase basado en la detección de los cruce por cero de la terna y el lazo de fase del SRF-PLL convencional.

3.8. Conclusiones del capítulo

En este capítulo se ha analizado diversos métodos para la estimación de la frecuencia y fase de la red eléctrica adecuados para su implementación en software. Los aspectos distintivos de cada propuesta se han determinado a partir de analizar su estructura, complejidad, rechazo ante perturbaciones y adaptabilidad en frecuencia. En particular, se han evaluado diversos sistemas que centran su funcionamiento en la estimación de la frecuencia y fase de la entrada a partir de detectar la secuencia positiva de la terna. De esta forma se mitiga el ripple de dos veces la frecuencia de la componente fundamental observado en el SRF-PLL convencional ante condiciones de desbalance. El análisis de la estructura de cada propuesta revela que la complejidad de la implementación se ve incrementada a fin de lograr un adecuado rechazo ante esta perturbación. Mediante las simulaciones de los sistemas se ha verificado que la velocidad de respuesta también se ve afectada por las mismas.

La mayoría de los sistemas que se encuentran en la literatura basan su funcionamiento en el SRF-PLL y proponen estrategias alternativas que buscan mejorar el rendimiento de este PLL. Sin embargo no hay un sistema de sincronismo que se destaque en todos los aspectos analizados, es decir, simplicidad, elevado rechazo ante perturbaciones y adecuada respuesta dinámica. Si bien hay algunos métodos que cumplen parcialmente con los aspectos evaluados, ninguno de ellos ha demostrado ser capaz de rechazar en forma absoluta el efecto de la contaminación

armónica, la cual puede ser elevada especialmente en redes eléctricas débiles. Como resultado, todavía existe un gran campo de investigación en esta temática. Una alternativa consiste en el diseño de nuevos PLLs basados en principios de funcionamiento diferentes a los analizados hasta ahora, como por ejemplo los sistemas de período de muestreo variable que se presentarán en los siguientes capítulos.

Capítulo 4

PLL trifásico de período de muestreo variable

En este capítulo se describe un método de sincronismo de período de muestreo variable llamado Variable Sampling Period PLL (VSP-PLL). Este método se caracteriza por tener una frecuencia de muestreo variable, la cual se ajusta automáticamente a un múltiplo de la frecuencia de línea. De esta forma se actualiza la información de la fase instantánea de la red eléctrica una cantidad entera de veces por ciclo de la componente fundamental.

Este sistema de sincronismo fue originalmente propuesto en [36], en donde se describe el desarrollo teórico y se presentan simulaciones del método ante perturbaciones tipo escalón de frecuencia y fase. Posteriormente, y como parte de los trabajos realizados en esta tesis, en [62] se validó el desarrollo teórico mediante ensayos experimentales y se evaluó el comportamiento ante desbalance y componentes armónicos.

En el presente capítulo se realiza una revisión de este sistema de sincronismo y se evalúa el comportamiento del sistema mediante una implementación en DSP. Finalmente, a fin de estudiar las limitaciones y desventajas de esta propuesta, se realiza un análisis del efecto de las perturbaciones en el detector de error de fase utilizado por este sistema de sincronismo. A partir de este análisis, se verifica las limitaciones de esta propuesta y su sensibilidad ante perturbaciones de las tensiones de línea.

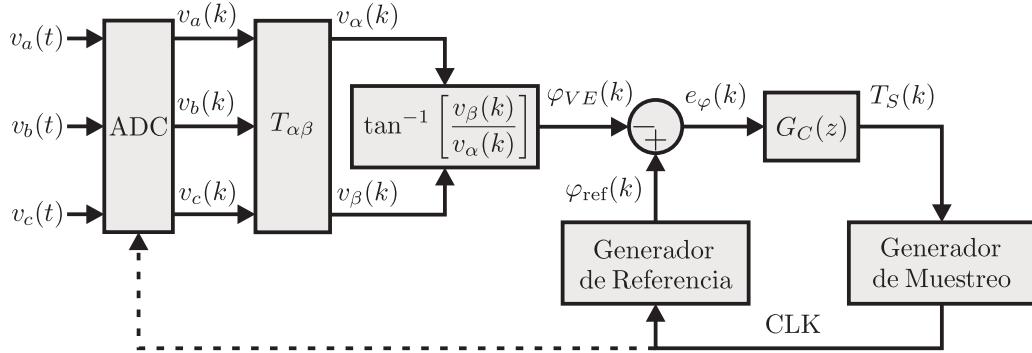


Figura 4.1: Diagrama en bloques del VSP-PLL.

4.1. Revisión del principio de funcionamiento del PLL trifásico de período de muestreo variable

4.1.1. Estructura y principio de funcionamiento

El VSP-PLL se comporta como un PLL digital que ajusta la frecuencia de muestreo hasta resultar en un múltiplo entero de la frecuencia de línea. De esta manera la actualización de la información de la fase instantánea ($\varphi_u(k)$) se realiza N_{PLL} veces por ciclo de la componente fundamental. El diagrama en bloques del sistema se muestra en la [Figura 4.1](#).

El VSP-PLL emplea la transformación $\alpha\beta$ a fin de representar las señales de la red en el marco de referencia estacionario ([Sección 2.3.1](#)). Obtenidas ambas componentes en un instante dado, se calcula la fase de vector espacial ($\varphi_{VE}(k)$) representativo de la red eléctrica mediante la implementación de una función arcotangente. De esta manera, se obtiene una representación compacta y conveniente de la fase de la terna independientemente de la amplitud de las señales. Esta propiedad es de fundamental importancia para el algoritmo ya que permite independizar el control de esta variable, simplificando el procedimiento, y por ende disminuyendo los posibles factores de error.

En condiciones ideales de funcionamiento, es decir, sin distorsiones ni perturbaciones, la fase del vector espacial es igual a la fase instantánea de la red ($\varphi_{VE}(k) = \varphi_u(k)$). Es importante notar que este procedimiento puede ser considerado como una ganancia directa ya que la misma no posee dinámica. Sin embargo, cuando las señales de la red no corresponden a su forma ideal o están inmersas en ruido, el valor de $\varphi_{VE}(k)$ no corresponde a los valores de $\varphi_u(k)$. A fin de filtrar esta variable sin adicionar error ni retardo, como ocurría en los sistemas descritos en la [Sección 3.1.1](#), se provee de un lazo de control que mitiga las perturbaciones presentes en la

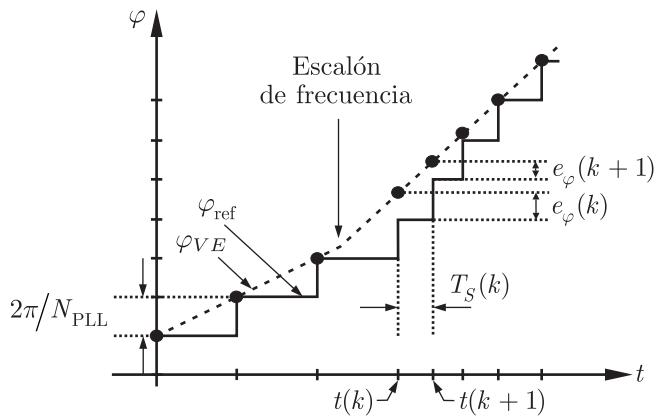


Figura 4.2: Fase instantánea y fase de referencia del VSP-PLL.

terna y actualiza el período de muestreo del sistema.

El funcionamiento del lazo de fase utilizado en el VSP-PLL se basa en comparar $\varphi_{VE}(k)$ con una fase de referencia, $\varphi_{ref}(k)$. Esta referencia se genera de forma tal de realizar saltos de $2\pi/N_{PLL}$ entre instantes de muestreos consecutivos (Figura 4.2). La diferencia entre ambas señales se denomina error de fase ($e_\varphi(k)$) y alimentará al controlador del sistema a fin de determinar el próximo valor del período de muestreo ($T_S(k)$). El objetivo del controlador es ajustar $T_S(k)$ de manera tal de obtener diferencia nula entre fases. Como resultado, la pendiente de $\varphi_{ref}(k)$ se ajusta a la pendiente de la fase de la red eléctrica logrando que el PLL se sincronice.

4.1.2. Modelo matemático y diseño del controlador

A fin de diseñar un controlador que permita estabilizar al sistema y lograr una adecuada respuesta dinámica, es necesario desarrollar un modelo matemático del VSP-PLL. Como la frecuencia de muestreo varía dinámicamente hasta resultar en un múltiplo de la frecuencia de línea, el modelado del sistema se simplifica considerablemente ya que la representación mediante transformada z de las señales es independiente de la frecuencia de muestreo. En el diseño del controlador se priorizará la sencillez y facilidad de implementación en un sistema de procesamiento digital.

La Figura 4.2 muestra las fases $\varphi_{VE}(k)$ y $\varphi_{ref}(k)$ en instantes de muestreo consecutivos. En este caso, se efectúa un escalón de frecuencia, lo cual lleva a que las pendientes de dichas señales sean diferentes y se produzca un transitorio hasta recuperar el sincronismo. A medida que las pendientes se van igualando, el error disminuye y el valor de $T_S(k)$ se estabiliza en un múltiplo del período de la señal de línea.

A continuación se describe la representación en el plano z de las señales relevantes del sistema analizado. Para el siguiente análisis se asume una terna ideal tal que $\varphi_{VE}(k) = \varphi_u(k)$.

Fase de referencia: El sistema propuesto ajusta su frecuencia de muestreo para obtener un número entero ($N_{PLL} \gg 1$) de muestras por cada ciclo de la señal de entrada. Por lo tanto, el incremento de la fase de referencia ($\varphi_{ref}(k)$) está dado por la siguiente ecuación en diferencias:

$$\varphi_{ref}(k+1) - \varphi_{ref}(k) = \frac{2\pi}{N_{PLL}} u(k) \quad (4.1)$$

donde $u(k)$ es igual a 1 para $k \geq 0$ e igual a 0 para todo $k < 0$. Su representación en el espacio z es:

$$z\varphi_{ref}(z) - \varphi_{ref}(z) = \frac{2\pi}{N_{PLL}} u(z) \quad (4.2)$$

Reagrupando se puede expresar la misma como:

$$\varphi_{ref}(z) = \frac{2\pi}{N_{PLL}} \frac{1}{(z-1)} u(z) \quad (4.3)$$

Modelo de la planta: El incremento de la fase $\varphi_u(k)$ está dado por la integral de frecuencia angular ω durante el período de muestreo:

$$\varphi_u(k+1) - \varphi_u(k) = \int_{t(k)}^{t(k+1)} \omega dt \quad (4.4)$$

donde $t(k)$ y $t(k+1)$ son dos instantes de muestreo consecutivos. Asumiendo que la frecuencia de entrada es constante durante un período de muestreo y además que $N_{PLL} \gg 1$, la ecuación previa puede aproximarse por:

$$\varphi_u(k+1) - \varphi_u(k) = \omega T_S(k) \quad (4.5)$$

La transformada z de la ecuación resulta:

$$z\varphi_u(z) - \varphi_u(z) = \omega T_S(z) \quad (4.6)$$

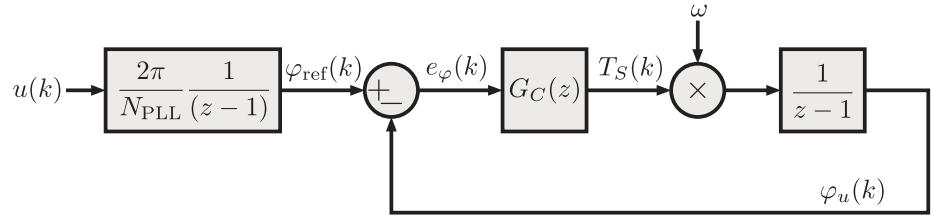


Figura 4.3: Modelo matemático del VSP-PLL.

$$\varphi_u(z) = \omega T_S(z) \frac{1}{z-1} \quad (4.7)$$

Error de fase: El error que actúa como entrada al controlador $G_C(z)$ queda determinado por la ecuación:

$$e_\varphi(z) = \varphi_{\text{ref}}(z) - \varphi_u(k) \quad (4.8)$$

Lazo de control: Por ultimo, el período de muestreo $T_S(k)$ es función del error $e_\varphi(k)$ por medio del controlador $G_C(z)$, lo cual significa:

$$T_S(z) = e_\varphi(z) G_C(z) \quad (4.9)$$

A partir de las ecuaciones obtenidas previamente se puede armar un diagrama en bloques del sistema el cual se muestra en la [Figura 4.3](#). Es importante notar que el modelo matemático tiene como entrada a la fase de referencia y como señal realimentada a la fase de la red eléctrica. Esta estructura difiere del enfoque convencional en el cual la entrada del sistema es la fase de la red. Esto es resultado de que el sistema real ajusta el período de muestreo a fin de que la fase de la red adquirida se corresponda a la fase de referencia del algoritmo.

El diagrama en bloques obtenido presenta a la frecuencia angular ω como un parámetro de entrada al sistema. A fin de diseñar un controlador para el modelo obtenido, se linealiza en el entorno de la frecuencia angular de entrada media $\bar{\omega} = 2\pi f_l$, siendo f_l igual a la frecuencia de la línea ($50/60Hz$). El modelo resultante se presenta en la [Figura 4.4](#).

A fin de tener error nulo a la secuencia de referencia $\varphi_{\text{ref}}(k)$, el sistema debe ser de tipo II, lo cual implica tener dos polos en $z = 1$. Uno de los polos está dado por la planta, por lo que el controlador $G_C(z)$ debe proveer del polo restante. El controlador más sencillo que se puede implementar es el formado por un polo, a fin de garantizar el error nulo a la rampa, y un cero

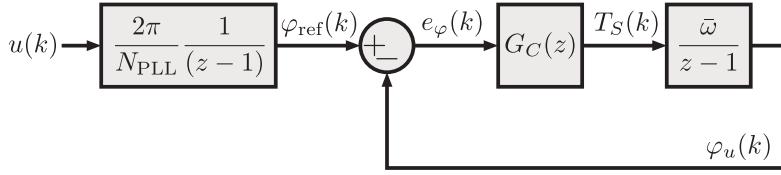


Figura 4.4: Modelo matemático linealizado del VSP-PLL.

y una ganancia K , para poder estabilizar al sistema:

$$G_C(z) = K \frac{z - a}{z - 1} \quad (4.10)$$

Trabajando con los elementos que conforman el modelo matemático linealizado, la transferencia del sistema a lazo cerrado resulta:

$$\frac{\varphi_u(z)}{\varphi_{\text{ref}}(z)} = \frac{G_C(z)\bar{\omega}}{z - 1 + G_C(z)\bar{\omega}} \quad (4.11)$$

y reemplazando con el controlador propuesto se obtiene:

$$\frac{\varphi_u(z)}{\varphi_{\text{ref}}(z)} = \frac{\bar{\omega}K(z - a)}{z^2 + (\bar{\omega}K - 2)z + 1 - \bar{\omega}Ka} \quad (4.12)$$

Se adopta como requisito de diseño el obtener la mayor velocidad de respuesta sin sobrepasso. Por lo tanto, los dos polos de la transferencia del sistema a lazo cerrado deben ser reales y estar ubicados en la misma frecuencia (amortiguamiento crítico). Trabajando la Ec. (4.12) y definiendo el lugar de los polos mediante un parámetro p , las ecuaciones de diseño resultan:

$$K = \frac{2(1 - p)}{\bar{\omega}} \quad (4.13)$$

$$a = \frac{p + 1}{2} \quad (4.14)$$

El valor de p define el ancho de banda del sistema y por lo tanto su velocidad de respuesta y rechazo a las perturbaciones. Este parámetro puede tomar cualquier valor real en el intervalo $[0,1]$. Un valor cercano a cero permite una gran velocidad de respuesta pero mayor sensibilidad ante distorsiones en las señales. De la misma forma, un valor de p cercano a 1 permite lograr mayor rechazo a las perturbaciones de la red a expensas de reducir la velocidad en la respuesta dinámica del sistema. Este controlador permite un ajuste sencillo del sistema a lazo cerrado

independientemente de la aplicación de sincronismo. En caso de requerir ajustar el ancho de banda del sistema a partir de una especificación en frecuencia (Hz), el valor de este parámetro puede calcularse haciendo:

$$p = e^{-2\pi p^* T_S}, \quad T_S = \frac{2\pi}{\bar{\omega} N_{PLL}} \quad (4.15)$$

donde p^* es el ancho de banda requerido en Hz y T_S es el período de muestreo del modelo.

4.1.3. Evaluación del VSP-PLL

Para evaluar el comportamiento del VSP-PLL, se ha realizado una serie de simulaciones en MATLAB®/SIMULINK® empleando diferentes perturbaciones de la red eléctrica. Para cada ensayo se ha configurado el método de sincronismo con un $N_{PLL} = 128$ y $\bar{\omega} = 2\pi 50 rad/s$ resultando en un período de muestreo en régimen permanente de $156,25 \mu s$. Se presenta la respuesta para dos valores de p , uno igual a $0,952097$ y el otro igual a $0,975755$. Bajo condiciones de funcionamiento normales, los valores adoptados corresponden a un ancho de banda equivalente del modelo matemático de $50 Hz$ y $25 Hz$ respectivamente, equivalentes a los anchos de banda utilizados para la evaluación de los sistemas de sincronismo estudiados en el [Capítulo 3](#).

En la [Figura 4.5](#) se presenta la respuesta del VSP-PLL ante un escalón de frecuencia de $5 Hz$, un escalón simétrico de amplitud del -20% , un desbalance del 5% y un 5% de 5to armónico. Para cada ensayo se muestra la señal de prueba, la frecuencia estimada (calculada a partir del período de muestreo y el valor de N_{PLL}) y el error de fase obtenido como la diferencia entre la fase de referencia y la fase del generador ($\varphi_{error}(k) = \varphi_{ref}(k) - \varphi_u(k)$).

Bajo condiciones ideales de funcionamiento, es decir, sin distorsiones en las señales de la red eléctrica, este método presenta una buena dinámica de respuesta y error nulo en régimen permanente ante la presencia de un escalón de frecuencia. Se verifica que la velocidad de respuesta queda definida a partir del parámetro p lo que permite realizar un simple ajuste del método a partir de este parámetro.

De la misma forma, una reducción simétrica de la amplitud de la señal trifásica no lleva un desenganche del sistema de sincronismo ya que el lazo de control es independiente de esta variable.

Sin embargo, el sistema falla en recuperar correctamente la frecuencia y fase de la red ante la presencia del desbalance y del 5to armónico. Bajo estas condiciones de funcionamiento se genera

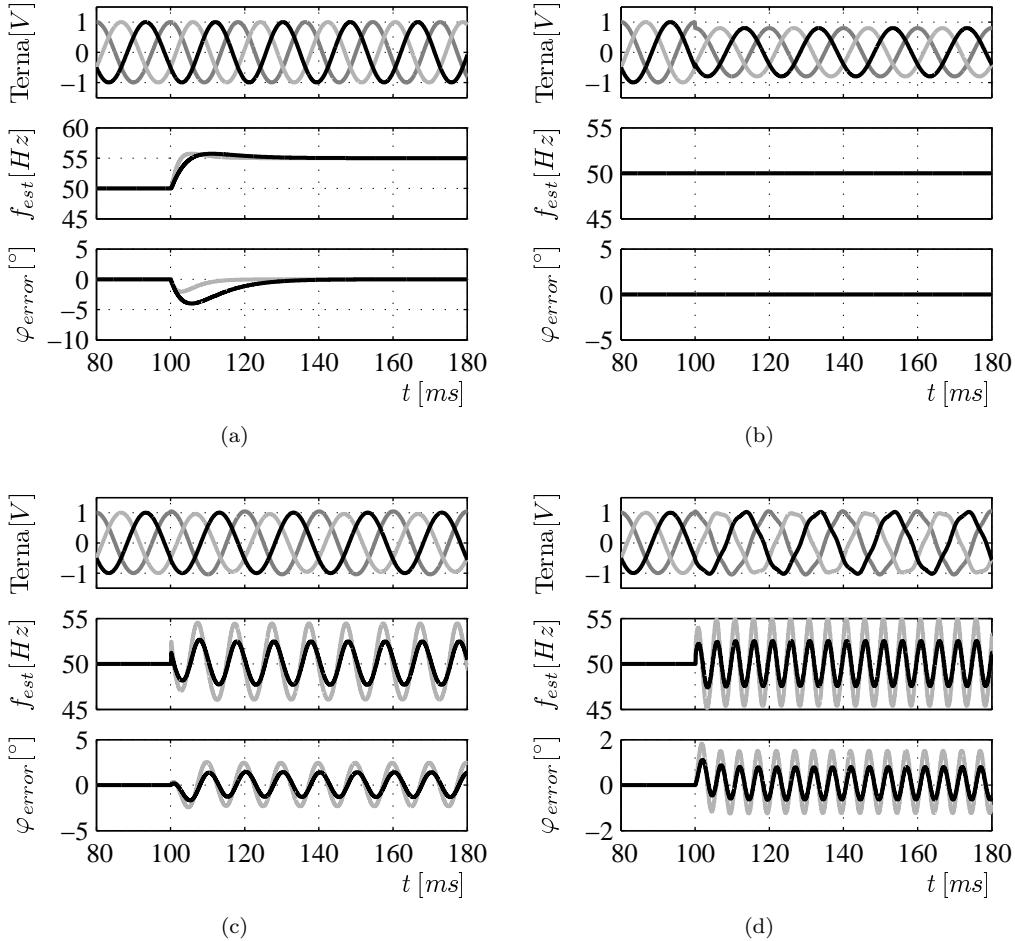


Figura 4.5: Respuesta del VSP-PLL ante diferentes perturbaciones. Se presentan las señales de prueba, la frecuencia estimada y el error de fase para valores de p equivalentes a 50Hz (gris) y 25Hz (negro). (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20%, (c) desbalance del 5% y (d) 5% de 5to armónico.

un ripple en régimen permanente como el observado en el análisis del SRF-PLL ([Sección 3.2](#)). La disminución del ancho de banda permite reducir este errores pero como consecuencia se reduce la velocidad de respuesta y se aumenta la máxima desviación del error de fase durante el transitorio.

A pesar de que la respuesta del VSP-PLL es similar al del SRF-PLL y que el primero no provee de mejoras en relación a los desbalances y armónicos de la red eléctrica, el mayor aporte del sistema es el lazo de ajuste de fase que permite igualar la frecuencia de muestreo a un múltiplo de la frecuencia de línea.

4.1.4. Validación del modelo

Como se describió en la [4.1.2](#), el modelo matemático utilizado en el diseño del controlador difiere del esquema del sistema real. Con el objetivo de validar el modelo, en la presente sección se ha simulado ambos sistemas y se presenta el error de fase de cada uno ($e_\varphi(k)$) a fines comparativos al efectuar un escalón de frecuencia de 5Hz .

En la [Figura 4.6\(a\)](#) se muestra el error de fase del modelo matemático y del sistema real adoptando un p igual a 0,3, 0,7 y 0,8. Los mismos se han seleccionado para cubrir un amplio rango de los posibles valores que puede adoptar dicha variable. Como se verifica en la figura, ambas respuestas son idénticas ajustándose las señales a la perfección. Además, se cumple con los requerimientos de diseño ya que el error de fase se hace cero luego de algunos instantes de muestreo y no se producen sobrepasos en la respuesta.

En la [Sección 4.1.2](#), al efectuarse el desarrollo del modelo, se asumió que la frecuencia angular ω era constante durante un período de muestreo. En la simulación de la [Figura 4.6\(a\)](#) esta consideración se cumple, ya que el instante en el cual se efectúa el cambio de frecuencia coincide con el muestreo de la señal trifásica. De no cumplirse esta consideración, aparecen diferencias al comparar las respuestas de ambos sistemas. Dependiendo del punto en el cual se produzca el escalón la respuesta varía, como puede apreciarse en la [Figura 4.6\(b\)](#), donde se ha adoptado un $p = 0,3$ y se ha efectuado el escalón de frecuencia en un 10%, 50% y 90% del intervalo de muestreo. A pesar de que hay diferencias entre las respuestas de ambos, la dinámica se mantiene y se logra error de fase cero en régimen permanente luego del transitorio.

Finalmente, en la [Figura 4.6\(c\)](#) se presenta el error de fase del modelo matemático y del sistema real adoptando un $p = 0,952097$ y un $p = 0,975755$, correspondientes a los parámetros utilizados en la evaluación del comportamiento del sistema de sincronismo. Como se verifica en la figura, las respuestas ante el escalón de frecuencia no presentan diferencias notorias, incluso al efectuar la perturbación en diferentes intervalos entre dos muestras consecutivas. La diferencia entre esta figura y la [Figura 4.6\(b\)](#) reside en que, el ancho de banda obtenido a partir de $p = 0,3$ es significativamente mayor al obtenido a partir de los valores de p utilizados en la evaluación del método de sincronismo.

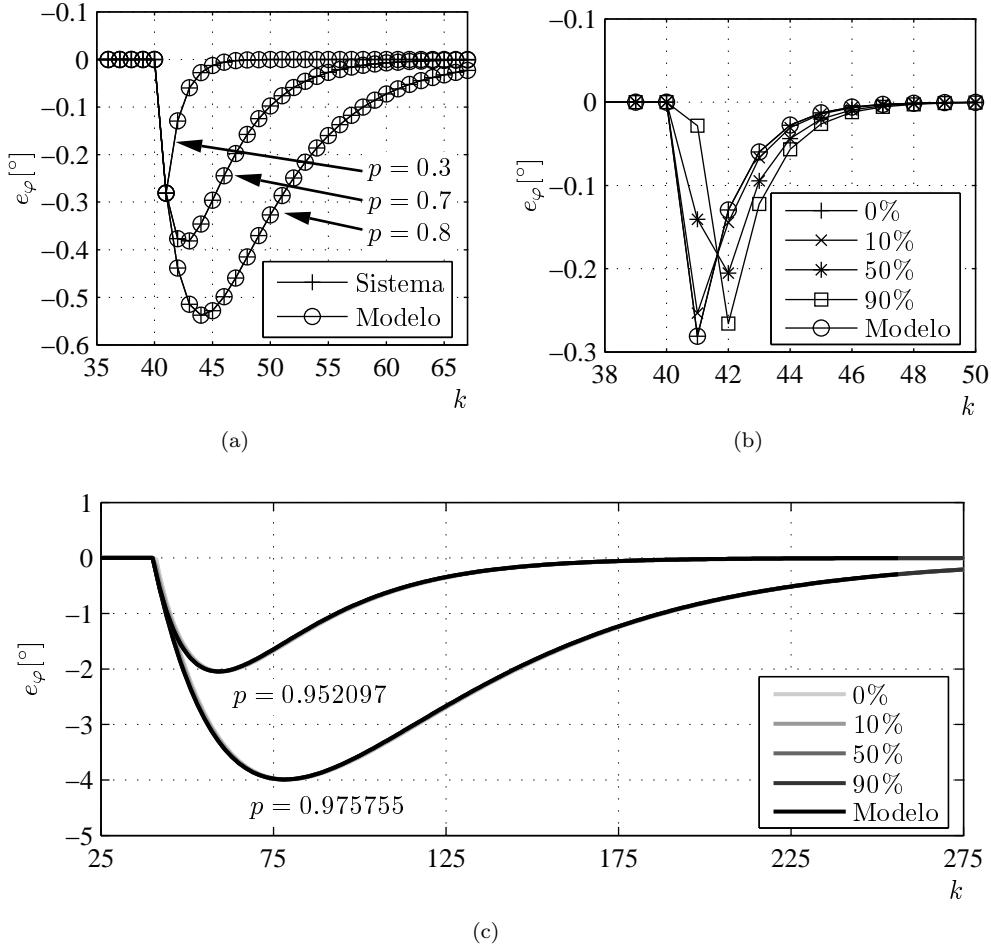


Figura 4.6: Error de fase del sistema y error de fase del modelo matemático ante un escalón de frecuencia de $5Hz$. (a) Escalón sobre instante de muestreo y distintos valores de p , (b) escalón entre dos instantes de muestreo consecutivos y $p = 0,3$ y (c) escalón entre dos instantes de muestreo consecutivos y valores de p utilizados en la evaluación del comportamiento del sistema.

4.2. Resultados Experimentales

Debido a que en el trabajo donde se propone el VSP-PLL no se presentan resultados experimentales del sistema, en esta sección se evalúa el desempeño de una implementación del mismo en un DSP a fin de validar el desarrollo teórico del sistema de sincronismo.

El banco experimental utilizado para el ensayo del sistema de sincronismo se muestra en la Figura 4.7. El mismo consta de dos TMS320F2812 (DSP de punto fijo de 32 bits y clock de $150MHz$), dos placas de adquisición y una placa de comunicaciones. Las placas de adquisición proveen de ocho canales simultáneos de conversión analógico/digital, implementados por ocho AD677 de 16 bits y $10\mu s$ de tiempo de conversión, y cuatro canales de conversión digital/analógico, implementados por un DAC7744. Para la generación de las señales analógicas

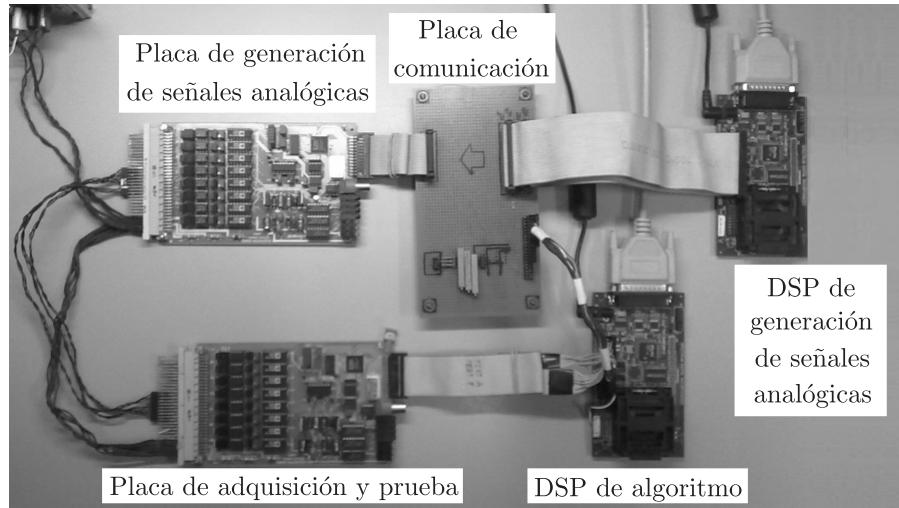


Figura 4.7: Banco experimental para el ensayo del método de sincronismo.

se emplea uno de los DSPs y una de las placas de adquisición. El hecho de generar dichas señales con un programa ejecutado desde el DSP brinda la posibilidad de añadir perturbaciones y distorsiones a las señales, permitiendo un análisis completo del sistema en un ambiente controlado. Luego, para la adquisición de la terna y la implementación del método de sincronismo se utiliza la segunda placa de adquisición y el segundo DSP. De esta forma, el DSP que implementa el sistema propuesto puede adquirir las señales y hacer uso de los canales de conversión digital/analógico de la segunda placa para la visualización de variables del algoritmo en tiempo real. Además, para determinar el error de fase real entre la terna generada y la fase estimada por el método de sincronismo, se diseña una comunicación entre ambos DSPs a partir de la placa de comunicación. De esta forma se cuantifica numéricamente el error cometido por la implementación del método de sincronismo.

El algoritmo fue configurado con $N_{PLL} = 128$ y se adopta $p = 0,952097$. En condiciones normales de funcionamiento y asumiendo una red eléctrica de $50Hz$, los valores adoptados corresponde a un ancho de banda equivalente del modelo matemático de $50Hz$. El generador de referencia se implementó mediante un acumulador que incrementa su valor $2\pi/N_{PLL}$ en cada instante de muestreo. El generador de muestreo, en cambio, se implementó a partir del TIMER del DSP, por lo que la resolución del período de muestreo obtenido es de $6,66ns$ ($1/150MHz$). Debido a que la implementación del algoritmo requiere un tiempo finito para su ejecución, el rango del $T_S(k)$ se limita a fin de evitar un reducido período de muestreo no implementable o un largo período de muestreo como resultado de una condición de funcionamiento inusual.

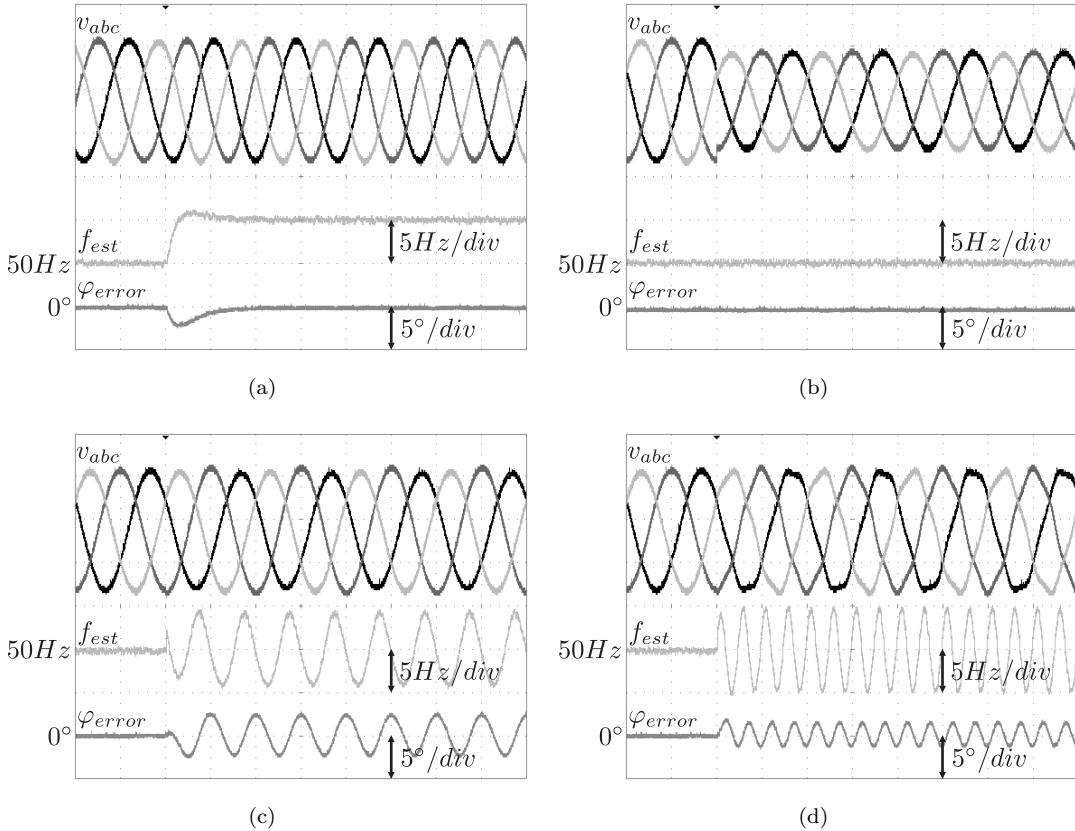


Figura 4.8: Respuesta del VSP-PLL ante diferentes perturbaciones. Para cada ensayo se presenta la señal trifásica de prueba (v_{abc}), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20% , (c) desbalance del 5% y (d) 5% de 5to armónico. La escala temporal del osciloscopio en todos los casos es de $10ms/div$.

Los límites de esta variable se impusieron en $100\mu s$ y $400\mu s$. El método fue programado en C, utilizando librerías IQmath [63] a fin de optimizar el tiempo de cálculo. Como resultado, el tiempo de ejecución del algoritmo sin considerar la etapa de adquisición resulta de $1,9\mu s$.

Para cada ensayo se presenta la respuesta del sistema capturada por un osciloscopio donde puede apreciarse la señal de prueba (v_{abc}), la frecuencia estimada (f_{est}) calculada a partir de T_S y N_{PLL} , y el error de fase (φ_{error}) obtenido como la diferencia entre la fase de referencia y la fase del generador trifásico.

La Figura 4.8 presenta la respuesta del sistema ante un escalón de frecuencia de 5Hz, un escalón simétrico de amplitud de -20% , un desbalance del 5% y contaminación armónica compuesta por un 5% de 5to armónico.

Se verifica que el escalón de frecuencia genera en el sistema un transitorio suave y de corta duración que permite obtener error de fase cero y correcta estimación de la frecuencia de línea

en régimen permanente. Por otro lado, el escalón de amplitud no lleva a modificaciones en las variables del PLL debido a que el lazo de control es independiente de este parámetro. En cambio, ante el desbalance de la terna y la aparición de componentes armónicas, el VSP-PLL presenta oscilaciones en régimen permanente en ambas señales reduciendo el rendimiento del método en la detección de la fase y frecuencia de la línea.

Para todos los ensayos analizados, se verifica una correcta correspondencia entre la respuesta del sistema experimental y los resultados obtenidos en la etapa de simulación tanto en la dinámica de las variables, así como en las desviaciones máximas durante los transitorios y los tiempos de establecimiento.

4.3. Efectos de las perturbaciones en el detector de fase

La evaluación del VSP-PLL demostró que existen ciertas perturbaciones que el sistema no puede rechazar completamente. Para comprender esta limitación del método de sincronismo, se ha realizado un análisis de los efectos que las perturbaciones de la red eléctrica generan en la fase del vector espacial representativo de la señal trifásica de entrada. Mediante este estudio se demuestran las limitaciones del VSP-PLL.

El sistema de sincronismo analizado en este capítulo sintetiza el error de fase del sistema mediante la resta entre la fase del vector espacial representativo de la terna y la fase de referencia del sistema de sincronismo. Mientras que $\varphi_{\text{ref}}(k)$ se incrementa $2\pi/N_{\text{PLL}}$ radianes entre instantes de muestreo consecutivos, $\varphi_{\text{VE}}(k)$ requiere la implementación de la transformada $\alpha\beta$ y el cálculo de la fase por parte de una función arcotangente. Este procedimiento parte de considerar a la señal trifásica de entrada como tres senoides de igual amplitud, frecuencia, y fase inicial; con una diferencia de fase entre ellas constante, de 120° . Cuando esto se cumple, la señal proporcionada por este detector de error de fase resulta en una adecuada representación de la diferencia de fase entre la red eléctrica y la fase de referencia debido a que $\varphi_{\text{VE}}(k) = \varphi_u(k)$.

Sin embargo, como se verificó en la [Sección 4.1.3](#), cuando las señales de la red eléctrica no corresponden a esta representación idealizada, por ejemplo en condiciones de desbalances o contaminación armónica, el error de fase real y la frecuencia estimada por el VSP-PLL presentan errores en forma de ripple al igual que ocurría con el SRF-PLL ante las mismas condiciones de funcionamiento.

En el SRF-PLL, el detector de error de fase se implementa mediante la transformada $\alpha\beta$ y

dq por lo que puede calcularse analíticamente el efecto de estas perturbaciones en esta variable (Sección 2.3.3). Sin embargo, en el VSP-PLL el uso de la función arcotangente conlleva a dificultades en el análisis del error ante estas perturbaciones de la red eléctrica.

A continuación se hace un análisis de los efectos adversos de las perturbaciones en $\varphi_{VE}(k)$. Para ello, se asume a fines de simplificar el procedimiento, una señal trifásica representada en el marco de referencia estacionario afectada por sólo un componente armónico. Bajo estas condiciones de funcionamiento, estas señales resultan:

$$\begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \end{bmatrix} = V_{+1} \begin{bmatrix} \cos(\varphi_u(k)) \\ \sin(\varphi_u(k)) \end{bmatrix} + V_n \begin{bmatrix} \cos(n\varphi_u(k) + \varphi_n) \\ \sin(n\varphi_u(k) + \varphi_n) \end{bmatrix} \quad (4.16)$$

donde el primer término corresponde a la secuencia positiva de la terna ($n = 1$) y el segundo término corresponde a la perturbación que puede ser de secuencia positiva ($n > 1$) o de secuencia negativa ($n < 0$). Para el cálculo del error de fase del VSP-PLL, se calcula la fase del vector representativo de la terna a partir del arcotangente de la división entre la señal $v_\alpha(k)$ y $v_\beta(k)$, es decir:

$$\varphi_{VE}(k) = \tan^{-1} \left[\frac{v_\beta(k)}{v_\alpha(k)} \right] \quad (4.17)$$

Es importante notar que este cálculo no considera los cuatro cuadrantes que se generan a partir de los valores de $v_\alpha(k)$ y $v_\beta(k)$. Sin embargo, esta consideración no resulta relevante para el presente análisis. Reemplazando la Ec. (4.16) en esta última se obtiene:

$$\varphi_{VE}(k) = \tan^{-1} \left[\frac{V_{+1} \sin(\varphi_u(k)) + V_n \sin(n\varphi_u(k) + \varphi_n)}{V_{+1} \cos(\varphi_u(k)) + V_n \cos(n\varphi_u(k) + \varphi_n)} \right] \quad (4.18)$$

Adicionando $\varphi_u(k) - \varphi_u(k)$ en el argumento de las funciones sinusoidales correspondiente al segundo término del numerador y denominador, se obtiene:

$$\varphi_{VE}(k) = \tan^{-1} \left[\frac{\begin{array}{c} V_{+1} \sin(\varphi_u(k)) \\ + V_n \sin(n\varphi_u(k) + \varphi_n + \varphi_u(k) - \varphi_u(k)) \end{array}}{\begin{array}{c} V_{+1} \cos(\varphi_u(k)) \\ + V_n \cos(n\varphi_u(k) + \varphi_n + \varphi_u(k) - \varphi_u(k)) \end{array}} \right] \quad (4.19)$$

Desarrollando matemáticamente:

$$\varphi_{VE}(k) = \tan^{-1} \left[\frac{V_{+1} \sin(\varphi_u(k)) + V_n \sin(\varphi_u(k)) \cos((n-1)\varphi_u(k) + \varphi_n) + V_n \cos(\varphi_u(k)) \sin((n-1)\varphi_u(k) + \varphi_n)}{V_{+1} \cos(\varphi_u(k)) + V_n \cos(\varphi_u(k)) \cos((n-1)\varphi_u(k) + \varphi_n) - V_n \sin(\varphi_u(k)) \sin((n-1)\varphi_u(k) + \varphi_n)} \right] \quad (4.20)$$

donde puede descartarse del numerador y el denominador el término en fase con la componente de secuencia positiva debido a que en la práctica se demuestra que $V_{+1} \gg V_n$. De esta forma la ecuación resulta:

$$\varphi_{VE}(k) \approx \tan^{-1} \left[\frac{V_{+1} \sin(\varphi_u(k)) + V_n^* \cos(\varphi_u(k))}{V_{+1} \cos(\varphi_u(k)) - V_n^* \sin(\varphi_u(k))} \right] \quad (4.21)$$

donde se ha definido $V_n^* = V_n \sin((n-1)\varphi_u(k) + \varphi_n)$ a fin de simplificar las ecuaciones. Utilizando la siguiente identidad trigonométrica:

$$A \sin(x) + B \cos(x) = \sqrt{A^2 + B^2} \cos(x - \tan^{-1}[A/B]) \quad (4.22)$$

y trabajando matemáticamente la Ec. (4.21), esta resulta:

$$\varphi_{VE}(k) \approx \tan^{-1} \left[\frac{\sqrt{V_{+1}^2 + V_n^{*2}} \cos(\varphi_u(k) - \tan^{-1}[V_{+1}/V_n^*])}{\sqrt{V_n^{*2} + V_{+1}} \cos(\varphi_u(k) + \tan^{-1}[V_n^*/V_{+1}])} \right] \quad (4.23)$$

$$\varphi_{VE}(k) \approx \tan^{-1} \left[\frac{\cos(\varphi_u(k) - \tan^{-1}[V_{+1}/V_n^*])}{\cos(\varphi_u(k) + \tan^{-1}[V_n^*/V_{+1}])} \right] \quad (4.24)$$

$$\varphi_{VE}(k) \approx \tan^{-1} \left[\frac{\sin(\varphi_u(k) + \tan^{-1}[V_n^*/V_{+1}])}{\cos(\varphi_u(k) + \tan^{-1}[V_n^*/V_{+1}])} \right] \quad (4.25)$$

Simplificando la función arcotangente y asumiendo que $V_{+1} \gg V_n^*$, la fase del vector espacial representativo de la terna resulta:

$$\varphi_{VE}(k) \approx \varphi_u(k) + \frac{V_n}{V_{+1}} \sin((n-1)\varphi_u(k) + \varphi_n) \quad (4.26)$$

Como demuestra esta ecuación, $\varphi_{VE}(k) \neq \varphi_u(k)$ como consecuencia de la perturbación

analizada. Al igual que ocurría con el error de fase obtenido a partir del marco de referencia sincrónico y utilizado en el SRF-PLL para cerrar el lazo de control, la fase estimada a partir del marco de referencia estacionario y la función arcotangente, presenta errores en forma de oscilación que están relacionadas con la perturbación de la red eléctrica. Por ejemplo, un 5to armónico de secuencia positiva ($n = +5$) genera un 4to armónico en $\varphi_{VE}(k)$ mientras que un 5to armónico de secuencia negativa ($n = -5$) genera un 6to armónico.

Experimentalmente se demuestra que, si no se cumple que $V_{+1} \gg V_n^*$, la Ec. (4.26) sigue valiendo pero además de la oscilación producida por la perturbación, se generan nuevos términos armónicos múltiplos de la oscilación generada que pueden deteriorar considerablemente el desempeño de este detector de error de fase. Para analizar estas limitaciones se presenta en la Figura 4.9 las componentes espectrales de $\varphi_{VE}(k)$ obtenidas a partir de realizar una FFT a la fase del vector espacial de una terna ideal (negro) y una distorsionada (gris) bajo diferentes condiciones de funcionamiento. Debe notarse que la FFT puede ser aplicada debido a que la fase recuperada por el arcotangente resulta en una señal diente de sierra periódica de valor mínimo igual a $-\pi$ y valor máximo igual a π .

En Figura 4.9(a) se ha adicionado a la componente fundamental de la terna un 30 % de 5to armónico de secuencia positiva ($n = +5$). Esta perturbación genera en la fase del vector espacial una componente de cuatro veces la frecuencia de la red eléctrica y su respectivo armónico de 8vo orden. Puede observarse en la figura el cambio de amplitud de estas componentes en relación al caso de señal ideal (negro). Este ensayo se repite en la Figura 4.9(b) donde se reemplaza el 5to armónico por un 30 % de 7mo armónico de secuencia positiva ($n = +7$). En este caso se observa la generación de una armónico de 6to y 12mo orden.

De la misma forma, se verifica que la aparición de perturbaciones de diferentes frecuencias, generan batidos de las componentes originales obteniéndose nuevas componentes. Esto puede observarse en la Figura 4.9(c) donde la señal trifásica analizada está contaminada con las dos componentes analizadas en el párrafo previo. Como se observa en la figura, junto con la generación del 4to, 6to, 8vo y 12mo armónico, aparece un armónico de orden diez que no se observó en el análisis previo y el cual es resultado de la combinación de los armónico de 4to y 6to orden.

Todas las oscilaciones generadas en la fase del vector espacial son múltiplos de la frecuencia de la red eléctrica sin apreciarse interarmónicos o subarmónicos. Sin embargo, existen ciertas condiciones de funcionamiento que pueden producir la aparición de una componente de continua, la cual, no puede ser filtrada por el sistema y resulta en un error de fase en régimen permanente.

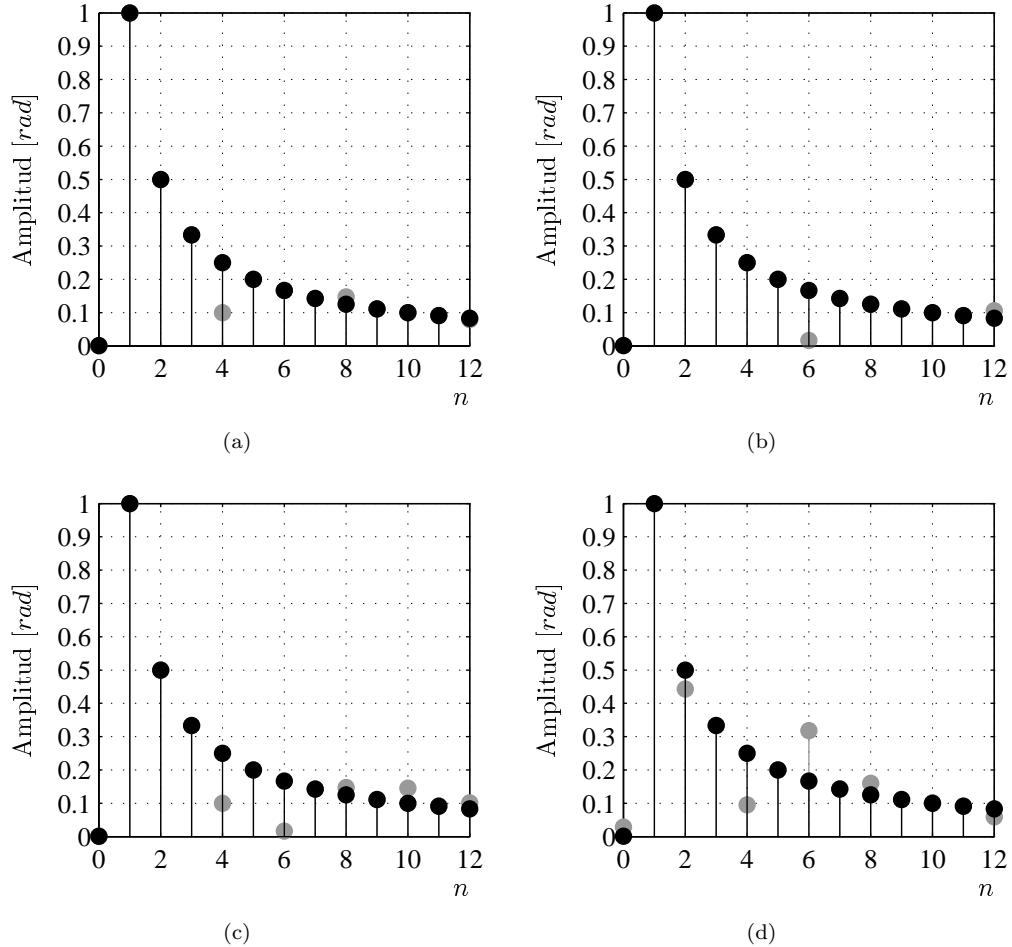


Figura 4.9: Comparativa entre las componentes espectrales de la fase del vector espacial de una terna ideal (negro) y una terna distorsionada (gris). Componente fundamental más (a) 30 % de 5to armónico de secuencia positiva, (b) 30 % de 7mo armónico de secuencia positiva, (c) 30 % de 5to armónico de secuencia positiva y 30 % de 7mo armónico de secuencia positiva y (d) 30 % de 5to armónico de secuencia negativa y 30 % de 7mo armónico de secuencia positiva

Por ejemplo, en la [Figura 4.9\(d\)](#) se presenta el caso de una terna afectada por un 30 % de 5to armónico de secuencia negativa ($n = -5$) y un 30 % de 7mo armónico de secuencia positivo ($n = +7$). Como se demuestra mediante el análisis de la [Ec. \(4.26\)](#), ambas perturbaciones generan una componente de 6to orden que, combinadas, generan una componente de continua diferente de cero. Este efecto adverso de la combinación de ambos armónicos alimenta el controlador del VSP-PLL y no puede ser eliminado por el lazo de control. Como resultado, en estas condiciones de funcionamiento, el VSP-PLL presenta un error de fase constante en régimen permanente. Para demostrar esto, se presenta en la [Figura 4.10](#) la respuesta de este sistema de sincronismo ante la adición en $t = 100ms$ de los armónicos analizados en este párrafo. Como se observa en la figura, junto con el ripple resultado de las componentes armónicas, el sistema exhibe un error

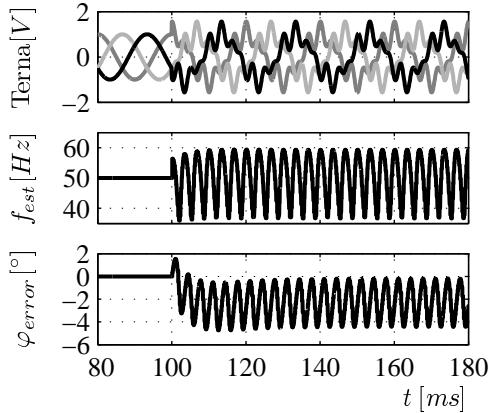


Figura 4.10: Respuesta del VSP-PLL ante la adición de un 30 % de 5to armónico de secuencia negativa y un 30 % de 7to armónico de secuencia positivo. Se presenta las señales de prueba, la frecuencia estimada y el error de fase.

de fase constante.

Por lo expuesto hasta aquí, se concluye que el uso de la función arcotangente no es aconsejable para el diseño de sistemas de sincronismo, ya que el error de fase constante que se adiciona bajo ciertas condiciones de funcionamiento deteriora el desempeño del sistema. Sin embargo, en aplicaciones donde sólo se requiere una sincronización en frecuencia, esta técnica sigue siendo válida.

4.4. Conclusiones del capítulo

En este capítulo se ha presentado un sistema de sincronismo trifásico denominado VSP-PLL. Este sistema tiene la característica distintiva de ajustar dinámicamente la frecuencia de muestreo a fin de que esta resulte un múltiplo de la frecuencia fundamental de la señal trifásica de entrada. De esta forma la fase instantánea de la terna es actualizada N_{PLL} veces por ciclo permitiendo una estimación precisa de la fase y frecuencia de la red eléctrica.

Se presentó un modelo matemático del sistema analizado y se diseñó un controlador a fin de estabilizar el lazo de control y obtener una adecuada respuesta dinámica. Posteriormente este modelo ha sido validado mediante la comparación de la respuesta del mismo con la del sistema real a nivel de simulación, verificándose una clara correspondencia entre ambos.

Mediante simulaciones y ensayos experimentales se demostró la capacidad del sistema para sincronizarse con la red eléctrica y mantener dicha sincronización ante perturbaciones en forma de escalón de frecuencia y amplitud. Sin embargo, se observó también la imposibilidad del

sistema de estimar en forma precisa la frecuencia y fase de la línea cuanto la misma sufre de desbalances y contaminación armónica. Estos errores son resultado de las limitaciones del detector de error de fase empleado, el cual consta de técnicas de procesamiento de señales trifásicas definidas para una terna ideal. Como resultado, la respuesta dinámica del VSP-PLL es comparable con la del SRF-PLL convencional sin detectarse mejoras en este aspecto. A su vez se ha demostrado que bajo ciertas condiciones de funcionamiento, este detector de error de fase adiciona un valor constante en la estimación de la fase de la red eléctrica que no puede ser rechazado por el lazo de control. Debido a esta limitación, no resulta aconsejable el uso de la función arcotangente para el diseño de sistemas de sincronismo.

A pesar de esta limitación, el sistema analizado en este capítulo presenta particular interés por su período de muestreo variable. Como se describirá en el capítulo siguiente, esta característica permite implementar técnicas alternativas de filtrado de bajo costo computacional para el diseño de nuevos sistemas de sincronismo capaces de rechazar las perturbaciones de la red eléctrica.

Capítulo 5

PLL trifásico de período de muestreo variable y filtro basado en la SGT

El VSP-PLL analizado en el [Capítulo 4](#) tiene las mismas limitaciones que el SRF-PLL convencional ([Sección 3.2](#)), es decir, oscilaciones en el error de fase del sistema ante la aparición de componentes armónicos de red y/o condiciones de desbalance de tensiones. Sin embargo, este método presenta particular interés por su característica de frecuencia de muestreo variable, la cual permite ajustar dicho parámetro para obtener un múltiplo de la frecuencia de línea en régimen permanente. De esta manera se actualiza la información de la fase instantánea de la red eléctrica una cantidad entera de veces por ciclo. Esta característica permite implementar transformaciones frecuenciales sin necesidad de cálculos o ajustes extras, como por ejemplo ventanas para la reducción de dispersión espectral, a fin de ser utilizadas como técnicas alternativas de filtrado, en contraste con las mejoras propuestas para el SRF-PLL analizadas en el [Capítulo 3](#).

En este capítulo se describe un nuevo método de sincronismo trifásico capaz de estimar la fase y frecuencia de la red eléctrica aún cuando las tensiones de entrada no corresponden a sinusoides puras o están desbalanceadas. Con este se logra una elevada inmunidad ante estas perturbaciones en régimen permanente a partir de combinar la técnica de período de muestreo variable, un filtro digital basado en la transformada de Goertzel de ventana deslizante (SGT, Sliding Goertzel Transform) y un detector de error de fase basado en la representación de

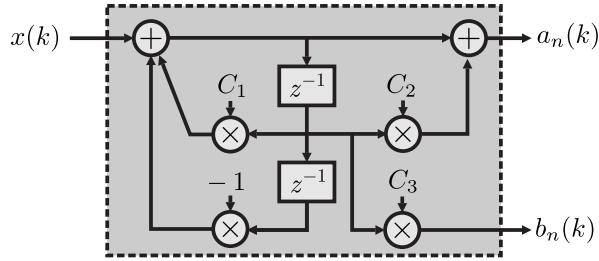


Figura 5.1: Implementación de la transformada de Goertzel donde $C_1 = 2 \cos(2\pi n/N_{\text{GT}})$, $C_2 = -\cos(2\pi n/N_{\text{GT}})$ y $C_3 = \sin(2\pi n/N_{\text{GT}})$.

señales trifásicas en el marco de referencia sincrónico. Este nuevo sistema de sincronismo se ha denominado Variable Sampling Period Filter PLL (VSPF-PLL). Se propone un controlador para el lazo de fase del sistema y se diseña los parámetros del mismo para obtener el máximo ancho de banda posible. Se evalúa la propuesta mediante ensayos experimentales sobre un prototipo implementado en DSP, y se comparan los resultados obtenidos con otras propuestas. Su simple estructura y elevada inmunidad a distorsiones en la forma de onda son algunas de las características distintivas de este PLL.

5.1. Transformada de Goertzel de ventana deslizante

La DFT (Discrete Fourier Transform) es la herramienta estándar en el estudio del espectro de una determinada señal. Esta transformación es implementada comúnmente mediante el algoritmo de la FFT (Fast Fourier Transform) por su mayor eficiencia al reducir considerablemente la cantidad de cálculos requeridos para el procesamiento de la señal de entrada.

Sin embargo, cuando solo se requiere del cálculo de algunos de los coeficientes del espectro de la señal, es aconsejable el uso de otros métodos, como la transformada de Goertzel (GT) [35]. Esta transformación se implementa mediante un filtro IIR de segundo orden que calcula un único coeficiente de la DFT de una secuencia de valores (el término n de una DFT de N_{GT} puntos). La salida de la GT es un número complejo de valor real $a_n(k)$ y valor imaginario $b_n(k)$, por esta razón se implementa como un filtro de una entrada y dos salidas. La implementación de esta transformación se muestra en la Figura 5.1, y las funciones de transferencia entre las

salidas y la entrada resultan:

$$H_{\text{GT}a}(z) = \frac{A_n(z)}{X(z)} = \frac{1 - \cos(2\pi n/N_{\text{GT}})z^{-1}}{1 - 2 \cos(2\pi n/N_{\text{GT}})z^{-1} + z^{-2}} \quad (5.1)$$

$$H_{\text{GT}b}(z) = \frac{B_n(z)}{X(z)} = \frac{\sin(2\pi n/N_{\text{GT}})z^{-1}}{1 - 2 \cos(2\pi n/N_{\text{GT}})z^{-1} + z^{-2}} \quad (5.2)$$

donde n es el armónico de interés y N_{GT} es la longitud de la secuencia de valores utilizado como entrada. A partir del cálculo del valor real e imaginario del coeficiente de interés, se calcula el módulo y la fase del armónico haciendo:

$$\tilde{V}_n(k) = \frac{2}{N_{\text{GT}}} \sqrt{a_n(k)^2 + b_n(k)^2} \quad (5.3)$$

$$\tilde{\varphi}_n(k) = \boxed{a_n(k) + jb_n(k)} \quad (5.4)$$

donde se ha adicionado al cálculo del módulo un coeficiente $2/N_{\text{GT}}$ a fin de normalizar la ganancia de la transformada de Goertzel. Es importante destacar que la salida del filtro solo es igual al valor del coeficiente de la DFT cuando $k = N_{\text{GT}}$, es decir, una vez que se utilizaron como entrada los N_{GT} valores de la secuencia.

Una variación de la GT es la transformada de Goertzel de ventana deslizante (SGT) la cual adiciona a la estructura una ventana deslizante en la entrada del filtro. Esto permite que, una vez obtenida la fase o módulo del armónico de interés en el instante $k - 1$, el número de cálculos necesarios para actualizar estas variables en el instante k , es fijo y no depende de N_{SGT} . El filtro que implementa esta transformada se muestra en la [Figura 5.2](#). La SGT se divide en dos partes, la SW (Sliding Window) que compara la muestra actual con la muestra almacenada N_{SGT} instantes previos y la GT, que estima los coeficientes del armónico de interés. La función transferencia de este filtro resulta:

$$H_{\text{SGT}a}(z) = \frac{A_n(z)}{X(z)} = \frac{(1 - \cos(2\pi n/N_{\text{SGT}})z^{-1})(1 - z^{-N_{\text{SGT}}})}{1 - 2 \cos(2\pi n/N_{\text{SGT}})z^{-1} + z^{-2}} \quad (5.5)$$

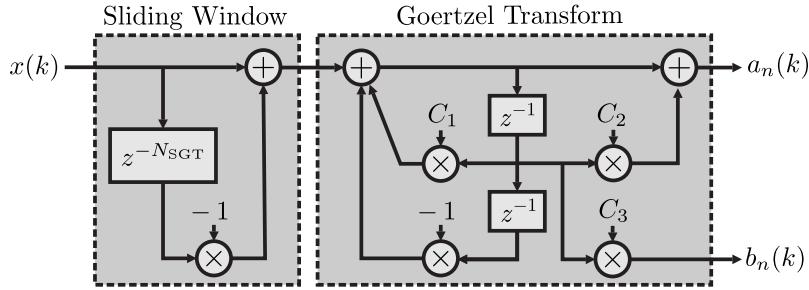


Figura 5.2: Implementación de la transformada de Goertzel de ventana deslizante donde $C_1 = 2 \cos(2\pi n / N_{SGT})$, $C_2 = -\cos(2\pi n / N_{SGT})$ y $C_3 = \sin(2\pi n / N_{SGT})$.

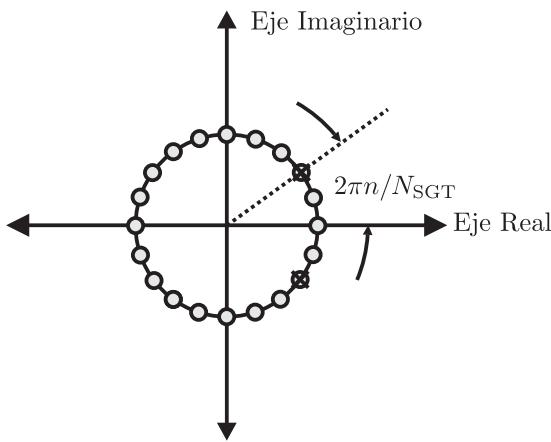


Figura 5.3: Ubicación de los polos y ceros de la SGT configurada con $n = 2$ y $N_{SGT} = 20$.

$$H_{SGTb}(z) = \frac{B_n(z)}{X(z)} = \frac{\sin(2\pi n / N_{SGT}) z^{-1} (1 - z^{-N_{SGT}})}{1 - 2 \cos(2\pi n / N_{SGT}) z^{-1} + z^{-2}} \quad (5.6)$$

En la [Figura 5.3](#) se presenta el diagrama de polos y ceros de la SGT adoptando un $n = 2$ y un $N_{SGT} = 20$. Se aprecian los N_{SGT} ceros sobre el círculo unitario que permiten rechazar el valor de continua y el resto de los armónicos de la señal de entrada, y los dos polos complejos conjugados que cancelan los ceros en la frecuencia de interés.

En la [Figura 5.4](#) se presenta la respuesta en frecuencia entre cada una de las salidas y la entrada del filtro. Para este caso se ha adoptado un $n = 2$, un $N_{SGT} = 20$ y un período de muestreo de $1ms$ equivalente a tomar 20 muestras por ciclo de una señal de $50Hz$. Se verifica que el filtro ubica los ceros de transferencia a frecuencias $m f_S / N_{SGT}$ (con $m = 0, 1, \dots, N_{SGT}/2$) siendo f_S la frecuencia de muestreo. De esta manera, si la señal de entrada es exactamente de $50Hz$, los ceros se ubican a pasos de $50Hz$, es decir, en $50Hz, 100Hz, 150Hz$ y así sucesivamente. Como consecuencia, si el segmento de señal es estacionario y la frecuencia de muestreo es un múltiplo de la frecuencia de la componente fundamental de la entrada, el filtro estima

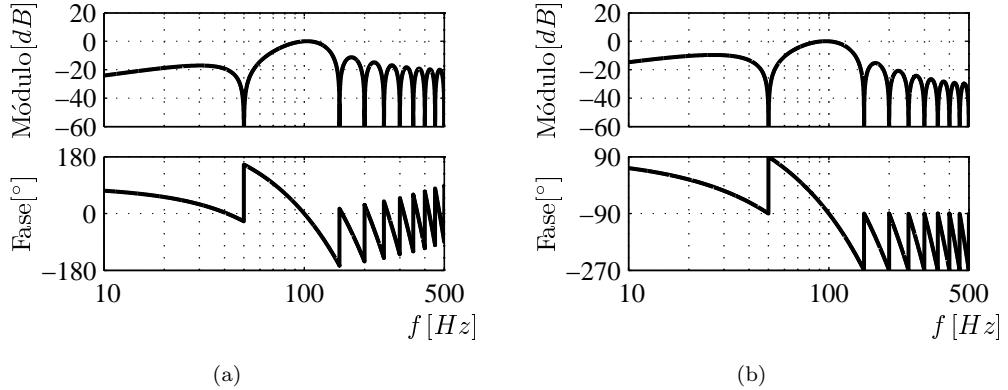


Figura 5.4: Respuesta en frecuencia de la SGT normalizada con $2/N_{SGT}$ y configurada con $n = 2$ y $N_{SGT} = 20$.
(a) Transferencia $H_{SGT_a}(z)$ y (b) transferencia $H_{SGT_b}(z)$.

correctamente el módulo y fase de la componente de 100Hz de la señal de entrada.

Es importante destacar que a pesar de que la $H_{SGT_a}(z)$ y $H_{SGT_b}(z)$ presentan una respuesta de módulo similar, la respuesta de fase difiere en relación a la fase central del filtro. La salida de la primera transferencia puede considerarse como el armónico de interés sintetizado en fase con el armónico original de la señal de entrada, mientras que la salida de la segunda transferencia puede considerarse como el armónico de interés sintetizado atrasado 90° con respecto al armónico original.

Finalmente, debido a que las singularidades de la transferencia de la SGT están ubicadas sobre el círculo unitario, una inadecuada representación de los coeficientes del filtro puede resultar en una incorrecta cancelación de polos y ceros así como llevar las singularidades fuera del círculo unitario. Por lo tanto, para la implementación de este filtro en una plataforma de aritmética finita, es necesario adicionar un factor de amortiguamiento r en la Ec. (5.5) y la Ec. (5.6) a fin de asegurar la estabilidad de la implementación. Por lo tanto, las funciones transferencia resultan:

$$H_{SGT_a}(z) = \frac{A_n(z)}{X(z)} = \frac{(1 - r \cos(2\pi n / N_{SGT}) z^{-1})(1 - r^{N_{SGT}} z^{-N_{SGT}})}{1 - 2r \cos(2\pi n / N_{SGT}) z^{-1} + r^2 z^{-2}} \quad (5.7)$$

$$H_{SGT_b}(z) = \frac{B_n(z)}{X(z)} = \frac{r \sin(2\pi n / N_{SGT}) z^{-1} (1 - r^{N_{SGT}} z^{-N_{SGT}})}{1 - 2r \cos(2\pi n / N_{SGT}) z^{-1} + r^2 z^{-2}} \quad (5.8)$$

5.2. Filtro basado en la transformada de Goertzel de ventana deslizante

En los capítulos previos se demostró que ciertas perturbaciones de la red eléctrica, como los desbalances y la contaminación armónica, generan oscilaciones en el error de fase de los sistemas de sincronismo convencionales, que deben ser mitigadas por el lazo de control a fin de mantener una adecuada performance. Sin embargo, mitigar estos efectos adversos conlleva a reducir el ancho de banda de los sistemas de sincronismo reduciendo la velocidad de respuesta. Por esto resulta conveniente contar con métodos alternativos de filtrado que eliminen estas oscilaciones en el lazo de control del sistema y permitan lograr una mayor velocidad de respuesta. Como solución a esta limitación, se describe en la presente sección un filtro digital basado en la transformada de Goertzel de ventana deslizante que logra máxima eficiencia si la frecuencia de muestreo es exactamente un múltiplo de la frecuencia de línea. Este filtro proveerá de un elevado rechazo a estas perturbaciones si se combina con la técnica de período de muestreo variable ya que, una vez sincronizado el sistema, los ceros de transferencia se ajustan dinámicamente en los múltiplos de la frecuencia de la red eléctrica.

Como se describió en la sección previa, la SGT se implementa como un filtro recursivo IIR de segundo orden. Debido a esto, se puede analizar la SGT como una transformación frecuencial o como un filtro digital, siendo la segunda opción la utilizada en la presente sección. Asumiendo este enfoque, esta transformada provee de dos salidas que sintetizan el armónico de interés de la entrada $x(k)$, una en fase con ésta ($a_n(k)$) y otra con un atraso en fase de 90° ($b_n(k)$). La capacidad de recuperar solo el armónico de interés de la señal de entrada, hace de la SGT una alternativa conveniente al momento de diseñar filtros digitales debido a que permite lograr rechazo infinito a ciertas frecuencias de la señal de entrada.

Debido a que la técnica de período de muestreo variable ajusta este parámetro a partir de la diferencia entre la fase de referencia ($\varphi_{\text{ref}}(k)$) y la fase del vector espacial ($\varphi_{VE}(k)$), se propone en esta tesis el uso de la SGT con salida $a_n(k)$ y ajuste $n = 0$ para eliminar las componentes de frecuencias múltiplos de la fundamental de línea en el error de fase del sistema ($e_\varphi(k)$). De esta forma se elimina los efectos adversos de los desbalances y armónicos de la terna que se generan en esta señal de control. Para este caso, la $H_{\text{SGT}a}(z)$ resulta:

$$H_{\text{SGT}a}(z)|_{n=0} = \frac{A_n(z)}{X(z)} = \frac{(1 - z^{-1})(1 - z^{-N_{\text{SGT}}})}{1 - 2z^{-1} + z^{-2}} = \frac{1 - z^{-N_{\text{SGT}}}}{1 - z^{-1}} \quad (5.9)$$

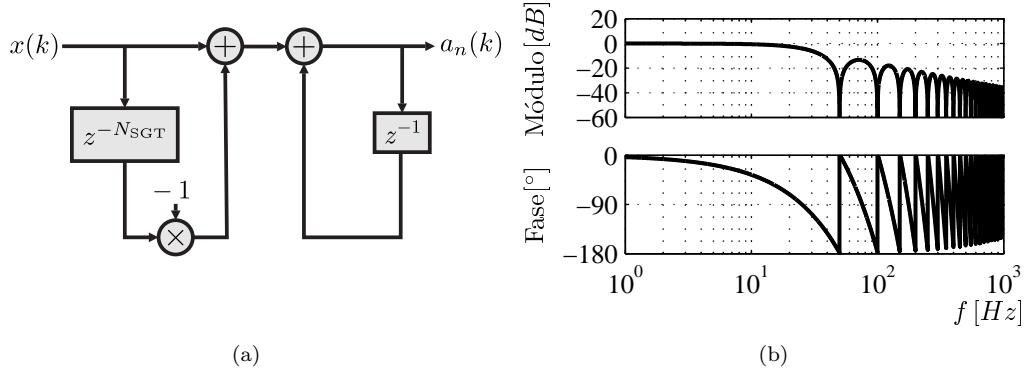


Figura 5.5: Filtro propuesto basado en la SGT. (a) Estructura y (b) diagrama de Bode normalizado con $1/N_{SGT}$.

donde es importante destacar que esta transferencia presenta en continua una ganancia igual a N_{SGT} . En la Figura 5.5 se presentan la implementación simplificada de la transformación para $n = 0$ y el diagrama de Bode normalizado adoptando un $T_S = 156,25\mu s$ y un $N_{SGT} = 128$, equivalente a muestrear la tensión de línea de $50Hz$ a una frecuencia 128 veces más grande. Puede verificarse el primer cero de transferencia en $50Hz$, el segundo en $100Hz$ y así sucesivamente.

El filtro resultante tiene la ventaja de ser muy simple ya que sólo se requiere realizar una suma y una resta además de almacenar N_{SGT} valores para su implementación. Ya que la técnica de período de muestreo variable ajusta la frecuencia de muestreo, el filtro propuesto ubicará en régimen permanente los ceros de transferencia en exactamente múltiplos de la frecuencia de entrada permitiendo obtener rechazo infinito a las perturbaciones de la línea.

Es importante notar que, a pesar de que el filtro ubica los polos y ceros de transferencia sobre el círculo unitario, los coeficientes resultan $+1$ y -1 . Debido a que estos coeficientes pueden representarse sin inconvenientes en plataformas de aritmética finita, no es necesario adicionar el factor de amortiguamiento ($r=1$). Este filtro puede considerarse también como un promediador con ventana deslizante.

5.3. Estructura del sistema propuesto

Como se describió en el capítulo previo, el VSP-PLL ajusta el período de muestreo a fin de lograr error de fase cero en régimen permanente ($e_\varphi(k) = 0$). Para determinar el valor de $e_\varphi(k)$ en un instante dado, este método resta la fase de referencia con la fase de la red eléctrica estimada a partir de la transformada $\alpha\beta$ y el arcotangente de la división entre ambos componentes del

marco de referencia estacionario. Como se demostró en la [Sección 4.3](#), este detector de error de fase puede generar bajo ciertas condiciones de funcionamiento una componente de continua que no puede ser rechazada por el lazo de control. Como resultado, aparece un error de fase constante sumado al ripple generado por los armónicos que deteriora el rendimiento del VSP-PLL.

Esta limitación se puede evitar empleando como detector de error de fase a la transformada dq , una opción ampliamente utilizada en otros sistemas de sincronismo digitales como el SRF-PLL. El uso de la representación de señales trifásicas en el marco de referencia sincrónico como detector de error de fase no implica mayores modificaciones del principio de funcionamiento de la técnica de período de muestreo variable, debido a que el lazo de control que ajusta el período de muestreo sólo requiere de una señal que represente al error de fase del sistema para adaptar esta variable, sin importar como se obtiene la misma. Por lo tanto, el detector de error de fase propuesto para el VSPF-PLL resulta:

$$e_\varphi(k) = -v_q(k) = \begin{bmatrix} \sin(\varphi_{\text{ref}}(k)) & -\cos(\varphi_{\text{ref}}(k)) \end{bmatrix} \begin{bmatrix} v_\alpha(k) \\ v_\beta(k) \end{bmatrix} \quad (5.10)$$

donde se ha utilizado a $\varphi_{\text{ref}}(k)$ como eje del marco de referencia sincrónico en el cual se representan las señales de la red eléctrica. Asumiendo una terna ideal formada solamente por la fundamental de secuencia positiva y una pequeña diferencia de fase entre $\varphi_{\text{ref}}(k)$ y $\varphi_u(k)$, el error de fase queda definido por:

$$e_\varphi(k) = V_{+1}(\varphi_{\text{ref}}(k) - \varphi_u(k)) \quad (5.11)$$

La desventaja de utilizar este detector de error de fase reside en que la amplitud de la componente fundamental de secuencia positiva de la terna debe asumirse conocida a fin de diseñar el control del sistema, ya que el error de fase queda multiplicado por esta variable al igual que ocurre en el SRF-PLL y sus variaciones. Como resultado, un cambio en esta amplitud implica un cambio en una ganancia en el modelo matemático del sistema.

Finalmente, para rechazar los efectos adversos de las perturbaciones de la red eléctrica en $e_\varphi(k)$ cuando la terna no corresponde con su representación ideal, se propone utilizar el filtro descrito en la [Sección 5.2](#). Como se demostró en la [Sección 2.3.3](#), una señal trifásica distorsionada genera en el marco de referencia sincrónico oscilaciones de frecuencia múltiplo de la frecuencia de línea sin términos subarmónicos o interarmónicos, por lo que, una vez sincronizado

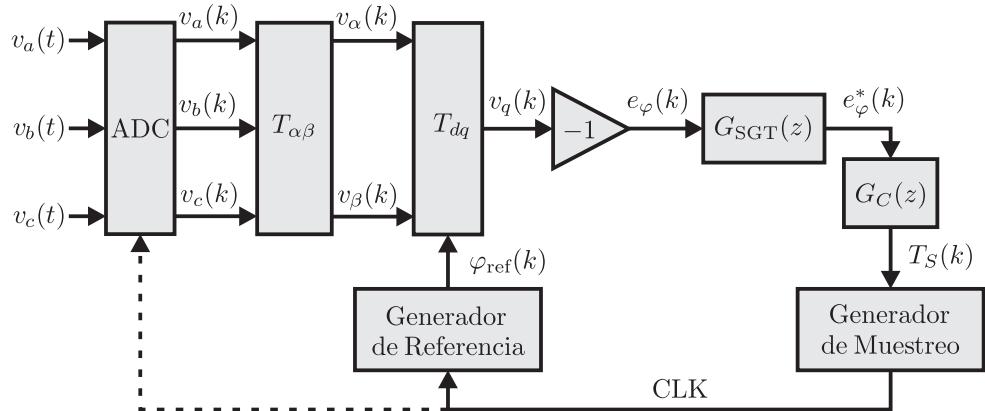


Figura 5.6: Diagrama en bloques del VSPF-PLL.

el PLL, el error de fase filtrado ($e_\varphi^*(k)$) por el filtro digital no tendrá oscilaciones múltiplo de la frecuencia de línea. El diagrama en bloques del método propuesto se muestra en la [Figura 5.6](#).

Como se demostró en la [Sección 2.3.3](#), la aparición de la secuencia negativa de la fundamental ($n = -1$) genera una oscilación del doble de la frecuencia de la red en el marco de referencia sincrónico. De la misma forma, un armónico de orden n genera oscilaciones de $n - 1$ o $n + 1$ veces la frecuencia de la red dependiendo de si la misma es de secuencia positiva o negativa respectivamente. Por otro lado, la amplitud de los armónicos pares de la línea son en general despreciables en comparación con la amplitud de los armónicos impares [20]. Como consecuencia, solamente se requiere eliminar del error de fase del sistema de sincronismo los múltiplos pares de la frecuencia de línea ya que estos son los generados por los desbalances y los armónicos impares de la terna en el marco de referencia sincrónico. Para eliminar los ceros de transferencia no necesarios del $G_{SGT}(z)$ y así permitir el diseño del controlador logrando el máximo ancho de banda posible, se adopta $N_{SGT} = N_{PLL}/2$. Como resultado, el primer cero de transferencia se ubica en $100Hz$ (rechazando el efecto de los desbalances y secuencia positiva del tercer armónico), el segundo se ubica en $200Hz$ (rechazando el efecto de la secuencia negativa del tercer armónico y la secuencia positiva del quinto armónico), y así sucesivamente. Sin embargo, si la aplicación requiere el rechazo de todos los armónicos de la red eléctrica o el rechazo de la componente de continua, la cual genera una oscilación de $50Hz$ en el error de fase, puede adoptarse $N_{SGT} = N_{PLL}$.

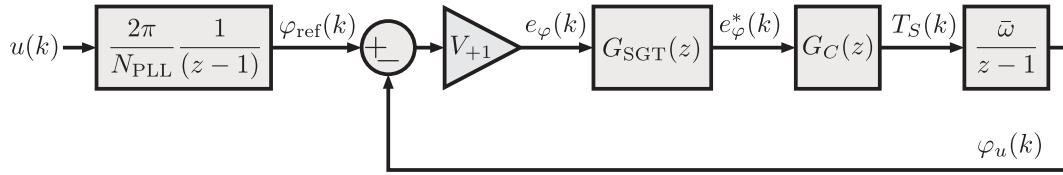


Figura 5.7: Modelo matemático del VSPF-PLL.

5.4. Modelo matemático y diseño del controlador

En la [Figura 5.7](#) se presenta el modelo matemático del VSPF-PLL. El mismo está basado en el modelo del VSP-PLL desarrollado en la [Sección 4.1.2](#), al cual se ha adicionado el filtro basado en la SGT y la amplitud nominal de la secuencia positiva de la terna, como resultado del detector de error de fase empleado. El resto del modelo no se modifica en relación al sistema convencional debido a que el lazo que ajusta el período de muestreo no sufre de modificaciones sustanciales manteniendo el mismo principio de funcionamiento.

Sin embargo, la complejidad que adiciona el filtro propuesto en la transferencia del sistema a lazo cerrado, dificulta considerablemente el diseño del controlador mediante la técnica empleada para el diseño del controlador del VSP-PLL. Como resultado no se logra obtener expresiones sencillas que permitan ajustar los parámetros del controlador del sistema mejorado.

En su lugar, se ha optado por realizar una compensación del sistema en el dominio continuo, mediante la representación de la transferencia digital del sistema a través de la técnica de invarianza al impulso, y la ubicación de las singularidades y la ganancia del controlador de forma tal de obtener un adecuado margen de fase (Loop Shaping). De esta forma se efectúa un diseño que tiene como objetivo obtener el mayor ancho de banda posible en el lazo de fase del sistema de sincronismo. Para esto se ha asumido un modelo matemático linealizado a partir de un período de muestreo de $156\mu s$, equivalente a muestrear la tensión de línea de $50Hz$ a una frecuencia 128 veces mayor, una frecuencia de entrada media $\bar{\omega} = 2\pi 50rad/s$, una amplitud de la terna normalizada de $V_{+1} = 1$, un $N_{PLL} = 128$ y un $N_{SGT} = 64$.

Trabajando con el modelo matemático del método propuesto, la transferencia del sistema a lazo abierto resulta:

$$T_{LA}(z) = V_{+1} G_{SGT}(z) G_C(z) \frac{\bar{\omega}}{z - 1} \quad (5.12)$$

Reemplazando $G_{SGT}(z)$ por la Ec. (5.9), la $T_{LA}(z)$ queda:

$$T_{LA}(z) = V_{+1}\bar{\omega}G_C(z)\frac{z^{N_{SGT}} - 1}{z^{N_{SGT}-1}(z - 1)^2} \quad (5.13)$$

La característica deseada del sistema a lazo cerrado es el error nulo a la rampa, por lo que la $T_{LA}(z)$ debe ser de tipo 2, es decir, tener dos polos en $z = 1$. Es importante notar que la ventana deslizante representada en la transferencia a través del término $z^{N_{SGT}} - 1$, genera N_{SGT} ceros sobre el círculo unitario, uno de los cuales se ubica en $z = 1$. Como consecuencia, uno de los polos se cancela y el sistema resulta ser de tipo I. Teniendo en cuenta esto, el controlador debe proveer del segundo polo en $z = 1$ para que la respuesta a lazo abierto sea tipo II.

Inicialmente se adoptará un controlador simple que sólo provea de este polo, siendo la transferencia del mismo:

$$G_C(z) = \frac{1}{z - 1} \quad (5.14)$$

Reemplazando esta transferencia en la Ec. (5.13), la $T_{LA}(z)$ queda:

$$T_{LA}(z) = V_{+1}\bar{\omega}\frac{z^{N_{SGT}} - 1}{z^{N_{SGT}-1}(z - 1)^3} \quad (5.15)$$

En la Figura 5.8 se presenta la respuesta en frecuencia de esta transferencia adoptando los valores previamente enunciados. Analizando el diagrama de Bode se concluye que el sistema con este simple controlador es inestable. Inicialmente la fase del lazo es de -180° , y la misma disminuye a medida que aumenta la frecuencia. Luego, como resultado del cero complejo conjugado ubicado en $100Hz$, se produce un cambio abrupto de la fase de -360° a -180° . Este efecto impide compensar el lazo de control por encima de esta frecuencia.

Con el fin de estabilizar el sistema, se propone adicionar al controlador dos ceros, que eleven la fase del lazo, y adicionar una ganancia, a fin de ajustar el cruce por $0dB$ en una frecuencia donde la fase alcance los -135° . De esta manera se asegura la estabilidad del PLL con un margen de fase de 45° . La transferencia del controlador propuesto resulta:

$$G_C(z) = K\frac{(z - a)^2}{z(z - 1)} \quad (5.16)$$

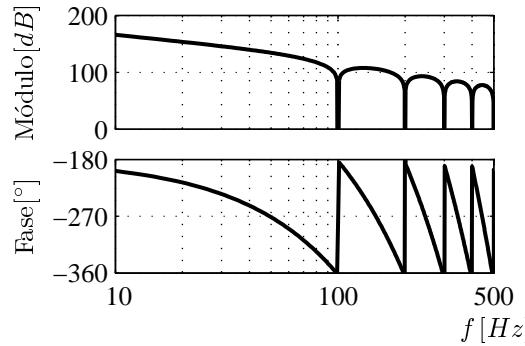


Figura 5.8: Respuesta en frecuencia de la transferencia a lazo abierto adoptando el controlador simplificado de la Ec. (5.14).

Tabla 5.1: Valores adoptados para el parámetro a

$a^*[Hz]$	a
10	0.990230557065503
14	0.986349556076321
18	0.982483765856561
22	0.978633126790802
26	0.974797579497273
30	0.970977064826939
34	0.967171523862587
38	0.963380897917915
42	0.959605128536631
46	0.955844157491553
50	0.952097926783705

Nuevamente reemplazando en la Ec. (5.13), la $T_{LA}(z)$ queda:

$$T_{LA}(z) = V_{+1}\bar{\omega}K \frac{(z^{N_{SGT}} - 1)(z - a)^2}{z^{N_{SGT}}(z - 1)^3} \quad (5.17)$$

A fin de maximizar el ancho de banda del sistema y mantener la característica doble integradora en el mayor rango de frecuencias posible, se define como parámetro de diseño la ubicación del doble cero del controlador en la mayor frecuencia que logre una fase de -135° . Para encontrar dicha frecuencia se analiza la fase del lazo del control para diferentes valores de a . Utilizando la técnica de invarianza al impulso, se calculan los valores del parámetro a partiendo de definir las posibles frecuencias en el dominio continuo. Esto se logra haciendo:

$$a = e^{-2\pi a^* T_S} \quad (5.18)$$

donde a^* es la ubicación de la singularidad en el dominio continuo. En la Tabla 5.1 se resumen los valores adoptados para el análisis descrito mientras que, en la Figura 5.9 se presenta la fase

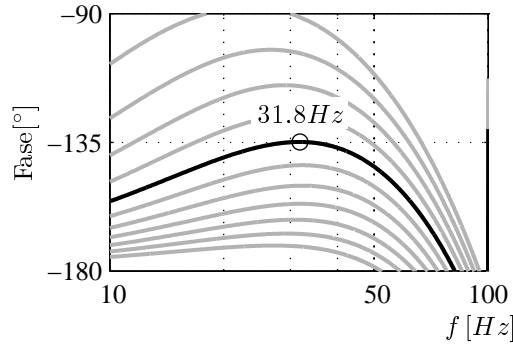


Figura 5.9: Fase de la transferencia del sistema a lazo abierto utilizando el controlador de la Ec. (5.16) y adoptando los valores de la Tabla 5.1. Caso particular de $a^* = 26\text{Hz}$ (Negro).

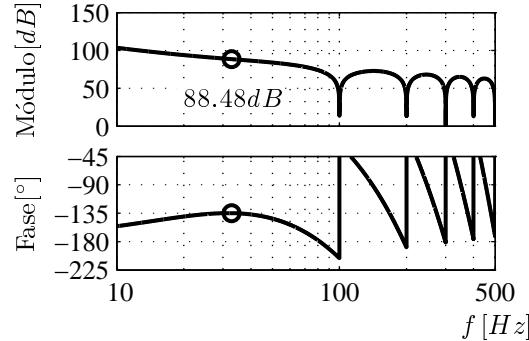


Figura 5.10: Respuesta en frecuencia del sistema a lazo abierto utilizando el controlador de la Ec. (5.16). Se ha adoptado $K = 1$ y $a^* = 26\text{Hz}$.

del lazo para cada uno de estos valores. En dicha figura se ha resaltado el valor correspondiente a $a^* = 26\text{Hz}$ ya que el mismo permite una fase de -135° en $31,8\text{Hz}$ y maximiza el rango de frecuencias del doble integrador.

Se presenta en la Figura 5.10 la respuesta en frecuencia de la $T_{LA}(z)$ para el caso particular de adoptar $K = 1$ y $a^* = 26\text{Hz}$. Se verifica que el lazo de control tiene una ganancia de $88,48\text{dB}$ en $31,8\text{Hz}$ donde la fase es igual a -135° . Debido a esto se adopta $K = 37,67 \times 10^{-6}$ ($-88,48\text{dB}$) logrando estabilizar el sistema con un margen de fase de 45° .

De la misma forma, puede repetirse el análisis para redes eléctricas de 60Hz . Para este caso, los valores de los parámetros obtenidos son $a^* = 31\text{Hz}$, $K = 31,10 \times 10^{-6}$ ($-90,14\text{dB}$) y un cruce por 0dB en $38,9\text{Hz}$. En la Tabla 5.2 se resumen los valores del filtro para ambas condiciones de funcionamiento.

Tabla 5.2: Parámetros del controlador del VSPF-PLL

Red Eléctrica	a^*	a	K
$50Hz, V_{+1} = 1$	$26Hz$	0.974797579497273	$37,645843 \times 10^{-6}$
$60Hz, V_{+1} = 1$	$31Hz$	0.974957093428083	$31,101094 \times 10^{-6}$

5.5. Evaluación del VSPF-PLL

En la sección presente se verificarán los resultados obtenidos mediante una simulación del sistema en MATLAB®/SIMULINK®. Se analizará la respuesta mediante diferentes perturbaciones de la red eléctrica. Para cada ensayo se ha configurado al método de sincronismo con los valores adoptados en la sección previa para redes eléctricas de $50Hz$.

En la [Figura 5.11](#) se presenta la respuesta del VSPF-PLL ante un escalón de frecuencia de $5Hz$, un escalón simétrico de amplitud del -20% , un desbalance del 5% y un 5% de 5to armónico. Para cada ensayo se muestra la señal de prueba, la frecuencia estimada (calculada a partir del período de muestreo y el valor de N_{PLL}) y el error de fase obtenido como la diferencia entre la fase de referencia y la fase del generador ($\varphi_{error}(k) = \varphi_{ref}(k) - \varphi_u(k)$).

Ante el escalón de frecuencia ([Figura 5.11\(a\)](#)), el sistema responde en sólo un período de la red eléctrica logrando error de fase cero y ajuste correcto de la frecuencia estimada en régimen permanente. Se demuestra la capacidad del lazo de control para modificar el período de muestreo y lograr sincronizarse en redes de frecuencia variable.

Se verifica mediante la observación de la [Figura 5.11\(b\)](#) que un escalón de amplitud simétrico no provoca un transitorio de enganche del PLL. Esto se debe a que la diferencia entre la fase de referencia y la fase de la tensión de entrada es cero, por lo que el error de fase del sistema no se modifica a pesar del cambio en la amplitud de la componente fundamental de la terna ([Ec. \(5.11\)](#)).

Por último, analizando el ensayo de desbalance y armónicos, se verifica la gran ventaja del presente método en relación a los analizados previamente. El VSPF-PLL logra error de fase cero en régimen permanente en ambos casos manteniendo una adecuada velocidad de respuesta y un reducido error máximo durante el transitorio.

Para estos dos ensayos se verifica un tiempo de establecimiento de aproximadamente un ciclo de la red eléctrica. Ante un cambio de la señal trifásica de entrada, el filtro propuesto debe almacenar los nuevos valores de la señal de error, lo cual corresponde a la mitad del período de la terna como resultado de haber ajustado el algortimo con un $N_{PLL} = 2N_{SGT}$. Al mismo tiempo, analizando los transitorios se verifica que, a pesar de que el PLL se encuentre

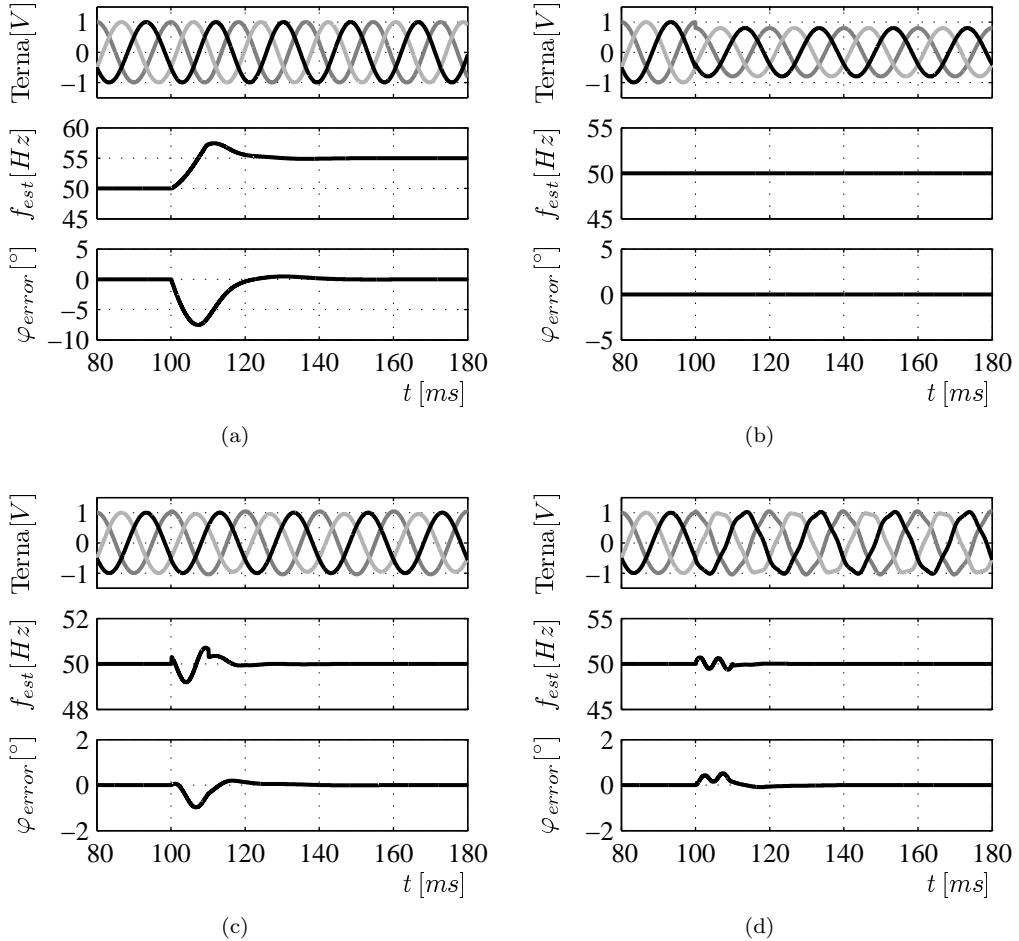


Figura 5.11: Respuesta del VSPF-PLL ante diferentes perturbaciones. Se presenta las señales de prueba, la frecuencia estimada y el error de fase. (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico.

en proceso de sincronizarse y el período de muestreo no es constante, los ceros de transferencia permiten lograr un gran rechazo a la perturbación. Como resultado, las perturbaciones generan un pequeño transitorio de enganche con bajo error máximo durante el mismo. Esta característica hace del VSPF-PLL una muy buena alternativa para sincronizar dispositivos electrónicos a la red eléctrica.

5.6. Validación del modelo

Con el objetivo de validar el modelo matemático utilizado en el diseño del controlador del VSPF-PLL, en esta sección se compara la respuesta del error de fase ($e_\varphi(k)$) del modelo matemático y del sistema real mediante simulaciones en MATLAB®/SIMULINK®.

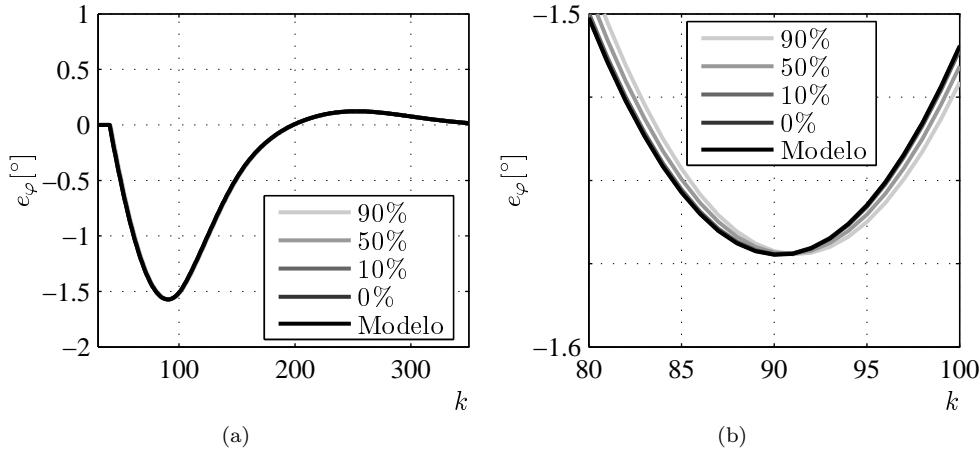


Figura 5.12: Error de fase del VSPF-PLL y del modelo matemático ante un escalón de frecuencia de 1Hz a diferentes intervalos entre dos instantes de muestreo consecutivos. (a) Evolución de cada señal ante la perturbación analizada y (b) ampliación de la respuesta durante la desviación máxima del transitorio.

En la [Figura 5.12\(a\)](#) se presenta la evolución de esta variable para ambos sistemas al efectuar un escalón de frecuencia de 1Hz a diferentes intervalos entre dos instantes de muestreo consecutivos. Como se verifica en la figura, la respuesta del modelo matemático en relación a las respuestas del sistema real a diferentes intervalos no presenta diferencias significativas por lo que se valida el modelo.

Durante la validación del VSPF-PLL analizada en la [Sección 4.1.4](#), se presentó la respuesta del modelo y del sistema real al efectuar el escalón de frecuencia en diferentes intervalos entre dos muestras consecutivas. Este ensayo se realizó en dos partes, primero se configuró al sistema con un gran ancho de banda y luego se empleó el ancho de banda utilizado en la evaluación de método. Mientras que en el primer caso se observaron diferencias en la respuesta según el intervalo adoptado para la ejecución de la perturbación, en el segundo no hubo diferencias notorias como resultado del menor ancho de banda empleado. Debido a que el ancho de banda del VSPF-PLL es del orden de los presentados en el segundo caso, en esta sección se analiza la respuesta del sistema en esa condición. Por lo tanto, la respuesta del sistema de sincronismo trifásico propuesto en esta tesis no difiere significativamente según el instante en el cual se efectúa la perturbación. A fin de verificar estas pequeñas diferencias en la respuesta, en la [Figura 5.12\(b\)](#) se presenta una ampliación de la figura analizada en el párrafo previo donde se observa la evolución de cada señal durante la desviación máxima en el transitorio de respuesta ante el escalón de frecuencia. En el mismo puede observarse que las diferencias entre las respuestas de cada caso analizado son despreciables.

5.7. Resultados Experimentales

En esta sección se analiza el comportamiento de una implementación del VSPF-PLL en un TMS320F2812 (DSP de punto fijo de 32 bits y clock de $150MHz$). Se emplea el mismo banco de ensayos descrito en la [Sección 4.2](#). Debido a que los valores adoptados por la fase de referencia son fijos para un período de la rampa de fase, las funciones sinusoidales necesarias para calcular la transformada dq se implementan con una tabla de 128 valores. De esta forma se reduce el tiempo de ejecución o el tamaño de la tabla, dependiendo de la estrategia adoptada para la implementación de las funciones sinusoidales, en comparación con otras propuestas que requieren el cálculo de funciones trigonométricas para diversos argumentos [49]. El método fue programado en C, utilizando librerías IQmath [63] a fin de optimizar el tiempo de cálculo. Como resultado, el tiempo de ejecución del algoritmo sin considerar la etapa de adquisición resulta de $2,9\mu s$.

La [Figura 5.13](#) presenta la respuesta del sistema ante un escalón de frecuencia de $5Hz$, un escalón simétrico de amplitud del -20% , un desbalance del 5% y contaminación armónica compuesta por un 5% de 5to armónico. Para cada ensayo se presenta la respuesta del sistema capturada por un osciloscopio donde puede apreciarse la señal de prueba (v_{abc}), la frecuencia estimada (f_{est}) calculada a partir de T_S y N_{PLL} , y el error de fase (φ_{error}) obtenido como la diferencia entre la fase de referencia y la fase del generador trifásico.

Estas figuras muestran que el sistema propuesto permite una correcta estimación de la frecuencia de línea y fase instantánea en régimen permanente para cada uno de los ensayos realizados. Mientras que el escalón de frecuencia genera un transitorio suave que presenta las mayores desviaciones de los parámetros estimados, como resultado de la elevada amplitud de la perturbación, la respuesta ante las otras perturbaciones no exhiben grandes desviaciones durante el enganche del PLL. De esta forma se obtiene una rápida y precisa detección de los parámetros de la red eléctrica aún trabajando ante distorsión de la forma de la onda de la terna.

Se verifica correspondencia entre la respuesta del sistema experimental y los resultados obtenidos en la etapa de simulación tanto en la dinámica del mismo como en los errores máximos durante los transitorios. Para cada ensayo el sistema logra sincronizarse sin presentar error de fase ni variaciones en la frecuencia estimada en régimen permanente.

Por último, a fin de demostrar la robustez del método, se presenta en la [Figura 5.14](#) la respuesta ante dos condiciones extremas de funcionamiento, una terna afectada por una gran

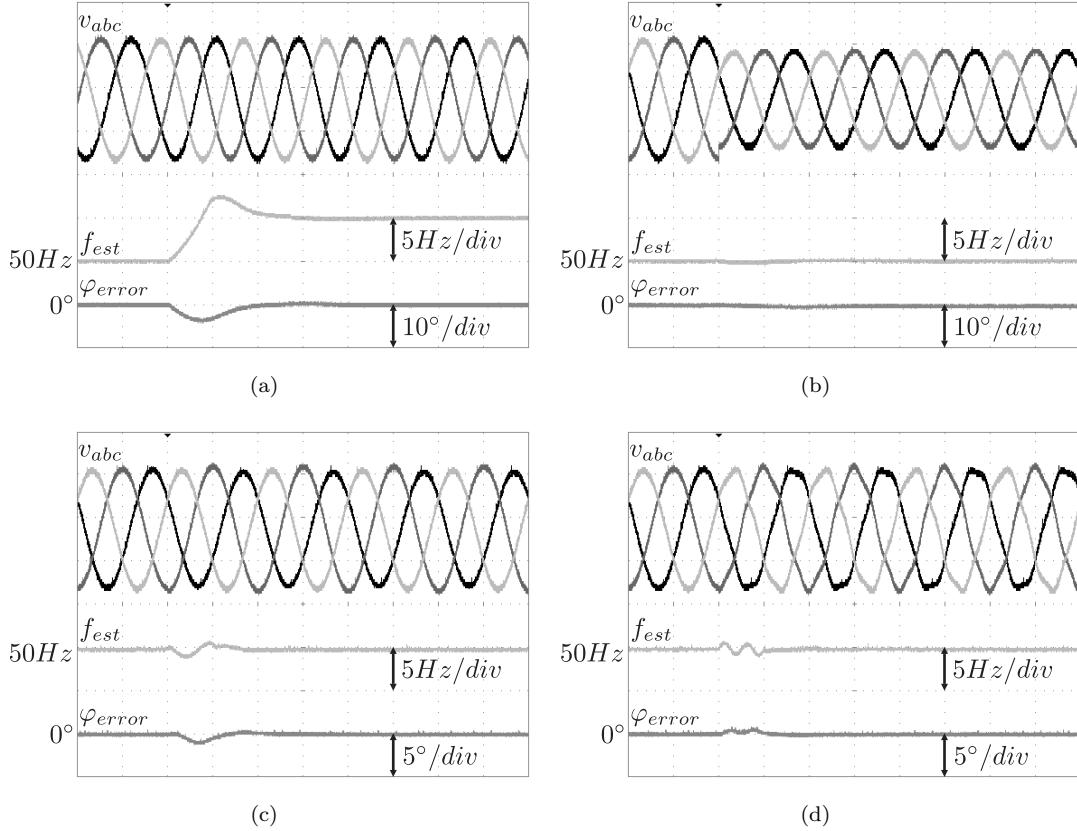


Figura 5.13: Respuesta del VSPF-PLL ante diferentes perturbaciones. Para cada ensayo se presenta la señal trifásica de prueba (v_{abc}), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). (a) Escalón de frecuencia de 5Hz, (b) escalón simétrico de amplitud del -20 %, (c) desbalance del 5 % y (d) 5 % de 5to armónico. La escala temporal del osciloscopio en todos los casos es de 10ms/div.

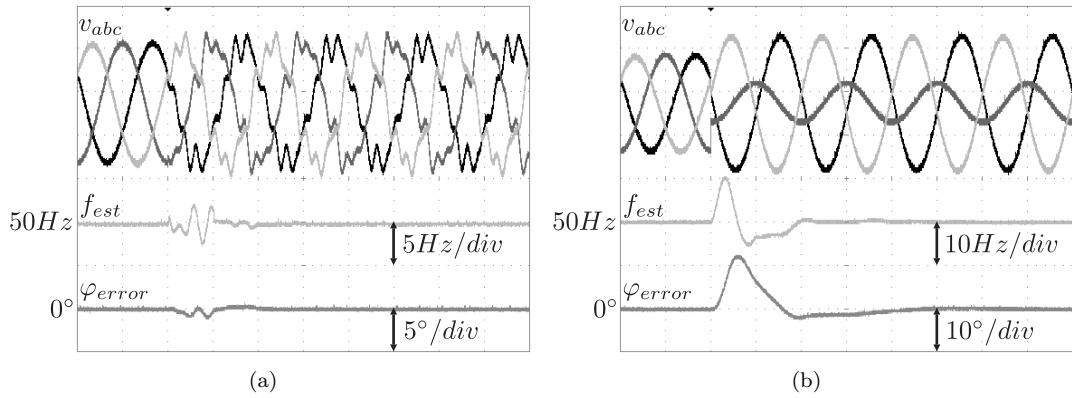


Figura 5.14: Respuesta del VSPF-PLL ante diferentes perturbaciones. Para cada ensayo se presenta la señal trifásica de prueba (v_{abc}), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). (a) Elevada distorsión armónica y (b) dip asimétrico de tensión. La escala temporal del osciloscopio en los dos casos es de 10ms/div.

distorsión armónica y una terna afectada por un desbalance de gran amplitud. Este último corresponde a la aparición de un dip asimétrico de tensión resultado de un cortocircuito entre

una de las fases y el neutro. Puede apreciarse en consecuencia como una de las fases de la terna reduce su amplitud en relación al valor nominal y como las otras dos fases quedan prácticamente en contrafase. Se verifica en ambos ensayos que el sistema logra error de fase cero y una correcta estimación de la frecuencia estimada en régimen permanente sin oscilaciones. La capacidad del sistema de detectar la secuencia positiva ante estos niveles de distorsión hace del VSPF-PLL una buena alternativa para la sincronización de dispositivos electrónicos. Además, el muestreo sincrónico de la terna resulta beneficiosa para los dispositivos de monitoreo de redes eléctricas, ya que la frecuencia de muestreo se ajusta exactamente a un múltiplo de la frecuencia de línea, permitiendo un adecuado procesamiento de la señal trifásica y la toma de decisiones en la red como resultado de este procesamiento.

5.8. Comparación con otros métodos trifásicos de sincronismo

Para evaluar el rendimiento del sistema propuesto, se presenta en esta sección una comparativa a nivel de simulación de éste frente a algunos de los métodos trifásicos analizados en los capítulos previos. Se analiza la respuesta del VSP-PLL, SRF-PLL, ESRF-PLL, DDRSF-PLL, DSOGI-PLL, 3EPLL y del VSPF-PLL ante diferentes perturbaciones. Todos los sistemas fueron configurados a fin de presentar una respuesta similar ante un escalón de frecuencia de 1Hz . No se incluye en este análisis los métodos basados en el filtrado en marco de referencia estacionario y sincrónico debido a que los mismos sufren de gran sensibilidad a los cambios frecuenciales de la terna.

En la [Figura 5.15](#) se muestra el error de fase de cada métodos (φ_{error}), calculado como la diferencia entre la fase estimada y la fase del generador, ante una variación de la frecuencia de línea, un desbalance de tensiones y contaminación armónica. No se presenta la evolución de la frecuencia estimada debido a que el análisis del error de fase provee de información suficiente para determinar las características distintivas de los métodos simulados. Para los ensayos se ha definido un tiempo de establecimiento (t_S) como el tiempo requerido para que los sistemas logren una desviación en la frecuencia estimada menor a $\pm 0,1\text{Hz}$ del valor de frecuencia final.

La simulación se inicializa con una terna ideal de amplitud y frecuencia igual a 1V y 50Hz respectivamente y con todos los métodos sincronizados. Para demostrar la similitud entre anchos de banda, en $t = 150\text{ms}$ se efectúa un escalón de frecuencia de 1Hz . Luego, en $t = 200\text{ms}$ se

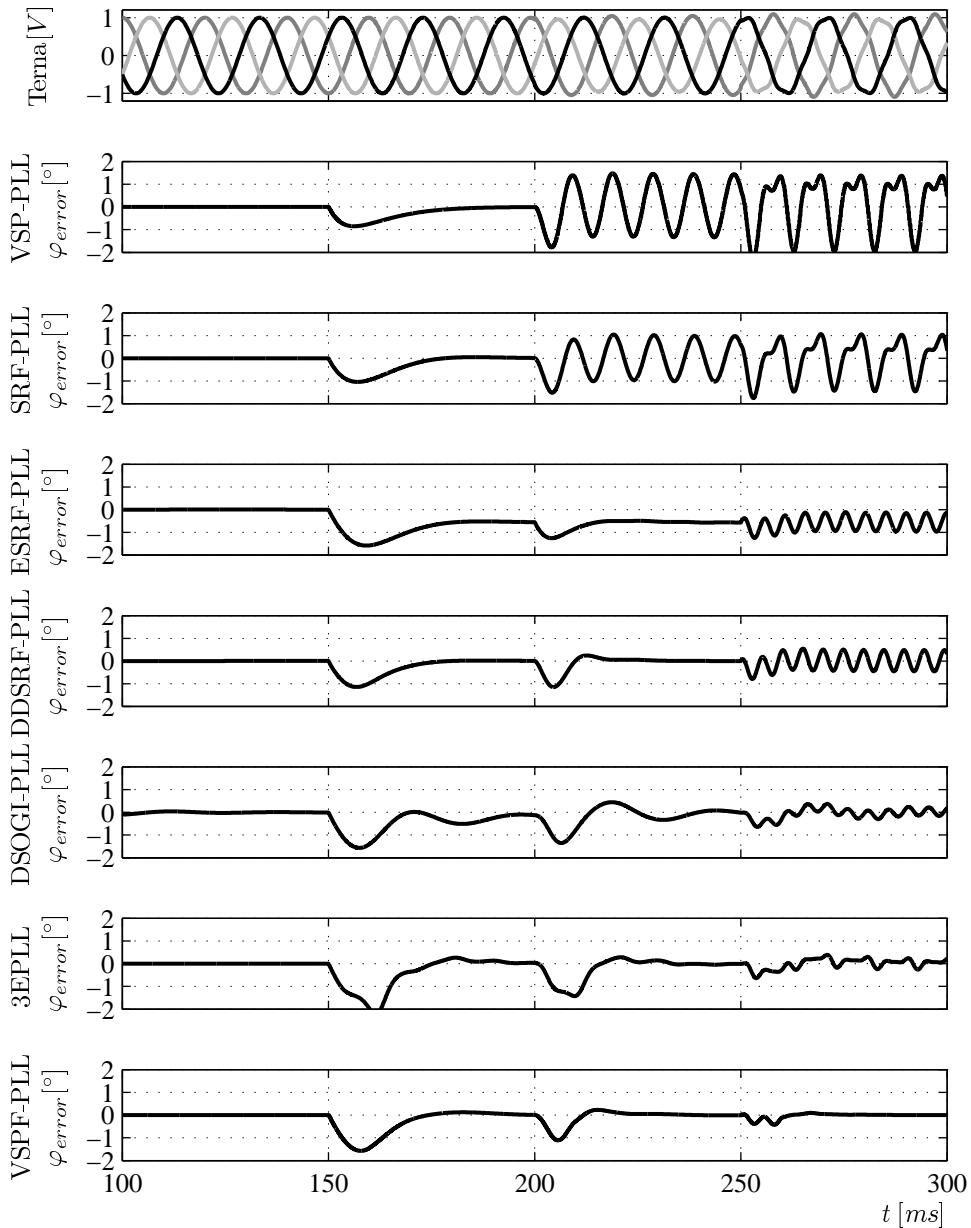


Figura 5.15: Error de fase de los sistemas trifásicos de sincronismo ante diferentes perturbaciones.

genera un desbalance del 5 %. Finalmente en $t = 250ms$ se suma a la señal de prueba una 5ta armónica del 5 % del valor de fundamental.

Como se verifica en la [Figura 5.15](#), el VSP-PLL y el SRF-PLL exhiben una adecuada dinámica ante el escalón de frecuencia tanto por el error de fase máximo durante el transitorio ($0,85^\circ$ y $1,045^\circ$ respectivamente) como por el tiempo de establecimiento ($19ms$ y $23,5ms$ respectivamente). Sin embargo, se observan oscilaciones en régimen permanente ante el desbalance y el

5to armónico, lo cual degrada la performance de ambos sistemas trabajando en redes eléctricas distorsionadas.

Por otro lado, el ESRF-PLL presenta una correcta respuesta dinámica tanto para el escalón de frecuencia como para el desequilibrio de las tensiones del sistema. Para este último, se midió un error de fase máximo durante el transitorio de $1,2608^\circ$ y un tiempo de establecimiento de $14,6ms$. Sin embargo, este método exhibe un error de fase constante de aproximadamente $0,57^\circ$ en régimen permanente luego del escalón de frecuencia ya que el sistema de sincronismo no es adaptivo en frecuencia. Esta es la principal limitación del ESRF-PLL, y debido a que en la práctica existen pequeñas desviaciones de este parámetro, este método no resulta aconsejable para dispositivos que requieran de una elevada precisión en la estima de la fase y frecuencia de línea.

En relación a la respuesta del DDSRF-PLL, DSOGI-PLL y el 3EPLL, los tres sistemas logran error de fase cero luego del escalón de frecuencia y el desbalance presentando una adecuada respuesta dinámica. En particular, el DDSRF-PLL muestra el mejor comportamiento ya que los otros dos métodos exhiben oscilaciones en su respuesta transitoria. Sin embargo, estos tres métodos no logran rechazar completamente el efecto del 5to armónico, ya que se verifica un ripple en régimen permanente luego de la aparición de esta perturbación. El DDSRF-PLL presenta la respuesta más rápida ($21,3ms$ para el escalón de frecuencia y $16,5ms$ para el desbalance), pero el ripple en régimen permanente del error de fase ante el armónico es similar al presentado por el ESRF-PLL. Por otro lado, el error en régimen permanente del DSOGI-PLL y el 3EPLL es menor a los otros métodos analizados previamente, lo cual es atribuible al reducido ancho de banda de cada sistema y a la cantidad de integradores utilizados por los lazo de control. Como resultado, este mayor rechazo conlleva a un incremento significativo en la complejidad de los sistemas de sincronismo.

El VSPF-PLL no sólo presenta una respuesta adecuada ante el escalón de frecuencia y el desbalance, si no que además no exhibe oscilaciones en régimen permanente luego de la adición del 5to armónico. Para estos dos últimos ensayos, el VSPF-PLL presenta el menor tiempo de establecimiento en relación a los métodos simulados, $14,3ms$ y $12,1ms$ respectivamente. Es importante notar que además de estas ventajas, el sistema posee una simple estructura ya que puede considerarse como un SRF-PLL (el sistema trifásico de sincronismo de estructura más simple) con el agregado de una suma y una resta para la implementación del filtro propuesto.

Finalmente, en la [Tabla 5.3](#) se resumen las características de los sistemas de sincronismo

Tabla 5.3: Características básicas de los métodos trifásicos de sincronismo.

Métodos	Adaptivo en freq.	Rechazo Desbalance	Rechazo Armónicos	T_S Variable	Dinámica	Estructura
VSP-PLL	si	no	no	si	suave	simple
SRF-PLL	si	no	no	no	suave	simple
ESRF-PLL	no	si	no	no	suave	simple
DDSRF-PLL	si	si	no	no	suave	compleja
DSOGI-PLL	si	si	no	no	subamortiguada	compleja
3EPLL	si	si	no	no	subamortiguada	compleja
VSPF-PLL	si	si	si	si	suave	simple

Tabla 5.4: Respuesta de los métodos trifásicos de sincronismo ante las perturbaciones analizadas.

Respuesta ante un escalón de frecuencia de 1Hz					
Métodos	$\Delta\varphi_{max} [^{\circ}]$	$\Delta\varphi_{RPmax} [^{\circ}]$	$\Delta f_{max} [Hz]$	$\Delta f_{RPmax} [Hz]$	$t_S [ms]$
VSP-PLL	0.8500	0	0.1400	0	19.0
SRF-PLL	1.0450	0	0.2079	0	23.5
ESRF-PLL	1.5872	0.5673	0.2075	0	25.2
DDSRF-PLL	1.1463	0	0.2774	0	21.3
DSOGI-PLL	1.5648	0	0.5360	0	41.5
3EPLL	2.2036	0	1.2714	0	34.2
VSPF-PLL	1.5724	0	0.4253	0	23.6
Respuesta ante un desbalance del 5 %					
Métodos	$\Delta\varphi_{max} [^{\circ}]$	$\Delta\varphi_{RPmax} [^{\circ}]$	$\Delta f_{max} [Hz]$	$\Delta f_{RPmax} [Hz]$	$t_S [ms]$
VSP-PLL	1.7759	1.4371	2.7861	2.5721	—
SRF-PLL	1.5229	1.0302	1.9951	1.8063	—
ESRF-PLL	1.2608	0.5772	0.2536	0.0177	14.6
DDSRF-PLL	1.1489	0	0.8085	0	16.5
DSOGI-PLL	1.3532	0	0.6817	0	40.1
3EPLL	1.4269	0	1.1030	0	33.6
VSPF-PLL	1.1113	0	0.7595	0	14.3
Respuesta ante un 5 % de 5to armónico					
Métodos	$\Delta\varphi_{max} [^{\circ}]$	$\Delta\varphi_{RPmax} [^{\circ}]$	$\Delta f_{max} [Hz]$	$\Delta f_{RPmax} [Hz]$	$t_S [ms]$
VSP-PLL	2.2821	1.9532	4.6595	4.4505	—
SRF-PLL	1.7598	1.4631	2.7301	2.6284	—
ESRF-PLL	1.2525	0.9744	1.5425	1.4787	—
DDSRF-PLL	0.7950	0.4856	1.8503	1.6716	—
DSOGI-PLL	0.6448	0.2373	0.9344	0.7392	—
3EPLL	0.6386	0.2618	0.7422	0.7366	—
VSPF-PLL	0.4301	0	0.6748	0	12.1

simulados en esta sección y en la Tabla 5.4 se presenta los valores adoptados por las variables de cada método ante las perturbaciones analizadas. Se presenta el error de fase máximo durante el transitorio ($\Delta\varphi_{max}$), el error de fase máximo en régimen permanente ($\Delta\varphi_{RPmax}$), la desviación máxima en la frecuencia estimada durante el transitorio (Δf_{max}), la desviación máxima en la frecuencia estimada en régimen permanente (Δf_{RPmax}) y el tiempo de establecimiento (t_S).

En aquellos casos en que los métodos no logren en régimen permanente una desviación de la frecuencia estimada menor a $0,1Hz$, no se define t_S .

5.9. Conclusiones del capítulo

En este capítulo se ha presentado un nuevo método de sincronismo trifásico denominado VSPF-PLL (Variable Sampling Period Filter PLL). Este sistema está basado en la técnica de período de muestreo variable e implementa el detector de error de fase a partir de la representación de señales en el marco de referencia sincrónico y un filtro digital basado en la Transformada de Goertzel de ventana deslizante. El detector de error de fase propuesto provee al sistema de sincronismo de un completo rechazo a las perturbaciones de la red eléctrica tipo desbalance y la contaminación armónica al mismo tiempo que evita la generación de una componente constante de fase en la señal de error del sistema. Además, debido a que el mismo requiere de un reducido costo computacional para su implementación, este método es adecuado para su utilización como parte de un sistema mayor en plataformas de recursos limitados como DSPs y FPGAs.

Se ha presentado un modelo matemático del sistema, el cual se obtuvo a partir del modelo del VSP-PLL, y se ha diseñado el controlador del lazo de fase mediante la representación en el dominio continuo del modelo matemático a través de invarianza al impulso. De esta forma se logró el mayor ancho de banda posible del lazo de control con un adecuado margen de fase. Posteriormente se validó este modelo matemático mediante la comparación de la respuesta de éste ante un escalón de frecuencia con la respuesta del sistema real, demostrándose la correspondencia entre ambos.

Mediante simulaciones y ensayos experimentales se demostró la capacidad del sistema para sincronizarse con la red eléctrica y mantener dicha sincronización ante diferentes perturbaciones. El sistema propuesto ha demostrado ser robusto ante condiciones de funcionamiento extremas como los analizados en la sección de resultados experimentales, es decir, elevada distorsión armónica y elevado desbalance como resultado de un fallo entre una fase y tierra.

De la misma forma se demostró la superioridad del sistema propuesto en relación a otros sistemas de sincronismo mediante una comparativa a nivel de simulación.

Su simple estructura, robustez, adaptabilidad en frecuencia, elevado rechazo ante perturbaciones y reducidos errores máximos durante los transitorios ante el desbalance y la contaminación armónica, hacen del VSPF-PLL una conveniente alternativa para la sincronización de

dispositivos electrónicos con la red eléctrica.

Capítulo 6

PLL monofásico de período de muestreo variable y filtro basado en la SGT

En el capítulo previo se presentó un sistema de sincronismo trifásico caracterizado por un período de muestreo variable que permite estimar la fase y frecuencia de la red eléctrica en forma precisa aún cuando las señales de entrada están fuertemente distorsionadas.

Sin embargo, en la práctica existen aplicaciones donde sólo se requiere el procesamiento de una de las fases del sistema eléctrico. Entre ellas se puede nombrar a las aplicaciones monofásicas, industriales o domésticas, donde los equipos sólo cuentan con una de las fases del sistema, y a los equipos trifásicos donde la terna se puede asumir como simétrica a fin de simplificar el control.

En este capítulo se presenta y analiza un nuevo sistema de sincronismo monofásico diseñado para mantener un rendimiento similar al mostrado por el VSPF-PLL en lo que respecta a rechazo de perturbaciones y ajuste de la frecuencia de muestreo a un múltiplo de la frecuencia de línea. Debido a que este nuevo PLL comparte muchas de las características distintivas del VSPF-PLL, se ha denominado al mismo como Single Phase Variable Sampling Period Filter PLL (spVSPF-PLL).

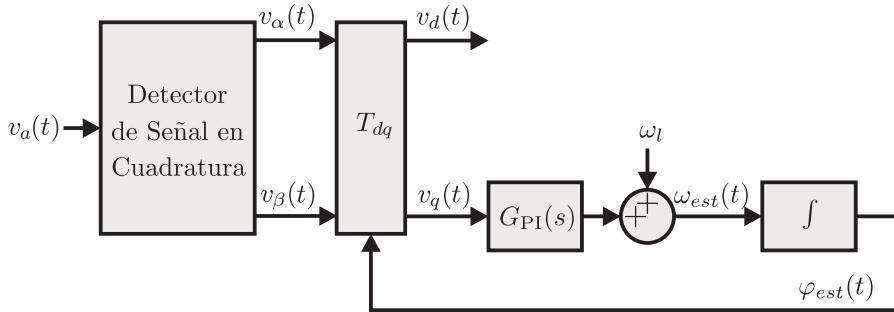


Figura 6.1: Diagrama en bloques del sistema de sincronismo monofásico basado en detector de señal en cuadratura.

6.1. Estado del arte sobre métodos de sincronismo en sistemas monofásicos

El sistema clásico de sincronismo monofásico es el PLL basado en los cruces por cero de la señal de entrada. Este sistema y sus desventajas fueron analizadas en la [Sección 1.2](#). Entre ellas se puede nombrar a la gran sensibilidad ante perturbaciones de la red eléctrica, baja velocidad de respuesta y la necesidad de efectuar ajustes manuales en la etapa de adecuación de señales. Como consecuencia de estas limitaciones, se han propuesto en la literatura diversos sistemas digitales que buscan mejorar la estimación de los parámetros de la señal de entrada al actualizar la información de la fase instantánea de la red eléctrica durante todo el ciclo de la misma. En esta sección se realiza un breve repaso de algunos de los métodos de sincronismo monofásicos más nombrados en la literatura. Se describe el principio de funcionamiento y se analizan las ventajas y desventajas de cada propuesta. Los sistemas estudiados se han separado en dos grupos, uno que corresponde a los sistemas basados en la generación de señales en cuadratura y otro donde las propuestas se basan en estructuras alternativas para la implementación de los PLLs.

Entre los sistemas basados en la generación de señales en cuadratura puede encontrarse la mayoría de los PLL monofásicos digitales. En la [Figura 6.1](#) se presenta la estructura genérica de este tipo de sistemas. Se verifica que la misma se basa en el SRF-PLL convencional ([Figura 3.7](#)) donde se ha eliminado la transformada α/β utilizada en sistemas trifásicos por un generador de señal en cuadratura. El objetivo de este elemento es sintetizar dos señales a partir de la entrada, de manera que una sea la representación de la otra atrasada en fase 90° . De esta forma se emula un sistema trifásico representado en el marco de referencia estacionario y el error de fase puede ser recuperado mediante la transformada dq como ocurría en el SRF-PLL. Finalmente el lazo de

fase se mantiene igual al convencional, es decir, se utiliza un controlador PI y un integrador a fin de estimar la frecuencia y fase instantánea de la señal de entrada respectivamente. Basándose en este principio de funcionamiento, existen diferentes propuestas que se diferencian en como se implementa el generador de señal en cuadratura. Las más importantes son:

- **Transport Delay-Based PLL (TDB-PLL)** [64]. En este sistema se utiliza la señal de entrada como $v_\alpha(t)$ y se obtiene $v_\beta(t)$ a partir de procesar la primera a través de un registro FIFO (First In First Out) de longitud adecuada para adicionar una fase de -90° a una señal de $50Hz$. Esta propuesta permite implementar el generador de señal en cuadratura en una forma sencilla pero con la gran desventaja de que la frecuencia de la red eléctrica debe considerarse conocida y constante a fin de no cometer errores al sintetizar la señal $v_\beta(t)$.
- **Hilbert Transform-Based PLL (HTB-PLL)** [64] [65]. En este sistema se emplea la Transformada de Hilbert para procesar la señal de entrada y provee de $v_\alpha(t)$ y $v_\beta(t)$. Esta transformada se implementa en forma aproximada mediante un filtro FIR (Finite Impulse Response) lo cual incrementa significativamente la complejidad en la implementación del sistema. Otra desventaja de este sistema es la sensibilidad ante cambios en la frecuencia de la red eléctrica debido a que los coeficientes del filtro FIR son calculados a partir de considerar la frecuencia de la red constante y conocida.
- **Second Order Generalized Integrator PLL (SOGI-PLL)** [66] [65]. Este sistema propone el uso de un filtro SOGI ([Figura 3.13](#)) a fin de sintetizar el par de señales y atenuar los armónicos de la entrada. A fin de adaptar en forma dinámica la frecuencia central del filtro, se realimenta la frecuencia estimada por el lazo de fase. Como resultado se elimina la principal desventaja de los sistemas previamente analizados y se obtiene un mayor rechazo a los armónicos de la red eléctrica. Sin embargo, no se logra mitigar completamente estas perturbaciones.
- **Inverse Park Transform-Based PLL (parkPLL)** [64] [65] [67]. En esta propuesta, el generador de señal en cuadratura se implementa a partir de una transformada dq inversa y dos filtros pasa bajos. Para la sincronización del dispositivo se utiliza la señal de entrada como $v_\beta(t)$ y se sintetiza $v_\alpha(t)$ a partir de la transformada dq inversa y los dos filtros pasa bajos. Este generador permite el correcto funcionamiento del sistema en redes de frecuencia variable eliminando la necesidad del lazo de frecuencia del SOGI-PLL. A

pesar de que se verifica un pequeño incremento en la complejidad del sistema en relación a este último, la respuesta ante perturbaciones no se ve afectada significativamente, por lo que ambos sistemas presentan una dinámica similar. De la misma forma, el parkPLL no provee de mejoras en relación al rechazo de componentes armónicos.

- **Synthesis Circuit PLL (SC-PLL)** [68]. En esta propuesta se emplea la señal de entrada como $v_\alpha(t)$ y se genera $v_\beta(t)$ a partir de un elemento denominado SC (Synthesis circuit). Este elemento consta de un filtro pasa bajos que recupera el valor pico de la señal de entrada mediante el filtrado de la señal $v_d(t)$, una función seno para sintetizar la señal en cuadratura a partir de la fase estimada, y un multiplicador que adecúa la amplitud de esta última para igualar a la de entrada. A pesar de que la señal en cuadratura es generada en forma eficiente sin sensibilidad ante cambios frecuenciales, el sistema no provee de mejoras en el rechazo de componentes armónicos. En [68] se propone además la adición de un SC-PLL por cada armónico de la red eléctrica lo cual permite mitigar el efecto de los mismos en la fase estimada. Sin embargo, el costo computacional se incrementa significativamente.

A pesar de que el PLL basado en generación de señal en cuadratura es muy utilizado y estudiado, existen otras propuestas basadas en estructuras alternativas. Entre ellas se destacan las siguientes:

- **Single-phase power PLL (pPLL)** [65] [67]. Este PLL emplea un lazo de fase igual al utilizado en los sistemas anteriores pero sustituye el generador de señal en cuadratura y la transformada dq por un detector de error de fase basado en la multiplicación de la señal de entrada por una senoide generada a partir de la fase estimada. Debido a que esta multiplicación genera dos términos, el seno de la resta entre fases y el seno de la suma entre fases, se utiliza un filtro pasa bajos para atenuar el segundo término. De esta forma se sintetiza una señal que representa la diferencia de fase entre el PLL y la señal de entrada. Luego, mediante el controlador y el integrador del lazo de control se estima la fase instantánea. La principal ventaja de este detector de error de fase es su simple estructura. Sin embargo, la generación del segundo término obliga a implementar un filtro de orden elevado para reducir su efecto en el lazo de control. Como resultado la velocidad de respuesta se ve afectada, así como la complejidad de la implementación de este método. Como ejemplo, en [67] se propone para este sistema un filtro pasa bajos de

Butterworth de cuarto orden a fin de obtener una desviación máxima de fase 10^{-3} rad . El resultado es una lenta dinámica de respuesta y grandes desviaciones de la fase estimada durante los transitorios.

- **Enhanced PLL (EPLL)** [55] [67]. Este sistema fue previamente analizado en la Sección 3.6 debido a que es el elemento fundamental del 3EPLL. El EPLL es un filtro adaptivo que estima la fase, frecuencia y amplitud de la señal de entrada mediante dos lazos de control, uno de fase y otro de amplitud. El EPLL presenta una estructura comparable a los sistemas analizados en esta sección y características similares tanto en rechazo a perturbaciones como dinámica de respuesta.
- **Quadrature PLL (QPLL)** [69]. Este sistema es una variación del EPLL en la cual, los dos lazos de control estiman la fase de la señal de entrada al mismo tiempo que sintetizan la entrada filtrada y su versión atrasada 90° . A pesar de que ambos métodos mantienen una respuesta dinámica similar, el costo computacional del QPLL se incrementa significativamente debido a que se debe implementar una gran cantidad de integradores en los lazos de control.

La lista de sistemas de sincronismo monofásicos presentada en esta sección corresponde a las propuestas más nombradas en la literatura. Sin embargo, existe una gran cantidad de otros métodos los cuales no fueron incluidos por su poca relevancia o por la elevada complejidad en su estructura y dificultades en su implementación lo cual los hace poco interesantes para su uso en la práctica.

6.2. Detector de error de fase basado en una multiplicación

Como se describió en el Capítulo 5, el VSPF-PLL logra ajustar el período de muestreo en régimen permanente al igualar la fase de referencia con la fase de la señal de entrada ($\varphi_{\text{ref}}(k) = \varphi_u(k)$), siendo esta última detectada a partir de representar la terna en el marco de referencia sincrónico. En este capítulo se presenta una versión monofásica de este sistema en la cual se propone reemplazar las transformaciones $\alpha\beta$ y dq , utilizadas en el sistema trifásico para la implementación del detector de error de fase del sistema, por la multiplicación de la señal de entrada con una senoide sintetizada a partir de la fase de referencia. Este técnica ha sido

ampliamente utilizada en la práctica como técnica de modulación y demodulación así como detector de error de fase para otros sistemas de sincronismo como por ejemplo el pPLL. Sin embargo, no todos los PLL que utilizan esta técnica logran rechazar el efecto adverso de la misma dada por la generación del término suma. Por otro lado, como se describe a continuación, este simple detector de error de fase permite adecuar la técnica de muestreo variable propuesta inicialmente para sistemas trifásicos a fin de diseñar sistemas de sincronismos monofásicos de bajo costo computacional y elevado rechazo de perturbaciones.

Bajo la suposición de una red eléctrica distorsionada, la fase del sistema muestreada a partir de una frecuencia N_{PLL} veces mayor a la frecuencia de la componente fundamental, puede modelarse mediante:

$$v_a(k) = V_1 \cos(\varphi_u(k)) + \sum_{n=2}^{N_{\text{PLL}}/2} V_n \cos(n\varphi_u(k) + \varphi_n) \quad (6.1)$$

donde el primer término representa la componente fundamental de la señal y el segundo la sumatoria de todos los componentes armónicos desde el 2do al número $N_{\text{PLL}}/2$ ya que se asume una señal muestreada. En esta ecuación V_1 y $\varphi_u(k)$ son la amplitud pico y fase instantánea de la componente fundamental de la red eléctrica respectivamente y V_n y φ_n son la amplitud pico y fase inicial del armónico de orden n de la entrada respectivamente.

Como se describió previamente, un simple método para obtener la diferencia de fase entre $\varphi_u(k)$ y una fase arbitraria $\varphi_{\text{ref}}(k)$, puede ser implementado un único multiplicador como se muestra:

$$e_\varphi(k) = v_a(k) \sin(\varphi_{\text{ref}}(k)) \quad (6.2)$$

Reemplazando la Ec. (6.1) en la Ec. (6.2), se demuestra matemáticamente que el error de fase resulta:

$$\begin{aligned} e_\varphi(k) &= \frac{V_1}{2} \sin(\varphi_{\text{ref}}(k) - \varphi_u(k)) + \frac{V_1}{2} \sin(\varphi_{\text{ref}}(k) + \varphi_u(k)) \\ &+ \sum_{n=2}^{N_{\text{PLL}}/2} \frac{V_n}{2} \sin(\varphi_{\text{ref}}(k) - n\varphi_u(k) - \varphi_n) \\ &+ \sum_{n=2}^{N_{\text{PLL}}/2} \frac{V_n}{2} \sin(\varphi_{\text{ref}}(k) + n\varphi_u(k) + \varphi_n) \end{aligned} \quad (6.3)$$

Como se verifica analizado la Ec. (6.3), cada componente de la tensión de línea genera dos términos senoidales, uno de argumento igual a la diferencia de fase entre el armónico de interés y la fase arbitraria, y otro de argumento igual a la suma entre ambas. Mediante la suposición de una pequeña diferencia entre la fase de referencia y la fase de la señal de entrada ($\varphi_{\text{ref}}(k) - \varphi_u(k) \approx 0$), la Ec. (6.3) queda:

$$\begin{aligned} e_\varphi(k) \approx & 0 + \frac{V_1}{2} \sin(2\varphi_u(k)) \\ & + \sum_{n=2}^{N_{\text{PLL}}/2} \frac{V_n}{2} \sin((1-n)\varphi_u(k) - \varphi_n) \\ & + \sum_{n=2}^{N_{\text{PLL}}/2} \frac{V_n}{2} \sin((1+n)\varphi_u(k) + \varphi_n) \end{aligned} \quad (6.4)$$

La principal ventaja de este detector de error de fase es su simple estructura. Sin embargo, esta ecuación demuestra que tanto el detector de error de fase utilizado como los armónicos de la red eléctrica, impiden a $e_\varphi(k)$ ser una representación adecuada de la diferencia de fase real entre $\varphi_{\text{ref}}(k)$ y $\varphi_u(k)$. El detector de error de fase genera una oscilación de dos veces la frecuencia fundamental de entrada mientras que un armónico de orden n genera dos oscilaciones, una de frecuencia igual a $n+1$ veces la frecuencia de entrada y otra de $n-1$ veces. Aun trabajando en condiciones ideales de funcionamiento (sin distorsión armónica), el error de fase es distorsionado, lo cual deteriora el rendimiento de este detector. Esto obliga a implementar un filtro de orden elevado para reducir su efecto en el lazo del sistema. Como resultado la velocidad de respuesta se ve afectada así como la complejidad de su implementación. Como ejemplo, en [67] se analiza el comportamiento del pPLL, el cual hace uso de este detector, y se calcula un filtro pasa bajos de Butterworth de cuarto orden a fin de obtener un error de fase menor a 10^{-3} rad resultando en una lenta dinámica de respuesta y grandes desviaciones de la fase estimada durante los transitorios. Por esta razón resulta necesaria una técnica alternativa que filtre el segundo término de la ecuación analizada al mismo tiempo que permita lograr mayores velocidades de respuesta.

6.3. Estructura del PLL monofásico

El diagrama en bloques del sistema propuesto se presenta en la Figura 6.2. La señal de entrada es adquirida y el error de fase es calculado mediante la multiplicación de la misma con una

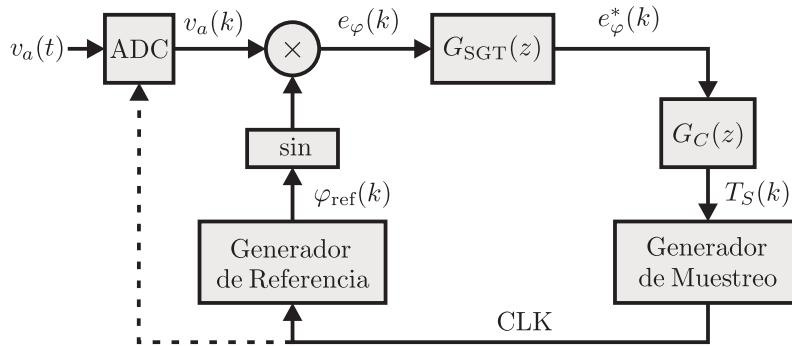


Figura 6.2: Diagrama en bloques del spVSPF-PLL.

senoide generada a partir de la fase de referencia. Luego, el filtro basado en la SGT ($G_{SGT}(z)$) elimina las oscilaciones de esta señal debido a que el mismo presenta ceros de transferencia sobre el círculo unitario. De esta forma, el error de fase filtrado queda:

$$e_\varphi^*(k) = \frac{V_1}{2} \sin(\varphi_{\text{ref}}(k) - \varphi_u(k)) \quad (6.5)$$

Al igual que ocurría en el VSPF-PLL, sólo es necesario rechazar los armónicos pares en el error de fase del sistema por lo que se ha adoptado un $N_{SGT} = N_{\text{PLL}}/2$. De esta manera, el primer cero de transferencia se ubica en $100Hz$ considerando una red de $50Hz$. Esta simplificación permite maximizar el ancho de banda del lazo de fase durante el diseño del controlador, el cual finalmente actualiza el período de muestreo para la siguiente adquisición de la señal de entrada.

Debido a que el lazo de fase modifica el período de muestreo hasta resultar en un múltiplo de la frecuencia de entrada, la salida del filtro basado en la SGT no presentará oscilaciones múltiplo de la frecuencia de línea en régimen permanente. Es importante notar que el filtro propuesto requiere sólo de una suma y una resta para ser implementado, lo cual resulta en una simple estructura del spVSPF-PLL ya que no se requiere implementar filtros convencionales de elevado orden para el rechazo del término suma y de los efectos de los armónicos de red en el error de fase del sistema.

Analizando la estructura del sistema propuesto en este capítulo y el sistema trifásico presentado en el capítulo previo, se observa que el lazo de fase sólo se ve modificado por la sustitución del detector de error de fase. El spVSPF-PLL presenta un error de fase igual al error de fase del VSPF-PLL afectado por un factor de $1/2$ (Ec. (5.11) y Ec. (6.5)). Como resultado, el modelo matemático del sistema trifásico puede ser utilizado para el diseño del controlador del sistema

Tabla 6.1: Parámetros del controlador del spVSPF-PLL

Red Eléctrica	a^*	a	K
$50Hz, V_1 = 1$	$26Hz$	0.974797579497273	$75,291686 \times 10^{-6}$
$60Hz, V_1 = 1$	$31Hz$	0.974957093428083	$62,202188 \times 10^{-6}$

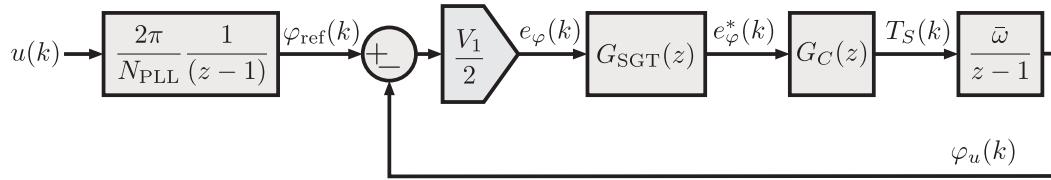


Figura 6.3: Modelo matemático del spVSPF-PLL.

monofásico adoptando este coeficiente en el lazo de control. Finalmente, el modelo matemático del spVSPF-PLL se presenta en la Figura 6.3. Asumiendo un controlador igual al propuesto para el VSPF-PLL, el procedimiento de diseño y los coeficientes del controlador obtenidos en la Sección 5.4 son válidos para el diseño de los coeficientes del controlador del sistema monofásico afectando a la ganancia del mismo por un factor de 2. En la Tabla 6.1 se resumen los coeficientes del controlador para redes eléctricas de $50Hz$ y $60Hz$.

6.4. Evaluación del spVSPF-PLL

En la sección presente se verificarán los resultados obtenidos mediante una simulación del sistema en MATLAB®/SIMULINK®. Se analizará la respuesta mediante diferentes perturbaciones de la red eléctrica. Para cada ensayo se ha configurado al método de sincronismo con los valores adoptados en la sección previa.

En la Figura 6.4 se presenta la respuesta del spVSPF-PLL ante un escalón de frecuencia de $5Hz$, un escalón de amplitud del -20% , un escalón de fase de 5° y un 5% de 3er y 5to armónico. Para cada ensayo se muestra la señal de prueba, la frecuencia estimada (calculada a partir del período de muestreo y el valor de N_{PLL} adoptado) y el error de fase obtenido como la diferencia entre la fase de referencia y la fase del generador ($\varphi_{error}(k) = \varphi_{ref}(k) - \varphi_u(k)$).

Para cada uno de los ensayos realizados se verifica la capacidad del sistema de adaptarse en frecuencia, lograr error de fase cero y ajustar el período de muestreo sin error en régimen permanente. La respuesta dinámica del sistema se caracteriza por una componente oscilatoria transitoria resultado de la generación de los términos suma del detector de error de fase utilizado. Es importante destacar que dichas oscilaciones no responden a problemas de estabilidad en el

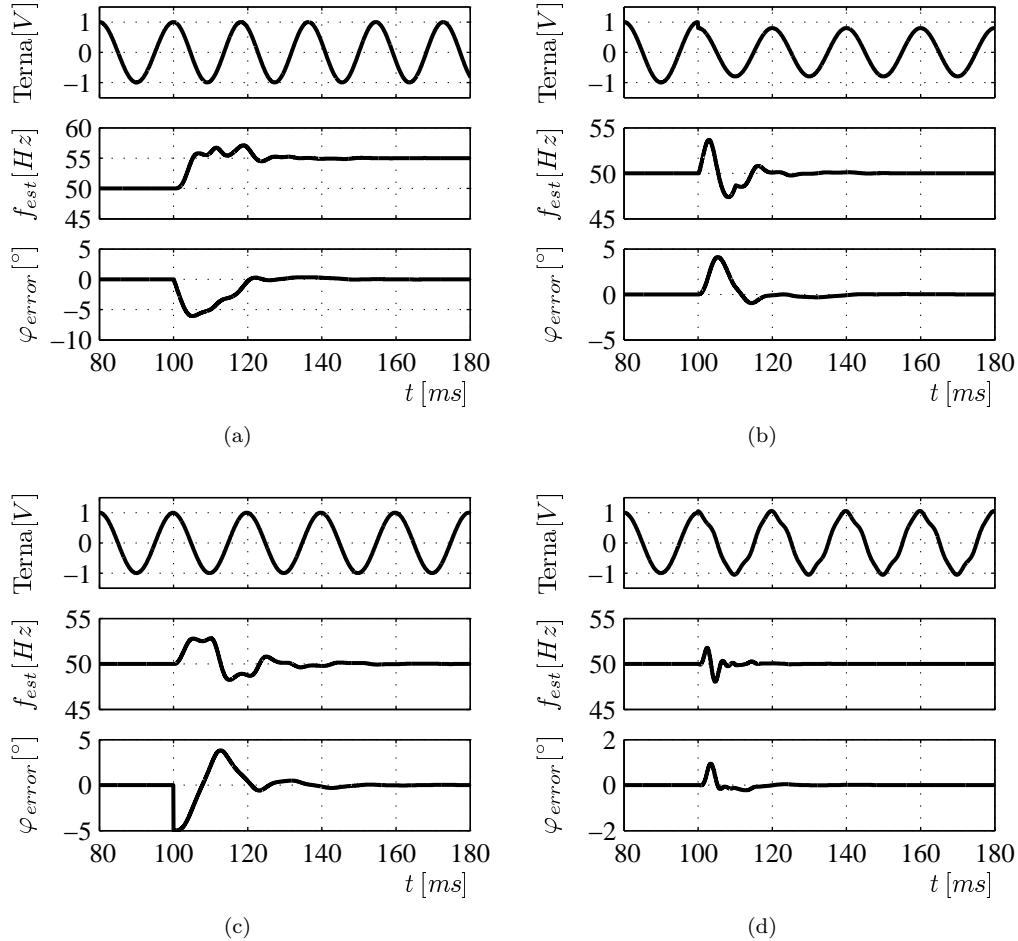


Figura 6.4: Respuesta del spVSPF-PLL ante diferentes perturbaciones. Se presentan las señales de prueba, la frecuencia estimada y el error de fase. (a) Escalón de frecuencia de 5Hz, (b) escalón de amplitud del -20%, (c) escalón de fase del 5% y (d) 5% de 3er y 5to armónico.

lazo de fase. Además, dicha componente osculatoria se extingue en aproximadamente un período de la red, una vez que los N_{SGT} valores de entrada del filtro digital son actualizados.

A diferencia del VSPF-PLL trifásico, el escalón de amplitud genera en el spVSPF-PLL un transitorio en la respuesta del sistema ante esta perturbación. La razón del mismo es la modificación de la amplitud del término suma en el error de fase y la no coincidencia de estos valores con los datos almacenados en el filtro digital.

Finalmente, se observa una adecuada velocidad de respuesta para cada ensayo y reducida desviación máxima de los parámetros estimados durante los transitorios.

6.5. Validación del modelo

A diferencia del modelo matemático del VSP-PLL y VSPF-PLL, en el spVSPF-PLL el detector de error de fase distorsiona $e_\varphi(k)$ adicionando términos sinusoidales que deben ser completamente eliminados por el filtro digital para asegurar que el PLL se sincronice sin error en régimen permanente. El error de fase obtenido por este detector cuando la señal de entrada tiene componentes armónicos se presentó en la Ec. (6.3), pero en el caso de trabajar con una señal ideal, sin componentes armónicos, esta ecuación resulta:

$$e_\varphi(k) \approx \frac{V_1}{2}(\varphi_{\text{ref}}(k) - \varphi_u(k)) + \frac{V_1}{2} \sin(\varphi_{\text{ref}}(k) + \varphi_u(k)) \quad (6.6)$$

donde se verifica que aún trabajando en estas condiciones de funcionamiento ideales, el error de fase presenta un término sinusoidal de argumento igual a la suma de la fase de referencia del algoritmo y la fase de la red eléctrica. La amplitud de esta perturbación es elevada en comparación con el primer término de la Ec. (6.6) particularmente en condiciones de enganche del PLL donde la diferencia entre ambas fases no es significativa. Como resultado, el segundo término afecta el transitorio de enganche ante una perturbación, haciendo que la respuesta del modelo matemático difiera de la respuesta del sistema implementado.

Con el objetivo de validar el modelo matemático utilizado en el diseño del controlador del spVSPF-PLL, se compara la evolución de $e_\varphi(k)$ y $e_\varphi^*(k)$ del sistema real y del modelo matemático ante un escalón de frecuencia de 1Hz a diferentes intervalos entre dos instantes de muestreo consecutivos.

En la Figura 6.5(a) se presenta el error de fase ($e_\varphi(k)$) de ambos sistemas ante el escalón de frecuencia. Como se verifica en la figura, las señales pertenecientes al sistema real exhiben una elevada oscilación que impide comparar el transitorio de este sistema con el transitorio del modelo matemático. Esto es resultado de que este último no incluye el efecto de tener en el error de fase el segundo término de la Ec. (6.6). Por lo tanto, para poder comparar al sistema real y al modelo matemático, debe utilizarse una señal que no posea dicha componente. Una señal que cumple con esta característica es el error de fase filtrado ($e_\varphi^*(k)$), debido a que el filtro digital presenta ceros de trasferencia en los múltiplos de la frecuencia de línea eliminando el término suma del error de fase.

Por lo tanto, en la Figura 6.5(b) se presenta $e_\varphi^*(k)$ de ambos sistemas. Como puede observarse en la figura, existen diferencias entre ambas respuestas resultado del término sinusoidal

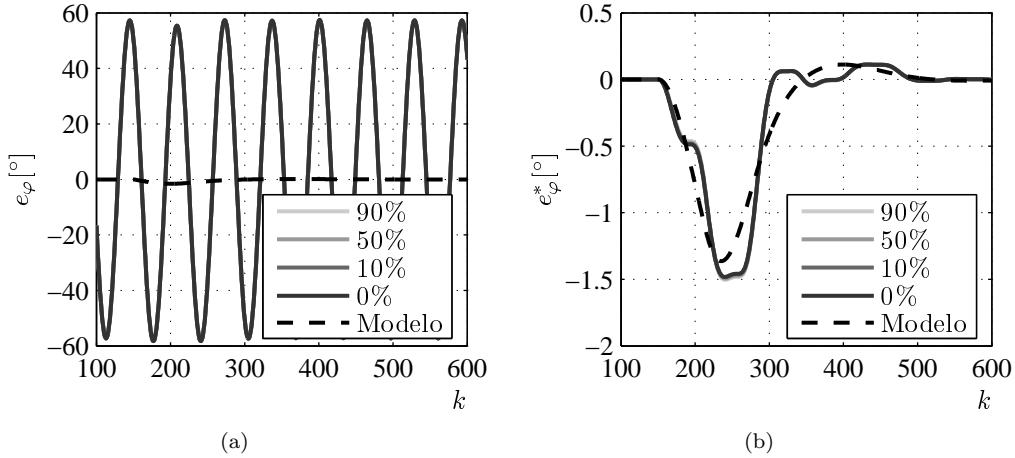


Figura 6.5: (a) Error de fase y (b) error de fase filtrado del sistema implementado y del modelo matemático ante un escalón de frecuencia de 1Hz .

que no contempla el modelo matemático. Sin embargo, la respuesta de éste corresponde con el promedio de la respuesta del sistema implementado afectado por las oscilaciones subamortiguadas. Además, ambos sistemas logran error de fase cero en régimen permanente, lo cual es uno de los requerimientos de diseño, con un similar tiempo de establecimiento. Considerando que estas variaciones son resultado de la elevada perturbación que afecta al lazo de control del sistema real, y que, las mismas son eliminadas completamente una vez que el sistema ajusta su frecuencia de muestreo a un múltiplo de la frecuencia de entrada, se valida el diseño del controlador.

Finalmente, al igual que la validación del VSPF-PLL, la respuesta del sistema implementado ante el escalón de frecuencia en diferentes intervalos no resulta en cambios significativos de la respuesta dinámica del spVSPF-PLL debido al ancho de banda adoptado.

6.6. Resultados Experimentales

En esta sección se analiza el comportamiento de una implementación del spVSPF-PLL en un TMS320F2812 (DSP de punto fijo de 32 bits y clock de 150MHz). Se emplea el mismo banco de ensayos descrito en la [Sección 4.2](#) pero se utiliza sólo uno de los canales de conversión digital/analógico y analógico/digital de la placa de adquisición y generación respectivamente. Debido a que los valores adoptados por la fase de referencia son fijos para un período de la rampa de fase, la función senoidal necesaria para el detector de error de fase es implementada con una tabla de 128 valores. De esta forma se reduce el tiempo de ejecución o el tamaño de la

tabla, dependiendo de la estrategia adoptada para la implementación de la función sinusoidal, en comparación con otras propuestas que requieren el cálculo de funciones trigonométricas para diversos argumentos [67]. El método fue programado en C, utilizando librerías IQmath [63] a fin de optimizar el tiempo de cálculo. Como resultado, el tiempo de ejecución del algoritmo sin considerar la etapa de adquisición resulta de $1,4\mu s$.

Para cada ensayo se presenta la respuesta del sistema capturada por un osciloscopio donde puede apreciarse la señal de prueba (v_a), la frecuencia estimada (f_{est}) calculada a partir de T_S y N_{PLL} , y el error de fase (φ_{error}) obtenido como la diferencia entre la fase de referencia y la fase del generador trifásico.

La Figura 6.6 presenta la respuesta del sistema ante un escalón de frecuencia de $5Hz$ siendo la frecuencia inicial de $50Hz$ y la final de $55Hz$, un escalón de amplitud y fase de -20% y 5° respectivamente y un 5% de 3er y 5to armónico. El PLL ha sido configurado con los valores presentados en la Sección 6.3 para una red eléctrica de $50Hz$.

La respuesta del PLL propuesto ante un escalón de frecuencia, amplitud y fase se presentan en la Figura 6.6(a), Figura 6.6(b) y Figura 6.6(c) respectivamente. Para esta última, puede verificarse en el error de fase del sistema el salto abrupto de 5° resultado de la perturbación efectuada. Al igual que ocurría en la simulación del sistema, el transitorio presenta oscilaciones resultado de la aparición del término suma en el error de fase. Sin embargo, esta perturbación se elimina en régimen permanente obteniéndose un error de fase cero y correcta estimación de la frecuencia de línea en aproximadamente un ciclo de red.

Además, en la Figura 6.6(d) se analiza la respuesta cuando hay distorsión armónica de la tensión de línea. Se verifica que las oscilaciones resultado del detector de error de fase y las componentes armónicas son eliminadas por el filtro en régimen permanente obteniéndose una reducida desviación máxima de frecuencia y error de fase durante el transitorio.

Para cada ensayo efectuado se verificó correspondencia entre la respuesta del sistema experimental y los resultados obtenidos en la etapa de simulación. El spVSPF-PLL logra en cada uno de estos ensayos sincronizarse correctamente a la red eléctrica, sin error de fase ni variaciones en la frecuencia estimada en régimen permanente.

Finalmente, se presenta en la Figura 6.7 la respuesta del spVSPF-PLL ante una señal de prueba con elevada distorsión armónica. Nuevamente se verifica una correcta estimación de la frecuencia y fase instantánea de línea aún trabajando en redes fuertemente distorsionadas.

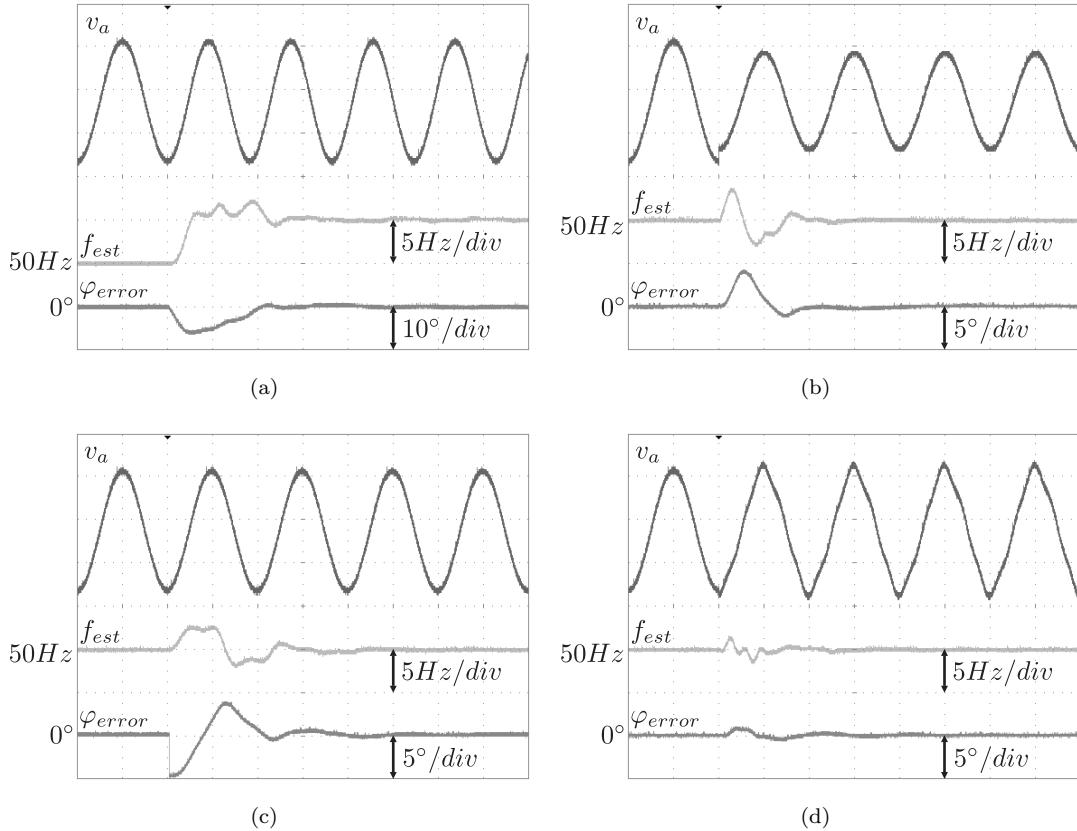


Figura 6.6: Respuesta del spVSPF-PLL ante diferentes perturbaciones. Para cada ensayo se presenta la señal de prueba (v_a), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). (a) Escalón de frecuencia de 5Hz, (b) escalón de amplitud de -20% , (c) escalón de fase de 5° y (d) 5% de 3er y 5to armónico. La escala temporal del osciloscopio en todos casos es de $10ms/div$.

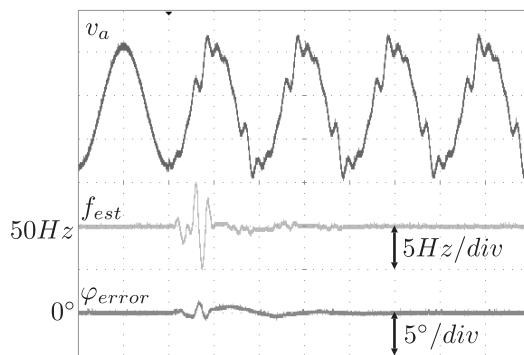


Figura 6.7: Respuesta del spVSPF-PLL ante elevada distorsión armónica. Se presenta la señal de prueba (v_a), la frecuencia estimada (f_{est}) y el error de fase (φ_{error}). La escala temporal del osciloscopio en de $10ms/div$.

6.7. Comparación con otros métodos monofásicos de sincronismo

A fin de evaluar las ventajas del spVSPF-PLL en relación a otros sistemas de sincronismo monofásicos, se presenta en esta sección una comparativa a nivel de simulación respecto de otros métodos propuestos en la literatura ([Sección 6.1](#)). Los métodos analizados son el TDB-PLL, HTB-PLL, parkPLL, EPLL, SOGI-PLL, QPLL, SC-PLL y el pPLL. La comparativa se ha realizado en las mismas condiciones de funcionamiento. Por lo tanto, todos los sistemas fueron configurados como se describe en los respectivos trabajos a fin de presentar una similar respuesta ante un escalón de frecuencia de $1Hz$. La simulación fue realizada en MATLAB®/SIMULINK®.

En la [Figura 6.8](#) se presenta el error de fase de cada métodos ($\varphi_{error}(k)$), calculado como la diferencia entre la fase estimada y la fase del generador, ante diferentes perturbaciones. No se presenta la evolución de la frecuencia estimada debido a que el análisis del error de fase provee de información suficiente para determinar las características distintivas de los métodos simuladas. Para los ensayos se ha definido un tiempo de establecimiento (t_S) como el tiempo requerido para que los sistemas logren una desviación en la frecuencia estimada menor a $\pm 0,1Hz$ del valor de frecuencia final.

La simulación se inicializa con una señal de entrada de amplitud igual a $1V$ y frecuencia de $50Hz$ con todos los métodos sincronizados. En $t = 300ms$ la señal de entrada sufre una reducción en su amplitud de $1V$ a $0,9V$ y un escalón de fase de 10° . Luego, en $t = 500ms$ se efectúa un escalón de frecuencia de $5Hz$. Por último, en $t = 700ms$ se adiciona a la señal un 3er armónico de $0,1V$.

Como puede observarse en la figura, el TDB-PLL y el HTB-PLL logran error de fase cero en régimen permanente luego del escalón de amplitud y fase, midiéndose un tiempo de establecimiento de $35,9ms$ y $54ms$ respectivamente. Por otro lado, como se describió en la [Sección 6.1](#), estos sistemas presentan sensibilidad ante variaciones frecuenciales debido a que el generador de señal en cuadratura utilizado se diseña asumiendo una frecuencia de línea constante y conocida. Este efecto puede observarse en la figura luego de efectuado el escalón de frecuencia de $1Hz$, donde ambos sistemas presentan un error de fase en régimen permanente. Para este ensayo se midió un error de fase máximo de $1,1606^\circ$ y $7,2072^\circ$ respectivamente. Esta limitación hace no aconsejable el uso de estos métodos de sincronismo para dispositivos que requieran de una elevada precisión en la estima de la fase y frecuencia de línea.

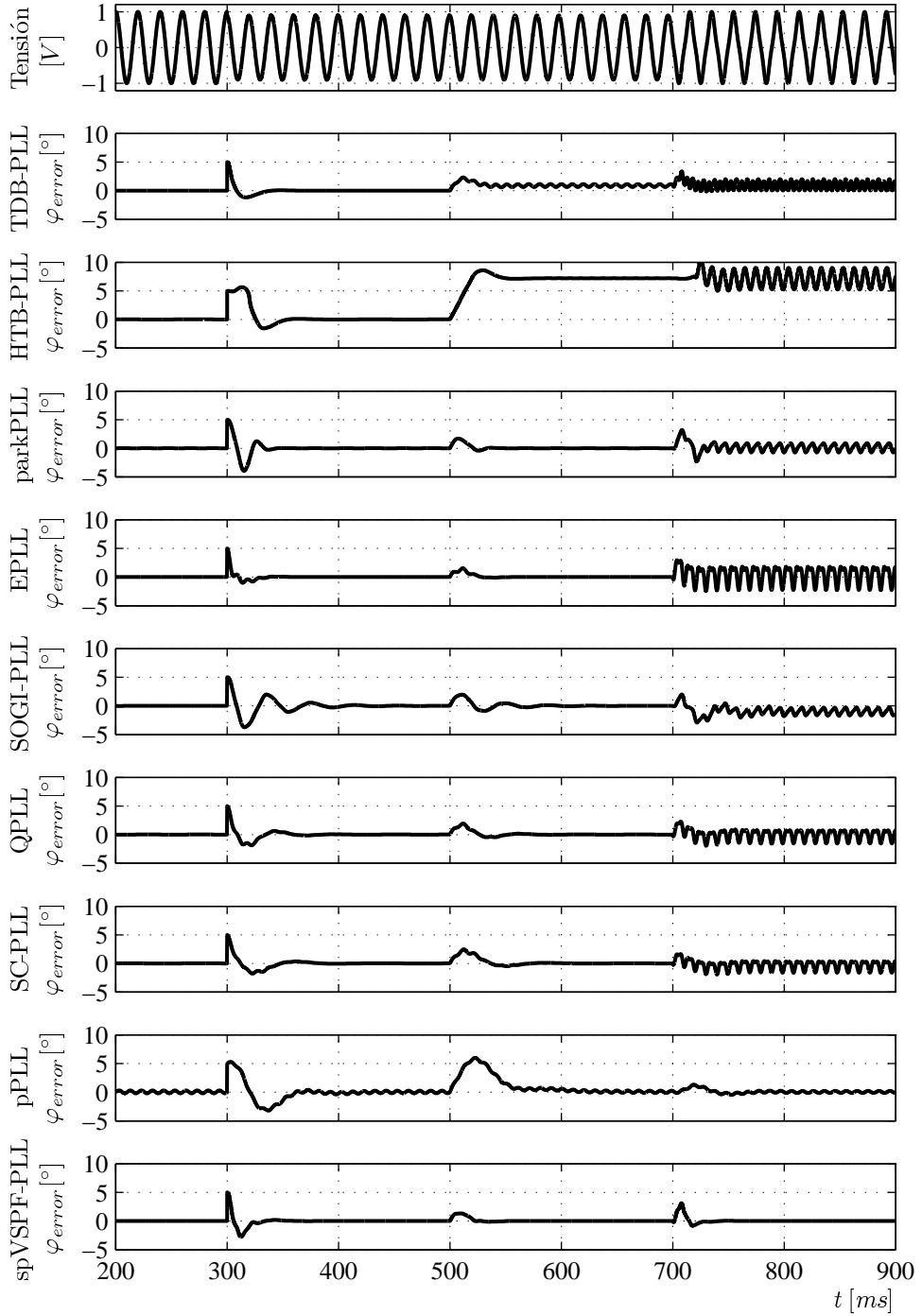


Figura 6.8: Error de fase de los sistemas monofásicos de sincronismo ante diferentes perturbaciones.

La respuesta del SOGI-PLL, parkPLL, SC-PLL, EPLL y QPLL son similares para las perturbaciones analizadas. Tanto para el escalón de amplitud y fase como para el escalón de frecuencia, el tiempo de establecimiento y la máxima desviación del error de fase se mantienen

dentro de valores adecuados y sin apreciarse grandes diferencias en la dinámica de respuesta. De estos cinco métodos, el EPLL presenta el menor tiempo de establecimiento, $38,3ms$ para el escalón de amplitud y fase y $28,3ms$ para el escalón de frecuencia, y el menor error de fase máximo ante el escalón de frecuencia ($1,5416^\circ$). Por otro lado, ninguna de las propuestas analizadas logra rechazar el efecto de la adición del tercer armónico. Ante estas condiciones de funcionamiento se verifica una oscilación de $102Hz$ (el doble de la frecuencia de línea luego del escalón de $1Hz$) en régimen permanente que degrada la estimación de la fase de la componente fundamental. Ante estas condiciones de funcionamiento, el parkPLL presentó el menor error de fase en régimen permanente, en relación a los cinco métodos analizados en este párrafo, igual a $0,8932^\circ$.

Por otro lado, el pPLL presenta una reducida oscilación del doble de la frecuencia de línea durante toda la simulación (aproximadamente igual a $0,27^\circ$), resultado del término suma del detector de error de fase basado en el multiplicador. En este método, el filtro empleado para mitigar dicha oscilación es diseñado a partir del error de fase máximo permitido en régimen permanente, lo cual limita el máximo ancho de banda posible del sistema. Como resultado, el pPLL presenta los mayores tiempos de establecimiento y desviaciones en el error de fase en comparación con los otros métodos analizados. Para el escalón de fase y amplitud, el error de fase máximo fue de $5,3052^\circ$ mientras que para el escalón de frecuencia, el error fue de $6,0026^\circ$. Sin embargo, en relación al rechazo de componentes armónicos, se verifica que el sistema permite mitigar adecuadamente los mismos como resultado del filtro pasa bajos utilizado. Durante toda la simulación, la desviación de la frecuencia estimada fue mayor al umbral definido para el cálculo del tiempo de establecimiento por lo que no se definió este parámetro en ninguno de los ensayos efectuados.

Por último, el spVSPF-PLL presenta una adecuada respuesta dinámica en todos los ensayos efectuados sin observarse oscilaciones en régimen permanente a pesar de utilizar el mismo detector de error de fase que el pPLL. Para el escalón de amplitud y fase, este método presenta el menor tiempo de establecimiento ($31,8ms$) y para el escalón de frecuencia se verifica el menor error de fase durante el transitorio ($1,3349^\circ$) con un tiempo de establecimiento de $29,4ms$. Al mismo tiempo, este sistema no sólo mantiene una adecuada velocidad de respuesta ante las perturbaciones analizadas, sino que también logra un gran rechazo a la tercera armónica con un transitorio que se extingue en $27,2ms$. Esto es resultado del filtro basado en la SGT el cual rechaza toda oscilación múltiple de la frecuencia de línea en el lazo de control del sistema.

Tabla 6.2: Comparativa del tiempo de ejecución entre métodos monofásicos de sincronismo

Método	Tiempo de Ejecución	Lenguaje
pPLL	$2,58\mu s$	Assembler
parkPLL	$3,80\mu s$	Assembler
EPLL	$3,04\mu s$	Assembler
spVSPF-PLL	$1,4\mu s$	C

Tabla 6.3: Características básicas de los métodos monofásicos de sincronismo.

Características básicas de los métodos						
Métodos	Adaptivo en freq.	Rechazo Armónicos	T_S Variable	Dinámica	Convergencia	Estructura
TDB-PLL	no	no	no	suave	rápida	simple
HTB-PLL	no	no	no	suave	lenta	compleja
parkPLL	si	no	no	subamortiguada	rápida	simple
EPLL	si	no	no	suave	rápida	simple
SOGI-PLL	si	no	no	subamortiguada	rápida	simple
QPLL	si	no	no	suave	rápida	compleja
SC-PLL	si	no	no	suave	rápida	simple
pPLL	si	si	no	suave	lenta	simple
spVSPF-PLL	si	si	si	suave	rápida	muy simple

Otra característica del sistema propuesto en este capítulo es su simple estructura. En la Tabla 6.2 se presenta una comparativa de los tiempos de ejecución necesarios para implementar en un TMS320F2812 cuatro de los método analizados. Los datos provenientes del pPLL, parkPLL y EPLL han sido extraídos de [67]. Es importante notar que el sistema propuesto ha sido implementado en C, a diferencia de los otros métodos los cuales fueron programados en lenguaje assembler. El QPLL y el HTB-PLL no han sido incluidos en esta tabla debido a que el costo computacional de ambos es significativo ya que el primero requiere de gran cantidad de integradores en los lazos de control mientras que el segundo requiere la implementación de un filtro FIR de muchos valores. Por otro lado, el TDB-PLL, SOGI-PLL, y el SC-PLL presentan un costo computacional similar al parkPLL. Se verifica la simplicidad del sistema propuesto y su conveniencia como método de sincronismo para operar dentro de un sistema más complejo.

Finalmente, en la Tabla 6.3 se resumen las características de los sistemas de sincronismo estudiados en esta sección y en la Tabla 6.4 se presenta los valores adoptados por las variables de cada método ante las perturbaciones analizadas. Se presenta el error de fase máximo durante el transitorio ($\Delta\varphi_{max}$), el error de fase máximo en régimen permanente ($\Delta\varphi_{RPmax}$), la desviación máxima en la frecuencia estimada durante el transitorios (Δf_{max}), la desviación máxima en la frecuencia estimada en régimen permanente (Δf_{RPmax}) y el tiempo de establecimiento (t_S).

Tabla 6.4: Respuesta de los métodos monofásicos de sincronismo ante las perturbaciones analizadas.

Respuesta ante un escalón de amplitud y fase					
Métodos	$\Delta\varphi_{max} [^\circ]$	$\Delta\varphi_{RPmax} [^\circ]$	$\Delta f_{max} [Hz]$	$\Delta f_{RPmax} [Hz]$	$t_S [ms]$
TDB-PLL	5	0	1.6385	0	35.9
HTB-PLL	5.6421	0	2.7675	0	54
parkPLL	5	0	5.4642	0	43
EPLL	5	0	2.4362	0	38.3
SOGI-PLL	5	0	3.9332	0	103.8
QPLL	5	0	2.3990	0	45.2
SC-PLL	5	0	1.3114	0	65.8
pPLL	5.3052	0.2677	2.0881	0.3970	—
spVSPF-PLL	5	0	3.6567	0	34.8
Respuesta ante un escalón de frecuencia					
Métodos	$\Delta\varphi_{max} [^\circ]$	$\Delta\varphi_{RPmax} [^\circ]$	$\Delta f_{max} [Hz]$	$\Delta f_{RPmax} [Hz]$	$t_S [ms]$
TDB-PLL	2.3260	1.1606	0.6449	0.4613	—
HTB-PLL	8.5920	7.2072	0.2798	0.0128	47.9
parkPLL	1.6847	0	0.4709	0	34.1
EPLL	1.5416	0	0.7534	0	28.3
SOGI-PLL	1.9579	0	0.7664	0	63.1
QPLL	1.9251	0	0.2720	0	36
SC-PLL	2.4648	0	0.6724	0	64.9
pPLL	6.0026	0.2819	0.9324	0.3708	—
spVSPF-PLL	1.3349	0	0.4995	0	29.4
Respuesta ante la adición de 3er armónico					
Métodos	$\Delta\varphi_{max} [^\circ]$	$\Delta\varphi_{RPmax} [^\circ]$	$\Delta f_{max} [Hz]$	$\Delta f_{RPmax} [Hz]$	$t_S [ms]$
TDB-PLL	3.3865	2.0263	3.9125	3.4771	—
HTB-PLL	10.524	9.0283	3.8186	3.3628	—
parkPLL	3.2046	0.8932	2.8768	1.9972	—
EPLL	2.9412	2.2791	6.1025	5.5148	—
SOGI-PLL	2.9165	1.6950	2.4216	1.7829	—
QPLL	2.2955	1.5573	0.8973	0.6801	—
SC-PLL	1.9489	1.6433	2.9902	2.6890	—
pPLL	1.3110	0.2286	0.5419	0.3244	—
spVSPF-PLL	3.1310	0	2.8877	0	27.2

En aquellos casos en que los métodos no logren en régimen permanente una desviación de la frecuencia estimada menor a $0.1Hz$, no se define t_S .

6.8. Conclusiones del capítulo

En este capítulo se ha propuesto un nuevo sistema de sincronismo monofásico basado en el método de sincronismo trifásico propuesto en el Capítulo 5 (VSPF-PLL). Debido a que este nuevo sistema mantiene las características distintivas del PLL trifásico, como por ejemplo la frecuencia de muestreo variable y el gran rechazo ante perturbaciones, se denominó al mismo como spVSPF-PLL (Single Phase Variable Sampling Period Filter PLL).

A fin de poder implementar el lazo de fase originalmente propuesto para sistemas trifásicos, en esta nueva propuesta, se utiliza como detector de error de fase la multiplicación de la señal de entrada por una senoide generada a partir de la fase estimada (fase de referencia). A fin de mitigar las perturbaciones de la línea y los efectos adversos de este simple detector de error de fase, se utiliza el filtro basado en la SGT. De esta forma, se logra una simple estructura del sistema y error cero de fase y frecuencia en régimen permanente.

Se describió la estructura del spVSPF-PLL y, mediante la comparación de éste con el sistema trifásico, se presentó un modelo matemático con el cual se diseñó el controlador del lazo de fase. Luego, se validó este diseño mediante la comparativa de la respuesta del modelo y del sistema real ante un escalón de frecuencia.

Mediante simulaciones y ensayos experimentales del sistema se analizó la respuesta del mismo ante diferentes perturbaciones de la red eléctrica. El método propuesto detecta correctamente la fase de la señal de entrada aún cuando la misma está fuertemente distorsionada manteniendo una adecuada velocidad de respuesta. Los transitorios de enganche se caracterizan por transitorios oscilatorios amortiguados resultado de la distorsión que el detector de error de fase genera en esta variable. Sin embargo, las mismas son eliminadas rápidamente mediante el ajuste dinámico de los ceros de transferencia del filtro digital al estabilizar el período de muestreo del método.

Se ha demostrado también la superioridad del spVSPF-PLL en relación a otros PLL monofásicos propuestos en la literatura. Los aspectos que distinguieron al método propuesto son su simple estructura, el gran rechazo ante perturbaciones y adecuada velocidad de respuesta ante cambios en la señal de entrada.

Todas estas características hacen del spVSPF-PLL una conveniente alternativa para todo propósito de sincronización con la red eléctrica en aplicaciones monofásicas. Además, este método puede utilizarse en aplicaciones trifásicas si se asegura que la tensión de una de las fases brinda información coherente respecto a la fase de la terna, es decir, si la terna se encuentra balanceada o puede asumirse así para simplificar el control del dispositivo.

Capítulo 7

Aplicaciones

Los métodos de sincronismo son ampliamente utilizados para asegurar el correcto funcionamiento de muchos equipos electrónicos, especialmente aquellos relacionados con sistemas de potencia y medición de calidad de la energía. A fin de demostrar la capacidad de las técnicas propuestas en la presente tesis para recuperar la fase de las tensiones de línea y asegurar una frecuencia de muestreo múltiplo de la frecuencia de ésta, en este capítulo se describen dos aplicaciones y los resultados obtenidos a partir de los ensayos experimentales.

La primera aplicación que se ha considerado para evaluar las técnicas propuestas es un sistema de medición de contenido armónico monofásico basado en la transformada de Goertzel de ventana deslizante (SGT, [Sección 5.1](#)). El mismo puede analizarse en dos partes funcionales, la SGT utilizada para la medición de la componente armónica de interés, y la técnica de muestreo variable que ajusta la secuencia de muestras a exactamente un ciclo de la componente fundamental de la señal de entrada. De esta manera se reducen considerablemente los cálculos necesarios entre muestras para la estimación de un número reducido de componentes espectrales en comparación con técnicas convencionales como la FFT (Fast Fourier Transform). Se han realizado simulaciones del método y se han comprobado estos resultados mediante la implementación experimental en un dispositivo FPGA (Field-Programmable Gate Arrays). El elevado rechazo de armónicos indeseables, el bajo costo computacional y el reducido error son algunas de las características de este método.

La segunda aplicación analizada es el funcionamiento del VSPF-PLL conectado a una red eléctrica débil junto con un convertidor conmutado por línea. En este tipo de aplicaciones, la impedancia vista desde los terminales de los dispositivos es elevada, con lo cual, las tensiones en

el punto de conexión común presentan distorsiones resultado de la conducción de corriente no sinusoidal en condiciones normales de funcionamiento. Particularmente para el caso analizado, se presenta la respuesta del sistema de sincronismo ante los notches de tensión generados por la commutación de los tiristores del convertidor. Además, se compara la respuesta del VSPF-PLL y del PLL clásico basado en la detección de los cruces por cero ante una perturbación real. Se demuestra la capacidad del sistema trifásico de rechazar las perturbaciones de la red y mantener una adecuada velocidad de respuesta ante las mismas.

7.1. Estimador de armónicos monofásico basado en la transformada de Goertzel de ventana deslizante con frecuencia de muestreo variable

Como se ha presentado en el [Capítulo 1](#), el consumo creciente de energía eléctrica y el uso de dispositivos no lineales en la red eléctrica han llevado a un deterioro de la calidad de la energía eléctrica. Debido a esto, existe en la actualidad un gran interés en la medición de las características de la tensión de línea, en particular en la medición del contenido armónico. Éste es de suma importancia para algunas aplicaciones entre las que se puede nombrar la generación de referencia para filtros activos, medición de THD, certificación de estándares de EMC, etc [\[20\]](#).

La herramienta estándar en el estudio del espectro de una determinada señal es la DFT (Discrete Fourier Transform) la cual es implementada comúnmente mediante el algoritmo de la FFT (Fast Fourier Transform) por su mayor eficiencia al reducir los cálculos. Al igual que la FFT, existen propuestas alternativas para reducir el costo computacional requerido en la implementación de la DFT. Entre ellas se pueden nombrar por ejemplo a la Quick Fourier Transform (QFT) [\[70\]](#), que emplea la propiedad de la simetría de la DFT a fin de eliminar cálculos redundantes.

Sin embargo, cuando la aplicación requiere del cálculo de sólo algunos de los coeficientes del espectro de la señal, es aconsejable el uso de otros métodos como la GT (Goertzel Transform) [\[35\]](#). Esta transformación se implementa como un filtro IIR de segundo orden que calcula un único valor de la DFT (el término n de una DFT de N_{GT} puntos). Es importante destacar que la salida del filtro sólo es igual al valor del coeficiente de la DFT cuando $k = N_{GT}$, es decir, una vez que se utilizaron como entrada los N_{GT} valores de la señal ($y(N_{GT}) = X(n)$). La GT se ha

utilizado en la detección de armónicos de red [17], sin embargo, su implementación requiere el uso de una ventana a fin de reducir el error en la estima lo cual aumenta el costo computacional entre muestras.

Una variación de la GT es la SGT ([Sección 5.1](#)) la cual reduce considerablemente los cálculos entre muestras a partir de la utilización de una ventana deslizante (SW, Sliding Window). Esto permite que, una vez obtenido el coeficiente $X(n)$ en $k - 1$, el número de cálculos necesarios para obtener $X(n)$ en k es fijo y no depende de N_{SGT} . A fin de reducir el error en la estimación, el SGT requiere un muestreo sincrónico con la frecuencia fundamental de la red eléctrica, lo cual se logra adaptando la frecuencia de muestreo a un múltiplo de la frecuencia de la línea. Por esta razón, se propone adaptar la técnica de muestreo variable utilizada en la presente tesis de forma tal de actualizar el período de muestreo de la SGT en el análisis de señales monofásicas. De esta forma se actualiza el período en cada muestra, a diferencia de otros métodos que solo ajustan la fase en los cruces por cero de la señal de entrada [71].

La principal ventaja de este nuevo medidor de armónicos es su bajo costo computacional en comparación con otras técnicas de medición de contenido armónico, ya que no se requiere de ventaneo para de reducir los errores en la estimación al trabajar con señales de frecuencia variable.

7.1.1. Estructura del medidor de armónicos propuesto

Para modificar el período de muestreo del medidor de armónicos propuesto es necesario reformular el detector de error de fase utilizado en el VSP-PLL convencional. Este sistema de sincronismo emplea la transformación de vectores espaciales para estimar la fase instantánea de la línea. Esta transformación permite obtener la fase a partir de las tres tensiones del sistema trifásico. Sin embargo, analizando el modelo matemático del VSP-PLL ([Figura 4.4](#)) se concluye que el mismo es independiente de la forma en la cual se calcula la fase de la señal de entrada. Por esta razón, en la presente sección se propone utilizar la SGT fuera del lazo de fase del período de muestreo del VSP-PLL. Es importante destacar que no es necesario la adición del filtro digital de ventana deslizante en el lazo de fase del medidor de armónicos propuesto, en contraste con el VSPF-PLL y el spVSPF-PLL, debido a que la SGT sintetiza la componente del espectro requerida para implementar la técnica de período de muestreo variable mitigando el resto de las componentes espectrales ([Sección 5.1](#)).

A fin de calcular la fase instantánea se propone utilizar un SGT que estime el valor real

e imaginario de la componente fundamental de la señal y posteriormente estimar la fase mediante la implementación de una función arcotangente. La conveniencia de esta función para la estimación de la frecuencia de línea en relación al uso de la transformada dq propuesta para el VSPF-PLL reside en que, de esta forma, se logra independizar al lazo de fase de la amplitud de la componente fundamental de la señal analizada. Para un medidor de armónicos esta característica es importante ya que en caso de analizar los armónicos de corriente, la componente fundamental de esta señal puede ser desconocida inicialmente. Además, la desventaja de esta técnica analizada en la [Sección 4.3](#) de generar un error de fase constante en el lazo de control, no tiene consecuencias adversas en el rendimiento de este sistema debido a que el objetivo de la técnica de período de muestreo variable es ajustar la frecuencia de muestreo a un múltiplo de la frecuencia de línea sin importar la sincronización en fase del dispositivo. Sin embargo, para aplicaciones donde la componente fundamental de la señal de entrada es conocida y se quiere utilizar a este sistema como método de sincronismo, puede reemplazarse la función arcotangente por la transformada dq manteniendo el principio de funcionamiento y rendimiento del medidor de armónicos propuesto.

El diagrama en bloques del sistema propuesto se presenta en la [Figura 7.1](#). La fase instantánea de la señal de entrada ($\varphi_{SGT}(k)$) es calculada mediante el bloque GT ajustado con $n = 1$ y la función arcotangente. De esta forma se sintetiza la fase de la componente fundamental de la señal de entrada eliminando el efecto del resto de los armónicos. Esta fase es comparada con una fase de referencia generada a partir de realizar saltos de $2\pi/N_{PLL}$ entre instantes de muestreo consecutivos, obteniéndose el error de fase del sistema. A partir de este error y del controlador se determina el próximo instante de muestreo. Como resultado, en régimen permanente el error de fase es nulo y la frecuencia de muestreo resulta N_{PLL} veces mayor que la frecuencia de línea. En estas condiciones de funcionamiento, el SGT no presenta error en la estimación de las componentes del espectro lo cual mejora la performance del sistema.

A fin de estimar el contenido armónico, es necesario agregar tantos bloques GT como armónicos sean de interés. Sin embargo es importante notar que sólo es necesario un bloque SW sin importar la cantidad de armónicos a estimar. Esto permite reducir el costo computacional y la cantidad de datos a almacenar en memoria.

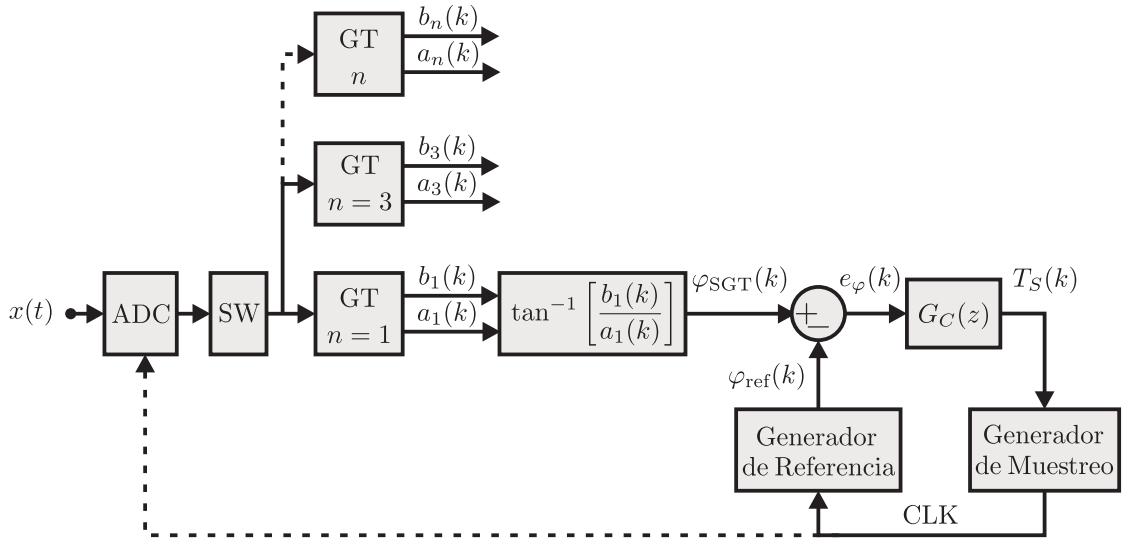


Figura 7.1: Diagrama en bloques del medidor de armónicos propuesto basado en la SGT y el método de período de muestreo variable.

7.1.2. Modelado y diseño del controlador

En el VSP-PLL, el cálculo de la fase de la señal de entrada se realiza a partir de la transformada $\alpha\beta$ y la función arcotangente. Este procedimiento se efectúa muestra a muestra sin dinámica, por lo que el lazo de fase no se ve afectado por este cálculo y el modelo matemático del VSP-PLL no contempla dicha transformación. Por otro lado, el medidor de armónicos propuesto en este capítulo obtiene esta fase a partir de la SGT ajustada con $n = 1$, la cual en este caso agrega dinámica en la estimación. Como consecuencia, para realizar el diseño del controlador del sistema, es necesario modelar este detector de error de fase a fin de obtener el modelo matemático de este sistema.

La Figura 7.2(a) muestra un esquema detallado del detector de error de fase empleado en el sistema propuesto. Asumiendo una señal de entrada distorsionada representada por la Ec. (6.1), un ajuste de la SGT con $n = 1$ y frecuencia de muestreo N_{SGT} veces la frecuencia fundamental de la señal de entrada, la salida de la transformación resulta:

$$a_1(k) = \frac{N_{SGT}}{2} V_1 \cos(\varphi_u(k)) \quad (7.1)$$

$$b_1(k) = \frac{N_{SGT}}{2} V_1 \sin(\varphi_u(k)) \quad (7.2)$$

La salidas de la SGT son la componente en fase y cuadratura de la componente fundamental de la señal de entrada multiplicada por $N_{SGT}/2$. A partir de dichas señales y la función arco-tangente, se obtiene $\varphi_u(k)$ y por último se calcula el error de fase que alimenta al controlador del sistema a partir de la resta con la fase de referencia:

$$e_\varphi(k) = \varphi_u(k) - \varphi_{\text{ref}}(k) \quad (7.3)$$

En la [Sección 5.1](#) se analizó la SGT como un filtro digital de coeficientes reales, sin embargo, asumiendo la salida como una variable compleja tal que $v_{ab}(k) = a_n(k) + jb_n(k)$, la función transferencia de la SGT puede reescribirse como:

$$H_{SGT}(z) = \frac{V_{ab}(z)}{X(z)} = \frac{(1 - e^{-j2\pi n/N_{SGT}} z^{-1})(1 - z^{-N_{SGT}})}{1 - 2 \cos(2\pi n/N_{SGT}) z^{-1} + z^{-2}} \quad (7.4)$$

donde trabajando matemáticamente esta transferencia se obtiene:

$$\frac{V_{ab}(z)}{X(z)} = \frac{(1 - e^{-j2\pi n/N_{SGT}} z^{-1})(1 - z^{-N_{SGT}})}{(1 - e^{j2\pi n/N_{SGT}} z^{-1})(1 - e^{-j2\pi n/N_{SGT}} z^{-1})} \quad (7.5)$$

y finalmente:

$$\frac{V_{ab}(z)}{X(z)} = \frac{(1 - z^{-N_{SGT}})}{(1 - e^{j2\pi n/N_{SGT}} z^{-1})} \quad (7.6)$$

Esta última transferencia es conocida como la SDFT (Sliding Discrete Fourier Transform). Mediante la propiedad de modulación de la DFT, en [\[72\]](#) se demuestra que esta transformación frecuencial es equivalente a la siguiente función de transferencia:

$$\frac{V_{ab}(z)}{X^*(z)} = \frac{(1 - z^{-N_{SGT}})}{(1 - z^{-1})} \quad (7.7)$$

donde $X^*(z)$ es la representación en el plano z de $x^*(k) = x(k)e^{-j\varphi_{\text{ref}}(k)}$ y $\varphi_{\text{ref}}(k)$ es una rampa de fase cuya frecuencia es igual a la frecuencia de la componente espectral que se quiere recuperar. Esta transformada es conocida como la DFT modulada (mDFT) y su implementación para el cálculo de la diferencia de fase entre la señal de entrada y $\varphi_{\text{ref}}(k)$ se presenta en la [Figura 7.2\(b\)](#). Mediante lo demostrado en [\[72\]](#) se concluye que este detector de error de fase y el mostrado en la [Figura 7.2\(a\)](#) son equivalentes.

Las salidas de la mDFT adoptando una frecuencia de muestreo N_{SGT} veces la frecuencia

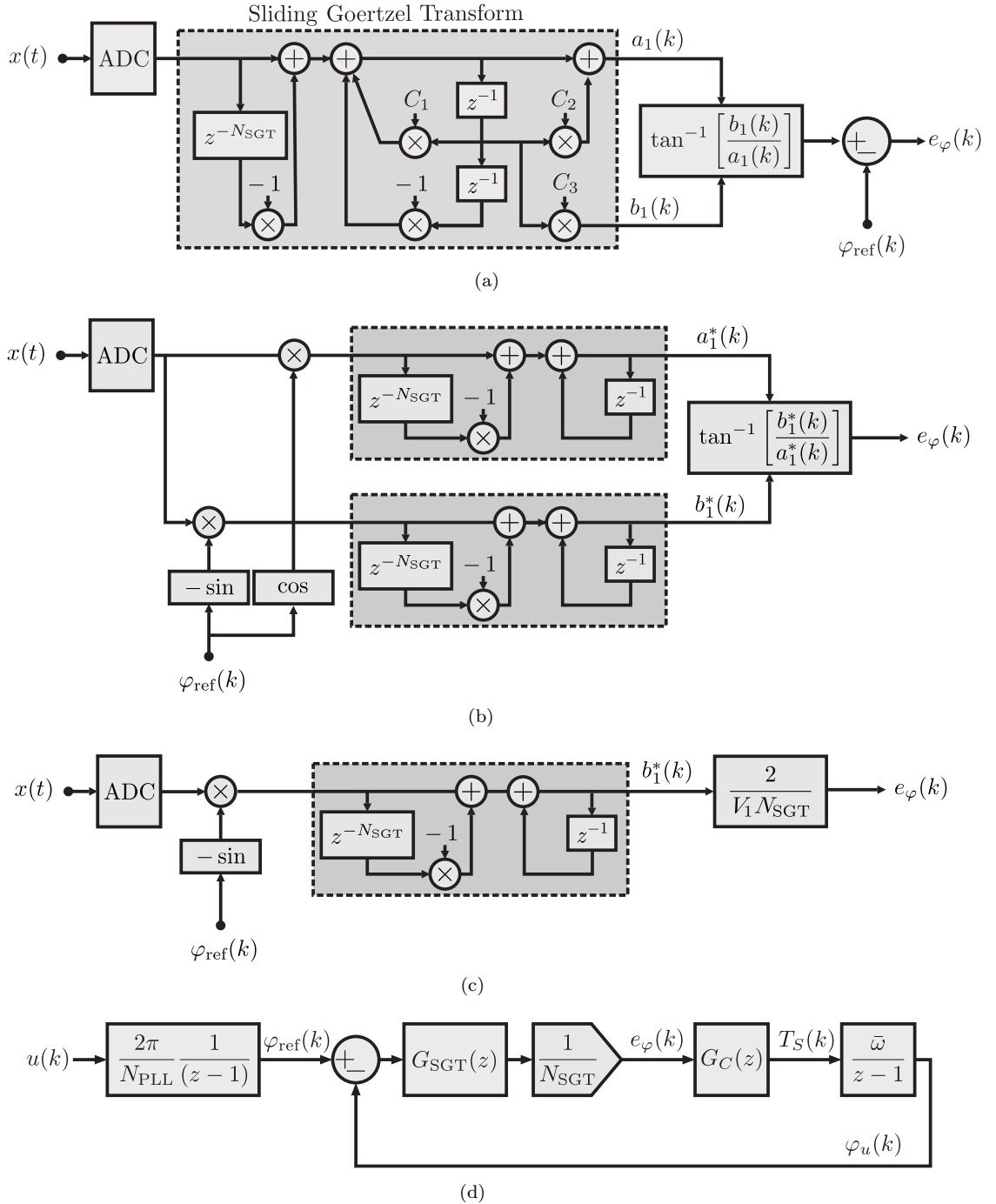


Figura 7.2: Detector de error de fase implementado a partir de (a) la SGT ($C_1 = 2 \cos(2\pi n / N_{SGT})$, $C_2 = -\cos(2\pi n / N_{SGT})$ y $C_3 = \sin(2\pi n / N_{SGT})$) y (b) la DFT modulada. (c) Modelo de pequeña señal del detector de error de fase implementado a partir de la DFT modulada. (d) Modelo matemático del lazo de fase del medidor de armónicos propuesto.

fundamental de la señal de entrada, resultan:

$$a_1^*(k) = \frac{N_{SGT}}{2} V_1 \cos(\varphi_u(k) - \varphi_{ref}(k)) \quad (7.8)$$

$$b_1^*(k) = \frac{N_{SGT}}{2} V_1 \sin(\varphi_u(k) - \varphi_{ref}(k)) \quad (7.9)$$

Por otro lado, asumiendo una pequeña diferencia entre la fase de la señal de entrada y la fase de referencia ($\varphi_u(k) \approx \varphi_{ref}(k)$), la salida de la mDFT resulta:

$$a_1^*(k) \approx \frac{N_{SGT}}{2} V_1 \quad (7.10)$$

$$b_1^*(k) \approx \frac{N_{SGT}}{2} V_1 (\varphi_u(k) - \varphi_{ref}(k)) \quad (7.11)$$

donde $b_1^*(k)$ representa al error de fase del sistema afectada por un término constante igual al obtenido a partir de $a_1^*(k)$. Basado en estas ecuaciones en pequeña señal, la implementación de la transformada mostrado en la [Figura 7.2\(b\)](#) puede aproximarse por el modelo mostrado en la [Figura 7.2\(c\)](#), donde se ha normalizado $b_1^*(k)$ a fin de obtener $e_\varphi(k)$. Finalmente, a partir de comparar este modelo en pequeña señal con la estructura del spVSPF-PLL ([Figura 6.2](#)), se obtiene el modelo matemático del medidor de armónicos propuesto en este capítulo ([Figura 7.2\(d\)](#)).

A pesar de la similitud entre ambos modelos, el modelo propuesto para el medidor de armónicos se diferencia del modelo del spVSPF-PLL en tres aspectos. Primero, la amplitud de la señal de entrada no afecta la ganancia del lazo y segundo la salida del filtro de ventana deslizante está normalizada, ambos casos resultado del cálculo de la fase a partir de la función arcotangente. Y tercero, $N_{SGT} = N_{PLL}$ ya que la SGT debe sintonizarse en $50Hz$ para recuperar la componente fundamental de la señal analizada.

Como en esta aplicación no se requiere de una elevada velocidad de respuesta, a fin de estabilizar el lazo de fase se propone utilizar el controlador más simple que permite estabilizar al sistema. El controlador propuesto es el formado por una ganancia, un polo en $z = 1$ y un cero en $z = a$. El diseño de los coeficientes se ha efectuado a partir de analizar la transferencia del sistema a lazo abierto mediante la técnica de invarianza al impulso. Repitiendo el procedimiento mostrado en la [Sección 5.4](#) se obtienen los coeficientes del controlador, los cuales se resumen en la [Tabla 7.1](#) para redes eléctricas de $50Hz$ y $60Hz$.

Tabla 7.1: Parámetros del controlador del medidor de armónicos propuesto

Red Eléctrica	a^*	a	K
50Hz	$2,5\text{Hz}$	0.997548640240970	$17,398026980 \times 10^{-6}$
60Hz	$3,0\text{Hz}$	0.997548640240970	$14,542865916 \times 10^{-6}$

7.1.3. Evaluación del medidor de armónicos propuesto

La performance del medidor de armónicos propuesto ha sido evaluada mediante simulaciones del sistema en MATLAB®/SIMULINK®. Las variables han sido ajustadas como se describió en la sección previa y dos bloques GT extra han sido incluidos a fin de estimar el 3er y 5to armónico además de la componente fundamental de la señal de entrada.

La [Figura 7.3\(a\)](#) presenta los resultados obtenidos al aplicar diferentes perturbaciones en la señal de entrada. En la misma se muestra la frecuencia de la señal de entrada, el módulo estimado de la componente fundamental, 3er armónico y 5to armónico y el período de muestreo del sistema. La señal de entrada inicial es una senoide ideal de 50Hz y valor pico igual a $1V$.

En $t = 300ms$ la señal de entrada sufre un dip de tensión, el cual consiste en la modificación de la amplitud pico de la fundamental de $1V$ a $0,9V$ y un escalón de fase de 10° . Como se ve en la figura, el sistema logra estimar el nuevo valor de la componente fundamental de entrada sin presentar error en régimen permanente luego de un reducido transitorio. Se aprecia una variación en el período de muestreo como resultado del escalón de fase. Por último, la variación en la estimación del 3er y 5to armónico es resultado del almacenamiento de las nuevas muestras correspondientes al ciclo de la señal y la variación del período de muestreo. En régimen permanente no se aprecia error en la estimación de ninguna de las componentes.

En $t = 400ms$ se ha adicionado un 3er y 5to armónico de $0,1V$ y $0,15V$ respectivamente. El método logra estimar el módulo de los armónicos y la fundamental, sin error en régimen permanente, en sólo un ciclo de la señal de entrada. Como se aprecia en la figura, el período de muestreo no presenta una variación apreciable debido a que la fase de la fundamental no ha sido modificada, lo cual permite lograr una adecuada velocidad de respuesta.

Luego, en $t = 600ms$ se adiciona una 7ma armónica de valor igual a $0,1V$. Se verifica mediante la observación de la figura que la estimación de las componentes de interés no ha sufrido grandes variaciones y que las mismas son rechazadas en tan sólo un ciclo de fundamental. Nuevamente esto es resultado del almacenamiento en memoria de la nueva forma de onda. No se aprecia tampoco cambios sustanciales en el período de muestreo. Es importante notar que la SGT asociada al lazo del PLL provee de rechazo a todos los armónicos de la señal de entrada,

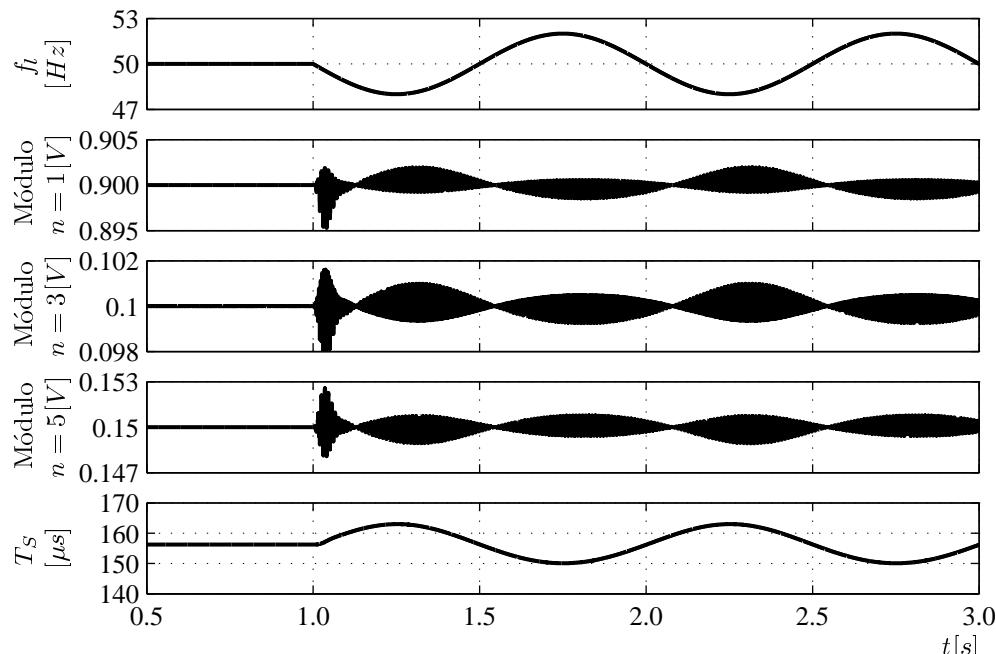
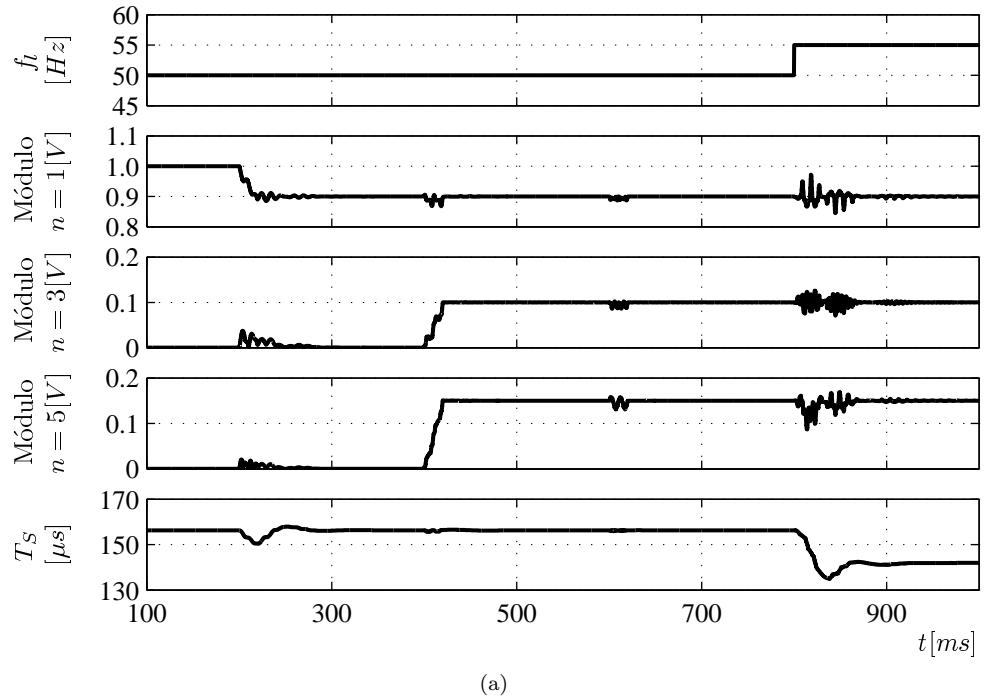


Figura 7.3: Respuesta del medidor de armónicos propuesto ante (a) diferentes perturbaciones y (b) variaciones continuas en la frecuencia de entrada. Se presenta la frecuencia de la señal analizada, el módulo estimado de la componente fundamental, el módulo estimado del 3er armónico, el módulo estimado de la 5ta armónica y el período de muestreo del sistema.

sean los mismos estimados o no.

Finalmente, a fin de demostrar la capacidad del sistema de adaptarse en frecuencia, se ha efectuado un escalón de 5Hz en $t = 800\text{ms}$. Como se aprecia en la figura, el período de muestreo converge a su nuevo valor logrando estimar las componentes de interés en régimen permanente sin error. Es importante notar que las oscilaciones observadas en la respuesta de los bloques GT son resultado de la gran distorsión de la señal con la que se está trabajando y la magnitud del escalón de frecuencia efectuado. Como se verifica, los transitorios de mayor tiempo de establecimiento son resultado de las perturbaciones que modifican la fase de la fundamental de la señal bajo estudio.

En la práctica, se observa que la red eléctrica puede presentar variaciones continuas en su frecuencia ([Sección 1.3.1](#)), por lo cual resulta adecuado analizar la performance del sistema propuesto bajo estas condiciones de funcionamiento. Para ello, en la [Figura 7.3\(b\)](#) se analiza la respuesta del método cuando la frecuencia de la señal distorsionada se define como:

$$\omega_l(t) = \bar{\omega}_l + \omega_p \sin(2\pi t) \quad (7.12)$$

donde $\bar{\omega}_l = 50\text{Hz}$ y $\omega_p = 2\text{Hz}$ son la frecuencia angular media y pico respectivamente. Es importante notar que este ensayo resulta, ya sea por el valor pico adoptado como por el período de la perturbación, un extremo de lo que se encuentra en la práctica. Sin embargo, sirve para analizar el comportamiento en condiciones de funcionamiento adversas. Se verifica mediante el análisis de la figura que, a pesar de la gran variación analizada, el sistema logra estimar cada componente del espectro manteniendo un error reducido en régimen permanente. Esto se logra debido a que el período de muestreo se actualiza muestra a muestra y que el lazo de fase tiene un ancho de banda mayor a la frecuencia de la perturbación, lo cual corresponde con lo observado en la práctica en relación a variaciones de la frecuencia de línea. Finalmente, tomando como referencia a la tensión de la componente fundamental de la señal de entrada al inicio de la simulación, es decir, $1V$ equivalente a 100% , se midió un error máximo de $0,16\%$ para la estimación de la componente fundamental, $0,08\%$ para la estimación del 3er armónico y $0,09\%$ para la estimación del la 5ta armónica.

Una comparación entre diferentes métodos de estimación de armónicos se presenta en la [Tabla 7.2](#). Se analizan los cálculos necesarios para estimar la fundamental de la señal de entrada. Como se verifica en la tabla, la utilización de la técnica de ventaneo resulta en un mayor número

Tabla 7.2: Comparación de los cálculos necesarios para estimar la componente fundamental de una señal.

Método	Mult.	Sum.	Reducción del Error	
			Método	Cálculos
DFT	$2N$	$2N$	Ventana	Mult. $=N$
QFT	N	$N + 4$	Ventana	Mult. $=N$
GT	$N + 2$	$2N + 1$	Ventana	Mult. $=N$
SGT	3	4	T_S variable	Mult. = 3 Sum = 3 Func = \tan^{-1}

de operaciones en relación al método propuesto. Con respecto a este último, la operación más compleja de la técnica de muestreo variable es el cálculo de la función arcotangente. Sin embargo, el mismo puede realizarse mediante una tabla de look-up (para implementaciones en DSP) o el algoritmo de CORDIC (para implementaciones en FPGA) con un reducido tiempo de procesamiento y bajo error. De esta manera se demuestra una reducción considerable en los cálculos necesarios en comparación con otros métodos.

7.1.4. Resultados experimentales

El medidor de armónicos se ha implementado en una FPGA Spartan-3E xc3s1600e de 50MHz de clock. Se emplea el mismo banco de ensayos descrito en la [Sección 4.2](#) sustituyendo el DSP que implementa el sistema de sincronismo por la FPGA que implemente el medidor de armónicos y utilizando sólo uno de los canales de conversión digital/analógico y analógico/digital de la placa de adquisición y generación respectivamente. El sistema se ha ajustado con $N_{PLL} = 128$, equivalente a lograr en régimen permanente un $T_S = 156,25\mu s$ para una frecuencia de línea de 50Hz. El diseño se ha realizado en VHDL a fin de lograr un proyecto flexible y portable. Las variables y operaciones requeridas son implementadas utilizando una aritmética de punto fijo en formato IQmath [63]. Como consecuencia, el área requerida de la FPGA se reduce en comparación con una aritmética en punto flotante ya que las variables y constantes son multiplicadas por potencias de dos de manera tal de almacenar números racionales en variables enteras. El tamaño de la palabra así como el exponente, es definido para cada cálculo mediante el análisis del peor caso de forma tal de reducir los requerimientos de espacio en la FPGA y mantener una adecuada resolución.

Para implementar la función arcotangente (la operación más compleja del sistema) se ha utilizado el algoritmo CORDIC (COordinate Rotation Digital Computer), el cual es ampliamente utilizado en diseños en FPGA para la implementación de funciones trigonométricas.

Tabla 7.3: Recursos utilizados por cada componente en la implementación del medidor de armónicos propuesto.

Componente	Recursos Consumidos		
	Slices	FFs	LUTs
SW	85	16	170
GT + Modulo	263	56	507
PLL	187	89	338
TOTAL (tres SGT + Modulo)	2727 (18%)	272 (1%)	5295 (17%)

En este caso, el cálculo de los diferentes módulos GT involucra coeficientes que son distintos a $+1$ y -1 . Por lo tanto, debido que la implementación se realiza en una plataforma de aritmética finita, es necesario utilizar un factor de amortiguamiento r ([Sección 5.1](#)). A partir de la longitud de palabra utilizada para la implementación del método, se adopta $r = 0,99995$. Un valor diferente de la unidad imposibilita lograr rechazo infinito a las componentes armónicas indeseables al mismo tiempo que adiciona al estimador un error de amplitud y fase. Sin embargo, se observó que para el r adoptado, estos errores son aceptables.

La técnica de muestreo variable ha sido diseñada con un contador que incrementa su valor cada ciclo de clock de la FPGA. Como resultado, la resolución del período de muestreo queda definida en 20ns considerando un clock de 50MHz .

Se han implementado tres bloques GT y el cálculo del respectivo módulo, a fin de estimar la componente fundamental, 3er y 5ta armónica. La [Tabla 7.3](#) presenta los recursos utilizados. Como resumen, estos resultan (sin considerar la etapa de conversión analógica/digital y digital/analógica): 2727 slices de 14752 (18 %), 272 Flip-Flops de 29504 ($\approx 1\%$), 5295 LUTs de 29504 (17 %) y 36 MULT18X18SIOs de 36 disponibles (100 %). Experimentalmente se midió un tiempo de $0,64\mu\text{s}$ entre la adquisición de $x(k)$ y el cálculo del módulo y un tiempo de $0,84\mu\text{s}$ entre la adquisición de $x(k)$ y el cálculo del nuevo T_S .

Debido a que sólo se utiliza aproximadamente un 20 % de los recursos de la FPGA y que todos los cálculos se realizan en un tiempo menor a $1\mu\text{s}$, el estimador propuesto puede ser implementado como parte de un sistema mayor. A su vez, puede optimizarse el área de la FPGA a expensas del tiempo de ejecución si sólo se implementa un bloque GT reutilizándose tantas veces como se desee mediante una máquina de estados. Si por el contrario, se desea conservar el tiempo de cálculo a expensas del área, se puede implementar cada bloque GT requerido. Esta flexibilidad en el diseño del presente sistema es una de las ventajas del mismo que lo diferencian de las técnicas basadas en la FFT.

A fin de verificar el comportamiento del sistema propuesto, se presenta en la [Figura 7.4](#) la

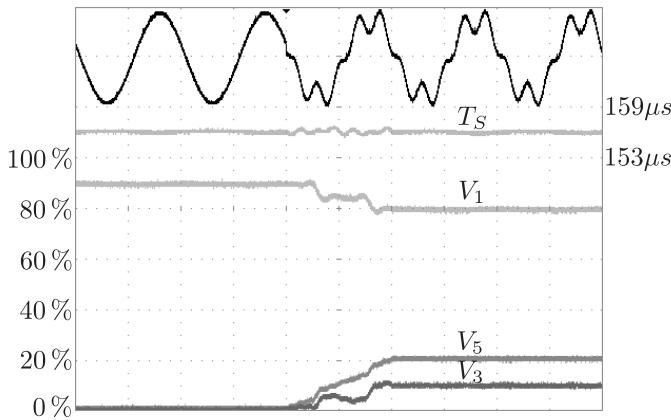


Figura 7.4: Respuesta del sistema ante distorsión armónica. Se presenta la señal de entrada (negro), el período de muestreo del sistema (T_S), el módulo estimado de la componente fundamental (V_1), el módulo estimado del 3er armónico (V_3) y el módulo estimado del 5to armónico (V_5).

respuesta de la implementación ante una señal fuertemente distorsionada. Para ello se inicializa el sistema con una señal senoidal ideal de $50Hz$ y amplitud 90 %, tomándose como referencia el rango total del conversor analógico/digital (100 %). Luego, se ha modificado la amplitud de la fundamental de entrada de 90 % a 80 % y se ha adicionado un 10 % de 3er, 20 % de 5to y 20 % de 7mo armónico. Como se aprecia en la figura, la respuesta se corresponde con lo obtenido en la simulación. La estimación de cada componente se estabiliza luego de un ciclo de red sin apreciarse grandes cambios en el período de muestreo.

Por último, se presenta en la Figura 7.5 la amplitud de cada armónico estimada por el sistema propuesto (negro) y los valores obtenidos mediante el procesamiento off-line en MATLAB® de una secuencia de la señal de entrada adquirida a período de muestreo fijo (gris). El primer conjunto de datos se obtiene a partir de almacenar en una PC los módulos correspondientes a 1000 muestras consecutivas procesadas por la FPGA. Para ello se ha utilizado un protocolo de comunicación serie entre ambos dispositivos. Por otro lado, el segundo conjunto de valores se ha obtenido mediante la adquisición de 2000 valores de la señal de entrada a una frecuencia de muestreo fija de $10kHz$, equivalente a realizar 200 muestras por ciclo de una señal de $50Hz$. A partir de esta secuencia se determina el valor de cada componente espectral de interés mediante el uso de una FFT y una ventana de Hanning como se describe en la serie IEC 61000.

En la Figura 7.5(a) y Figura 7.5(b) se comparan los valores proporcionados por el estimador de armónicos (negro) y los valores calculados a partir de MATLAB® (gris) para la señal ideal y la señal distorsionada respectivamente. Se verifican oscilaciones en la respuesta de muy baja amplitud resultado de utilizar un factor de amortiguamiento diferente a la unidad. En la

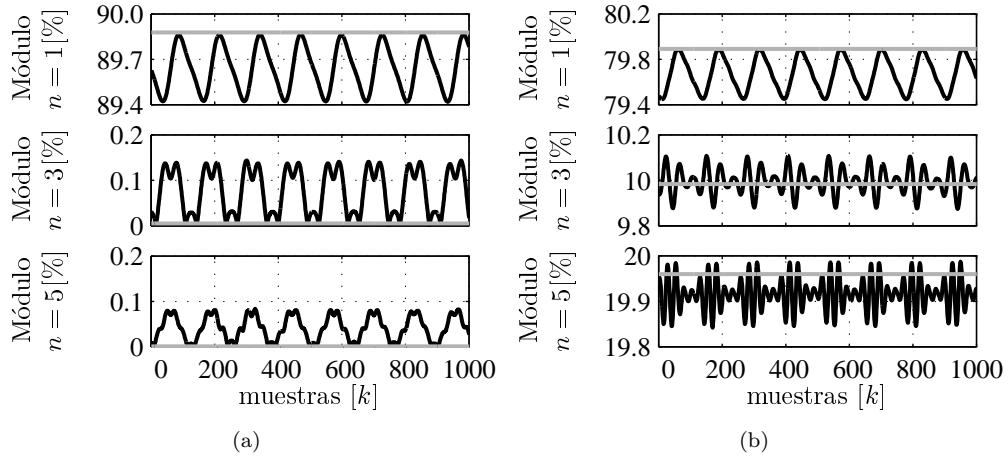


Figura 7.5: Detalle de la respuesta del sistema para (a) señal de entrada ideal y para (b) señal de entrada distorsionada. Valores obtenidos a partir del estimador de armónicos propuesto (negro) y valores procesados en MATLAB® (gris).

Tabla 7.4: Error máximo en la estimación de las componentes.

n	MATLAB® [%]	SGT [%]	Error [%]
Señal ideal			
1	89.877403525463023	89.418029785156250	-0.459373740306773
2	0.004944885682597	0.143432617187500	0.138487731504903
3	0.001301339432782	0.083923339843750	0.082622000410967
Señal distorsionada			
1	79.891507060930920	79.888916015625000	-0.002591045305920
2	9.983789246197683	10.107421875000000	0.123632628802318
3	19.960078911986969	19.842529296875000	-0.117549615111969

Tabla 7.4 se presenta un resumen de las desviaciones máximas obtenidos. Los valores registrados son menores al 0,5 % del rango del conversor analógico/digital por lo que resultan aceptables y adecuados para propósitos prácticos. Es importante notar que si se programa al algoritmo con una longitud de palabra mayor a la adoptada, el factor r puede aproximarse mejor a la unidad reduciendo el ripple en régimen permanente y mejorando el desempeño del sistema.

Con el objeto de comprobar el funcionamiento del medidor de armónicos con una señal real, no generada intencionalmente, se realizó una prueba con una de las fases de la red eléctrica del LIC. En este ensayo se han adicionado en la FPGA los bloques GT y el cálculo del módulo necesarios para estimar la amplitud del 7mo y 9no armónico. Se presenta en la Figura 7.6(a) la captura del osciloscopio para la estimación de la componente fundamental y el 3er y 5to armónico, y el detalle de la respuesta en la Figura 7.6(b) para la estimación de la componente fundamental y el 3er, 5to, 7mo y 9no armónico. Además, en la Tabla 7.5 se resumen los errores máximos registrados en este análisis. Para este ensayo se verifica que los valores obtenidos a

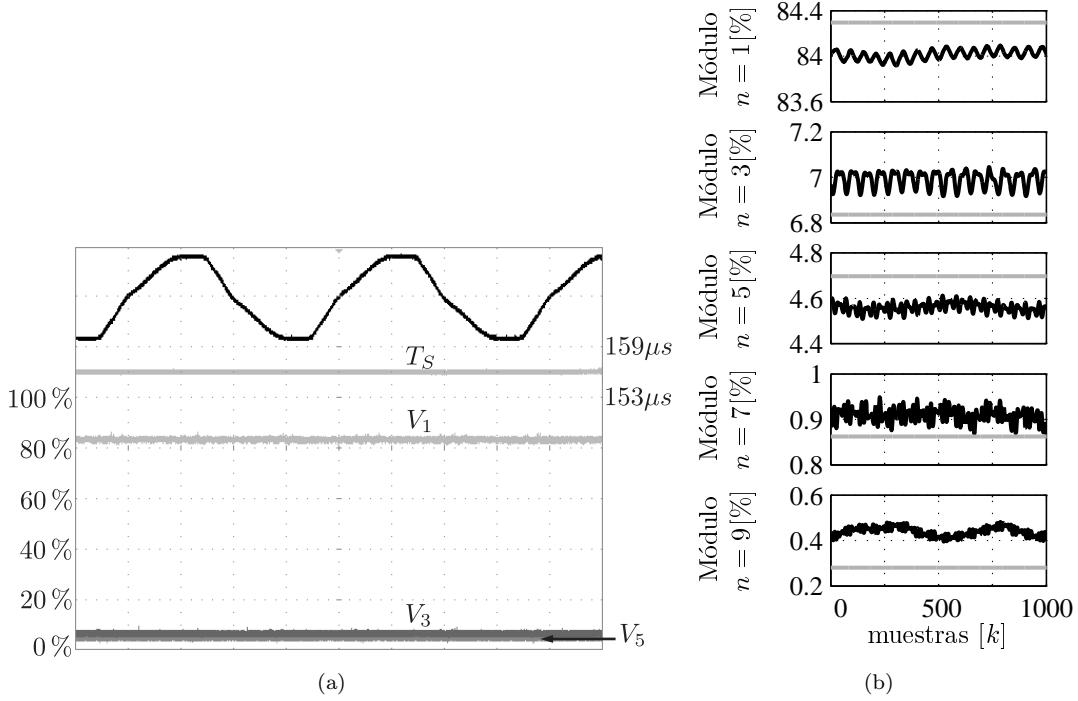


Figura 7.6: Respuesta del medidor de armónicos propuesto conectado a la red eléctrica. (a) Pantalla del osciloscopio donde se presenta la señal de entrada (negro), el período de muestreo del sistema (T_S), el módulo estimado de la componente fundamental (V_1), el módulo estimado del 3er armónico (V_3) y el módulo estimado del 5to armónico (V_5). (b) Detalle de los valores obtenidos a partir del estimador de armónicos propuesto (negro) y valores procesado en MATLAB® (gris). Se presentan los resultados obtenidos a partir de analizar la componente fundamental, 3er, 5to, 7mo y 9no armónico.

partir del medidor de armónicos propuesto y del procesamiento off-line de los datos adquiridos a período de muestreo fijo no presentan diferencias significativas.

7.1.5. Conclusiones sobre el estimador de armónicos

En esta sección se ha presentado un medidor de armónicos que emplea la SGT para estimar las componentes espectrales de interés, y se adiciona un lazo de control que ajusta el período de muestreo a fin de adecuar la secuencia de muestras a un ciclo de la red eléctrica.

Se demuestra la capacidad del sistema propuesto de estimar las componentes de interés

Tabla 7.5: Error máximo en la estimación de las componentes de la red eléctrica.

n	MATLAB® [%]	SGT [%]	Error [%]
1	84.295198965297075	83.917236328125000	0.284884023890825
2	6.835560479366971	7.084655761718750	-0.133128485476779
3	4.697542824442940	4.490661621093750	0.126009621317940
7	0.862504185604980	0.949096679687500	-0.063704310488770
9	0.280496766655822	0.515747070312500	-0.142171690375428

aún trabajando en redes eléctricas de frecuencia variable. Este sistema mantiene un bajo costo computacional, lo cual se verifica mediante el análisis de los recursos utilizados en la implementación en FPGA. El elevado rechazo a armónicos indeseables y rápida velocidad de respuesta son otras de las características del sistema propuesto.

Además, la flexibilidad que ofrece su implementación, de optimizar el tiempo de cálculo o el área utilizada de la FPGA, permiten configurar al medidor de armónicos según la aplicación y los recursos disponibles.

7.2. VSPF-PLL y convertidor conmutado por línea conectado a una red eléctrica débil

Los convertidores conmutados por línea se utilizan en aplicaciones CA/CC de alta potencia, debido a la capacidad de los tiristores de manejar corrientes muy elevadas, a su robustez y a la simplicidad del control. Las aplicaciones más importantes son la transmisión de energía eléctrica de corriente continua en alta tensión (HVDC) [8], el control de motores de CC [73], la motorización de trenes eléctricos [74], los procesos de electrólisis del aluminio y cobre [6] [7] y las fuentes de corriente de altas prestaciones en aceleradores de partículas [9] [10].

La operación normal de estos convertidores es denominada modo de conducción continua, situación en la que la corriente de salida del rectificador no se interrumpe en ningún instante. En estas condiciones el rectificador se comporta como una fuente de tensión que depende del ángulo de disparo, con valor medio independiente de la carga. A fin de lograr un adecuado valor de tensión a la salida del convertidor, es necesario estimar correctamente la fase instantánea de la red eléctrica ya que el ángulo de disparo del dispositivo está referido a esta variable.

En ciertas aplicaciones se puede encontrar a estos convertidores conectados a redes eléctricas débiles. En este tipo de redes, la impedancia equivalente en cortocircuito vista desde los terminales del dispositivo es suficientemente elevada como para generar notches y distorsiones en las tensiones en el punto de conexión común en condiciones normales de funcionamiento. Como resultado, las tensiones que alimentan al convertidor presentan una elevada distorsión que dificulta la detección de la fase instantánea para el control del mismo.

En la literatura pueden encontrarse numerosos trabajos que se enfocan en mitigar los efectos adversos que estas perturbaciones generan en los sistemas de sincronismo. Sin embargo, la mayoría de las propuestas tratan de eliminar estos efectos en los PLL basados en la detección

de los cruces por cero de la terna [75] [76]. De esta forma, se mejora el rendimiento en la detección de la fase instantánea de línea pero la dinámica del lazo de enganche de fase sigue siendo pobre. Por otro lado, existen propuestas alternativas como la presentada en [11] donde la información de la fase instantánea es actualizada a lo largo del ciclo de la señal mediante el uso de vectores espaciales y se elimina los notches de la señal a través de un estimador de mínimos cuadrados. A pesar de que este método elimina esta perturbación de forma eficiente, el uso de la SVT y la función arcotangente para la detección de la fase de la terna presenta las desventajas analizadas en la [Sección 4.3](#).

Debido a las limitaciones de los sistemas de sincronismo trabajando en estas condiciones de funcionamiento, se analiza en esta sección el comportamiento del VSPF-PLL y de un rectificador controlado conectado a una red eléctrica débil. El objetivo de este estudio es evaluar al sistema de sincronismo trifásico propuesto en esta tesis en esta situación real, en la cual las tensiones de línea presentan elevados niveles de distorsión. Además, se analiza y compara la respuesta del VSPF-PLL y del PLL clásico utilizado en el convertidor ante una perturbación en el punto de conexión común.

7.2.1. Banco experimental

En la [Figura 7.7](#) se presenta una foto del banco experimental utilizado en esta sección. El mismo está constituido por tres partes funcionales, la etapa de potencia, la etapa de control de los tiristores y la implementación del VSPF-PLL.

La etapa de potencia consiste de 6 tiristores en configuración puente tipo AEG TT18N1200KOC de 1200V y 18A y un transformador trifásico de $380V_{RMS}$ a $65V_{RMS}$. Debido a que en los terminales del puente se observa la inductancia de dispersión del transformador, las tensiones en el secundario presentan una distorsión que depende de la corriente que circula por el mismo. A partir de esta característica, se simula el funcionamiento del convertidor conectado a una red eléctrica débil.

La etapa de control está compuesta por un potenciómetro, para ajustar el ángulo de disparo del rectificador, y la placa de comando de los tiristores. Esta última genera la secuencia de pulsos de disparo en función del ángulo de disparo con las características necesarias (duración del pulso, número de pulsos, tiristor a ser disparado). El algoritmo de comando de los tiristores se ejecuta en una FPGA y consta de comparar el ángulo de disparo con una rampa que varía desde 0 hasta 2π , en sincronismo con la red eléctrica. A fin de sincronizar esta rampa con la

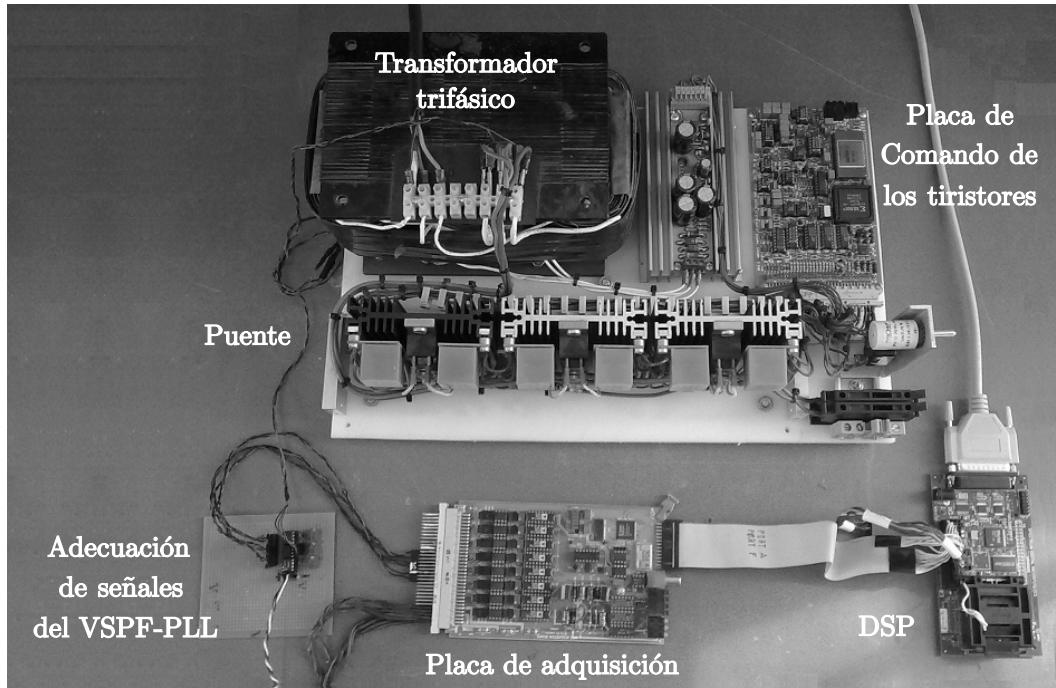


Figura 7.7: Banco experimental.

fase de la red eléctrica, se utiliza un PLL implementado con un 74HC4046. Debido a que este banco experimental simula el funcionamiento del puente conectado a una red débil, se toma como referencia de tensión para el PLL las tensiones en el secundario del transformador. A fin de mitigar los efectos que producen las conmutaciones de los tiristores sobre las tensiones, la etapa de adecuación de señales previa al PLL emplea un filtro de tercer orden con frecuencia de corte de 50Hz. Esta solución permite recuperar sólo la componente fundamental de la señal de entrada sin los efectos de la distorsión armónica. Sin embargo, el filtro utilizado agrega un retardo en las tensiones, el cual debe ser compensado manualmente.

Por último, la implementación del VSPF-PLL se divide en tres etapas, la adecuación de señales del VSPF-PLL, la placa de adquisición y el TMS320F2812 (DSP de punto fijo de 32 bits y clock de 150MHz) donde se programa el método de sincronismo propuesto. La placa de adquisición provee de ocho canales simultáneos de conversión analógico/digital y cuatro canales de conversión digital/analógico para la visualización de las variables del método de sincronismo en tiempo real.

7.2.2. Resultados experimentales

En el primer ensayo se analiza la capacidad del sistema de sincronismo trifásico propuesto en esta tesis de rechazar el efecto de los notches de tensión generados por el rectificador controlado en las tensiones del secundario del transformador. Para ello, se conectó en la salida del convertidor una carga resistiva pura de $2,5\Omega$ y se modificó el ángulo de disparo hasta obtener en el secundario del transformador una perturbación adecuada para este estudio. Debido a que el objetivo es perturbar las tensiones que alimentan al VSPF-PLL, el modo de conducción del rectificador no es relevante. El sistema de sincronismo se ha configurado con los parámetros presentados en la [Sección 5.4](#) para redes eléctricas de $50Hz$. A fin de verificar la sincronización del método con las tensiones de entrada, se sintetiza una de estas señales a partir de la fase de referencia del algoritmo ($\varphi_{ref}(k)$), mediante la siguiente expresión:

$$v_{ref}(k) = \cos(\varphi_{ref}(k)) \quad (7.13)$$

En la [Figura 7.8\(a\)](#) se muestra una captura realizada con un osciloscopio cuando el rectificador controlado se encuentra apagado. Se presenta en la pantalla una de las tensiones en el secundario del transformador (v_a), la señal sintetizada por el VSPF-PLL (v_{ref}), la frecuencia angular estimada (ω_{est}) y la fase de referencia (φ_{ref}) del sistema de sincronismo. Mediante la observación de la figura se verifica un correcto ajuste de las dos primeras señales, lo cual, demuestra que el método propuesto se ha sincronizado correctamente con la terna de entrada. Además se aprecia una frecuencia estimada estable de $50Hz$ y una rampa de fase limpia lo cual resulta en una función sinusoidal sin distorsión.

Luego, en la [Figura 7.8\(b\)](#) se muestra la captura del osciloscopio, donde se ha encendido el rectificador y se ajusta el ángulo de disparo a fin de entregar a la carga una corriente de $10A$. Como se verifica en la figura, la tensión en el secundario del transformador presenta grandes niveles de distorsión y notches. En relación a la respuesta del VSPF-PLL, se observa en la captura del osciloscopio que la frecuencia estimada por el método de sincronismo es constante y de valor igual a $50Hz$. No se observan distorsiones ni variaciones durante la aparición de los notches de tensión ya que sus efectos en el PLL han sido completamente eliminados por el filtro digital. De esta forma se demuestra la capacidad del sistema de mitigar los efectos de este tipo de perturbaciones y de sintetizar la componente fundamental de la señal de entrada.

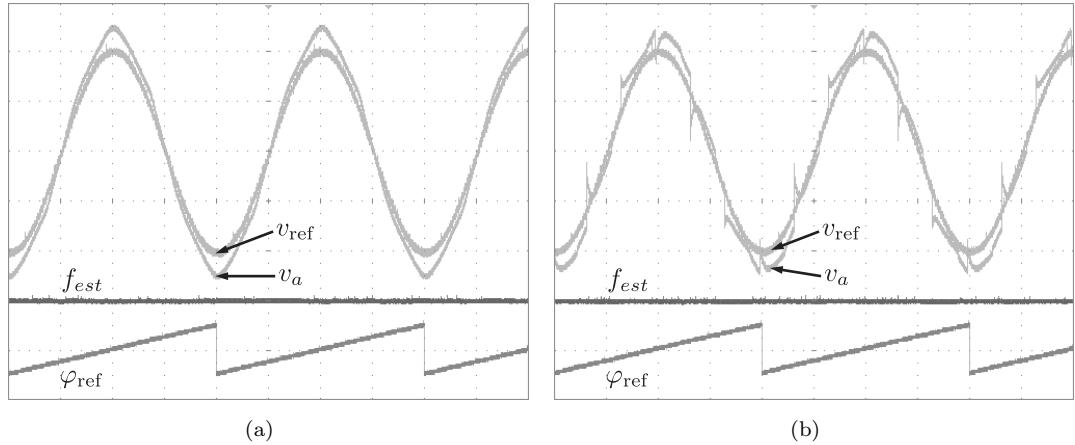


Figura 7.8: Respuesta del VSPF-PLL conectado en una red eléctrica débil junto al rectificador controlado. Se presenta una de las tensiones en el secundario del transformador (v_a), la señal sinusoidal sintetizada por el VSPF-PLL (v_{ref}), la frecuencia estimada (f_{est}) y la fase de referencia (φ_{ref}) del sistema de sincronismo. (a) Con el rectificador apagado y (b) con el rectificador encendido. Se ajusta la base de tiempo a $5ms/div$ y una escala vertical de $5Hz/div$.

En un segundo ensayo se compara las respuestas del VSPF-PLL y del PLL clásico, implementado en el rectificador controlado, ante una perturbación en las tensiones del secundario del transformador. Para ello, a través de una llave se conecta en el secundario del transformador una carga trifásica en configuración delta. En este ensayo se mantiene apagado el convertidor ya que el objetivo es comparar la velocidad de respuesta de ambos métodos de sincronismo para lo cual se va a emplear como referencia a los cruces por cero de la tensión en el secundario del transformador. Debido a que el PLL clásico logra sincronismo con la entrada al generar una señal realimentada que presenta los flancos ascendentes en los cruces por cero de pendiente ascendente de la terna, y con el fin de comparar al VSPF-PLL bajo el mismo principio de funcionamiento, se ha reemplazado la señal sintetizada v_{ref} del ensayo previo por una señal cuadrada v_{ref}^* . Esta última se genera a partir de ubicar los flancos ascendentes en los cruces por cero de pendiente ascendente de v_{ref} y se adopta un ciclo de trabajo del 25% en forma arbitraria a fin de facilitar la identificación de esta señal en las adquisiciones del osciloscopio.

En la [Figura 7.9](#) se muestra una captura realizada con un osciloscopio de la respuesta de ambos métodos de sincronismo ante el cierre de la llave que conecta la carga trifásica. En la pantalla se observa una de las tensiones en el secundario del transformador (v_a), la señal realimentada por el PLL clásico (v_{PLL}) y la señal cuadrada sintetizada por el VSPF-PLL (v_{ref}^*). La adición de la carga produce una circulación de corriente por el transformador y la caída de la amplitud de la terna en el punto de conexión. Previo a la perturbación ambos sistemas

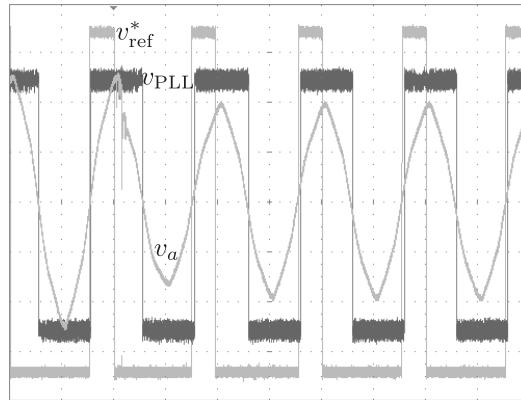


Figura 7.9: Respuesta del VSPF-PLL y el PLL clásico ante el cierre de la llave. Se presenta una de las tensiones en el secundario del transformador (v_a), la señal realimentada por el PLL clásico (v_{PLL}) y la señal cuadrada sintetizada por el VSPF-PLL (v_{ref}^*).

están sincronizados ya que los flancos ascendentes de v_{ref}^* y v_{PLL} coinciden con los cruces por cero de la tensión analizada. Sin embargo, no se logra observar con precisión la respuesta de ambos luego de la perturbación. Para realizar un análisis más preciso, la Figura 7.10 muestra un detalle de la Figura 7.9 en el entorno de cada cruce por cero de la tensión v_a .

En la Figura 7.10(a) se presenta la respuesta de ambos métodos en el instante previo a la perturbación. Debido a que los flancos ascendentes de las señales cuadradas coinciden con el cruce por cero de pendiente positiva de la tensión en el secundario del transformador, se observa la sincronización de ambos sistemas.

En la Figura 7.10(b) se presenta un detalle correspondiente al primer cruce por cero con pendiente positiva de v_a luego de la perturbación. Para este caso se registra una diferencia entre los cruces por cero de v_{ref}^* y v_{PLL} , y la tensión analizada de $0,3ms$ y $0,32ms$ respectivamente. Para este caso, la diferencia de tiempo asumiendo una red eléctrica de $50Hz$ equivale a un error de fase de $5,4^\circ$ y $5,76^\circ$ respectivamente.

En la Figura 7.10(c) se presenta un detalle correspondiente al segundo cruce por cero con pendiente positiva de v_a luego de la perturbación. Para este ensayo se verifica la correcta sincronización del VSPF-PLL mientras que el PLL clásico sigue presentando una diferencia de tiempo entre el flanco positivo de la señal cuadrada y el cruce por cero de la señal analizada. Para este caso se mide una diferencia de tiempo de $0,4ms$ equivalente a un error de fase de $7,2^\circ$.

Finalmente, en la Figura 7.10(d), Figura 7.10(e) y Figura 7.10(f) se presenta un detalle correspondiente al tercer, cuarto y quinto cruce por cero con pendiente positiva de v_a luego de la perturbación, respectivamente. Se observa como el error de fase del PLL clásico va disminuyendo

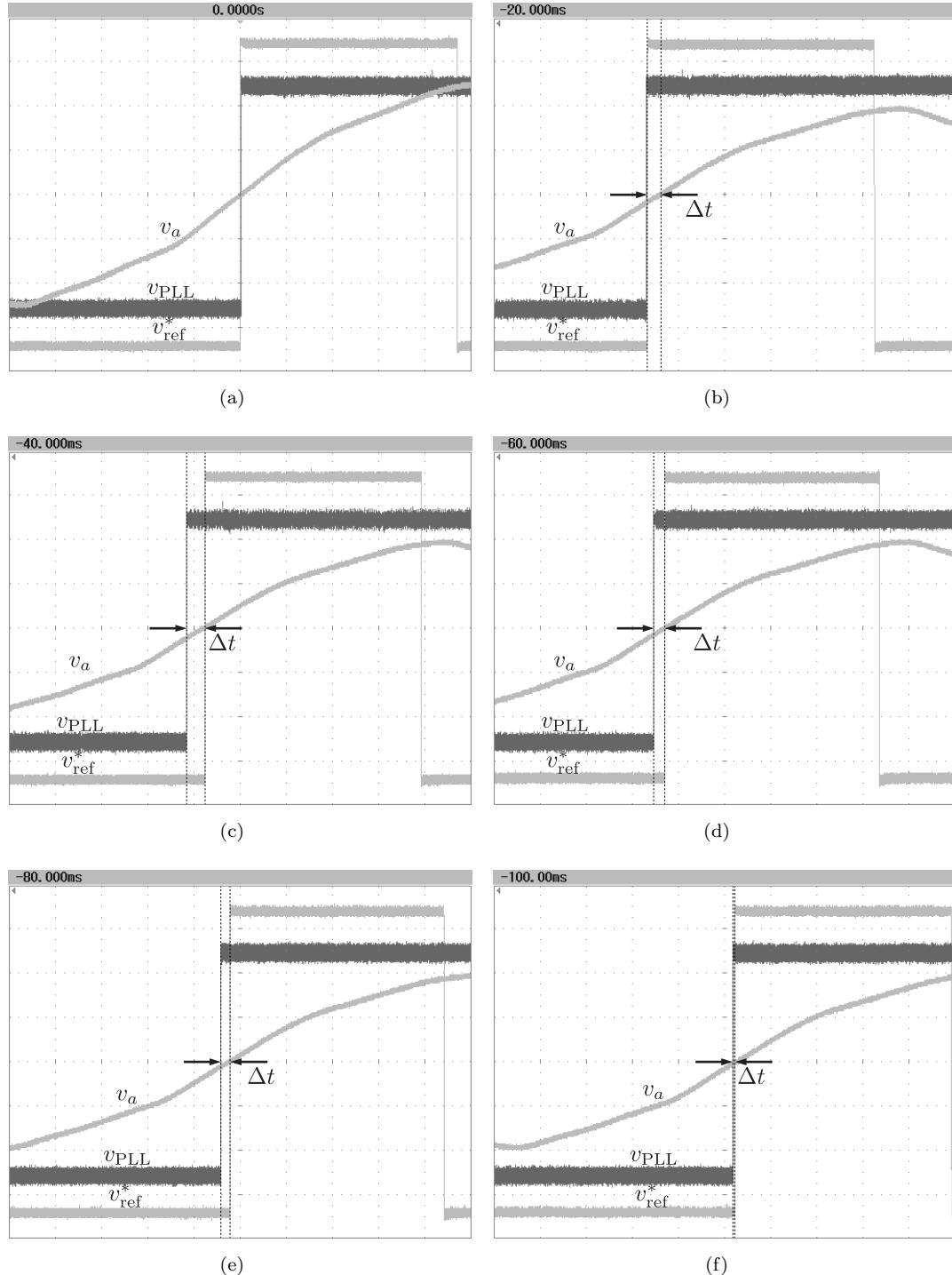


Figura 7.10: Respuesta del VSPF-PLL y del PLL clásico ante una perturbación en la terna. Se presenta una de las tensiones en el secundario del transformador (v_a), la señal realimentada por el PLL clásico (v_{PLL}) y la señal cuadrada sintetizada por el VSPF-PLL (v_{ref}^*). (a) Señales previo al cierre de la llave y (b-f) señales en el entorno del primer, segundo, tercero, cuarto y quinto cruce por cero con pendiente positiva de v_a luego de la perturbación, respectivamente.

Tabla 7.6: Resumen de los ensayos presentados en la [Figura 7.10](#)

Nro. del cruce por cero de v_a	VSPF-PLL		PLL clásico	
	Δt	φ_{error}	Δt	φ_{error}
0	0ms	0°	0ms	0°
1	0,3ms	5,4°	0,32ms	5,76°
2	0ms	0°	0,4ms	7,2°
3	0ms	0°	0,24ms	4,32°
4	0ms	0°	0,2ms	3,6°
5	0ms	0°	0,04ms	0,72°

a medida que la perturbación se aleja en tiempo, demostrándose la baja velocidad de respuesta de este sistema en comparación con el método de sincronismo propuesto en esta tesis. En la [Tabla 7.6](#) se muestra un resumen de los valores obtenidos en los ensayo de la [Figura 7.10](#) donde se presenta para cada método de sincronismo el número del cruce por cero analizado en relación a la perturbación, la diferencia de tiempo medida entre el flanco positivo de la señal cuadrada y el cruce por cero de la tensión analizada (Δt) y el error de fase asumiendo una terna de 50Hz (φ_{error}).

7.2.3. Conclusiones del VSPF-PLL operando en una red eléctrica débil

En esta sección se ha analizado la capacidad del VSPF-PLL de estimar la fase instantánea de la terna cuando se encuentra sometida a grandes niveles de distorsión. Para ello se ha utilizado un banco experimental que simula el funcionamiento de un rectificador controlado por línea conectado a una red eléctrica débil, donde la corriente que circula por el dispositivo genera notches en las tensiones en el punto de conexión. La capacidad del sistema de sincronismo propuesto en esta tesis de rechazar las perturbaciones y de sintetizar una tensión sinusoidal sin distorsión ha sido comprobada mediante los ensayos efectuados con el rectificador apagado y encendido.

Luego, se ha comparado la respuesta ante una perturbación del VSPF-PLL y de un PLL clásico implementado en el rectificador controlado. Se ha demostrado la superioridad del primero en relación al segundo en relación a velocidad de respuesta. Mientras que el sistema propuesto por esta tesis ha logrado sincronismo con la entrada en aproximadamente un ciclo de red eléctrica, el PLL clásico requirió de varios ciclos para tal fin. Es importante destacar también que el VSPF-PLL permite una implementación automática a diferencia del PLL utilizado por el

rectificador controlado, el cual, requiere ser ajustado manualmente para compensar el retardo adicionado por la etapa de adecuación de señales.

Capítulo 8

Conclusiones

En este trabajo de tesis se ha estudiado la problemática del sincronismo con la red eléctrica y se han propuesto nuevos sistemas basados en técnicas de período de muestreo variable. A continuación se presenta un resumen del estudio realizado, resaltando todos los aportes en la temática de sincronismo, se presentan las líneas de trabajo futuras y se enumera las publicaciones realizadas.

8.1. Resumen del estudio y los aportes efectuados en la temática de sincronismo

En esta tesis se ha presentado el problema de la sincronización de dispositivos electrónicos con la red eléctrica y la necesidad de contar con sistemas de sincronismo acordes a la aplicación, que permitan estimar la frecuencia y fase instantánea de la línea aún en condiciones desfavorables de funcionamiento.

Se ha presentado el principio de funcionamiento del método de sincronismo clásico, el PLL basado en la detección de los cruces por cero de la señal de entrada. Mediante la comprensión de las desventajas de este sistema, se ha justificado la necesidad de diseñar nuevos sistemas de sincronismo que puedan actualizar la información de fase durante todo el período de las tensiones de línea.

Luego, a partir del concepto de calidad de energía, se describió las causas y consecuencias de las perturbaciones de la red eléctrica. Su conocimiento ha permitido elaborar ensayos para evaluar los diferentes métodos de sincronismo analizados en esta tesis. Además, se ha detallado

la representación matemática de una señal trifásica ideal y su versión balanceada y afectada por componentes armónicos y, mediante el concepto de componentes simétricas, se ha expandido la descripción para ternas asimétricas. De esta forma se ha presentado un modelo matemático acorde a las señales reales provenientes de la línea.

Debido a que las tensiones y corrientes de la red eléctrica presentan un cierto grado de desbalance, se ha concluido que las técnicas de procesamiento de señales que emplean las tres fases de la línea, son las más adecuadas para el diseño de sistemas de sincronismo. Por otro lado, debido a que el análisis de señales trifásicas incrementa considerablemente la complejidad en el procesamiento de las mismas, se ha descrito las técnicas de representación de señales trifásicas en el marco de referencia estacionario y sincrónico. Estas técnicas son ampliamente utilizadas en los métodos de sincronismo trifásicos y su entendimiento ayuda al análisis de las características de los mismos. Por último, se analizaron las limitaciones de estas técnicas cuando la terna no corresponde a su forma ideal.

Se describió los sistemas de sincronismo trifásicos más destacados en la literatura. Las propuestas analizadas son el filtrado en marco de referencia estacionario y sincrónico, el estimador recursivo de mínimos cuadrados, el SRF-PLL, el ESRF-PLL, el DSOGI-PLL, el DDSRF-PLL y el 3EPLL. Efectuar una comparativa entre los diferentes métodos a partir del análisis presentado en los respectivos trabajos es una compleja tarea ya que no existe un criterio unificado de los ensayos a efectuar en un sistema de sincronismo. Como resultado cada autor evalúa al método propuesto con los ensayos que considera pertinentes. Por lo tanto, en esta tesis:

- **Se ha evaluado el comportamiento de los sistemas de sincronismo trifásicos más destacados en la literatura ante las mismas condiciones de funcionamiento.**

Se ha presentado el principio de funcionamiento de cada propuesta y se ha analizado las ventajas y desventajas de cada uno. Los aspectos distintivos analizados fueron la complejidad en su estructura, el rechazo de perturbaciones (escalón de frecuencia, escalón de amplitud, desbalances y componentes armónicos) y la adaptabilidad en frecuencia. Para ello, se ha evaluado el comportamiento de cada método ante las mismas perturbaciones, lo cual, permite identificar las características distintivas y su capacidad de mantener la sincronización aún ante condiciones de funcionamiento adversas.

A partir de este análisis, se ha verificado que la mayoría de las propuestas se basan en principios de funcionamiento similares, particularmente variaciones del SRF-PLL, y por ello se

observan limitaciones similares en lo relacionado a sensibilidad ante perturbaciones. Mediante el análisis efectuado se ha concluido que ninguna de las propuestas evaluadas se destaca en todos los aspectos analizados. Si bien hay algunos métodos que cumplen parcialmente con ellos, ninguno ha demostrado ser capaz de rechazar en forma absoluta el efecto de la contaminación armónica, la cual puede ser elevada especialmente en redes eléctricas débiles.

Basándose en las limitaciones de los sistemas de sincronismo actuales, se ha verificado la necesidad de desarrollar nuevos y más confiables sistemas capaces de funcionar adecuadamente en condiciones adversas. Otra característica deseable es la baja complejidad en su estructura debido a que estos algoritmos forman parte de sistemas más complejos que deben ser implementados eficientemente en dispositivos digitales de recursos limitados como los DSPs y las FPGAs.

Una alternativa para superar las limitaciones vistas en los PLLs analizados, consiste en el diseño de nuevos PLLs basados en principios de funcionamiento diferentes, como por ejemplo los sistemas de período de muestreo variable. Como resultado, se ha presentado el sistema de sincronismo de período de muestreo variable denominado VSP-PLL (Variable Sampling Period PLL). Este método se basa en un enfoque diferente al de la mayoría de los métodos de sincronismo, ya que tiene como característica distintiva el ajuste de la frecuencia de muestreo a un múltiplo de la frecuencia de línea. Se ha descrito el principio de funcionamiento del sistema, el modelo matemático y el controlador utilizado para estabilizar al lazo de fase. Se ha analizado el comportamiento del sistema ante las condiciones de funcionamiento utilizadas en la evaluación del resto de los sistemas de sincronismo, concluyéndose que este sistema no provee de una mejora en relación al rechazo de los desbalances y la contaminación armónica. Luego, como parte de los trabajos realizados en esta tesis:

- **Se ha validado el desarrollo teórico del VSP-PLL mediante una implementación del sistema en DSP.** Debido a que en el trabajo donde se propone el VSP-PLL no se presentan resultados experimentales del sistema, se ha evaluado el rendimiento de una implementación del mismo en un DSP. Se ha verificado la similitud con lo obtenido a nivel de simulación, incluyendo las sensibilidad ante desbalances y componentes armónicos de la red eléctrica. El tiempo de ejecución del algoritmo sin considerar la etapa de adquisición ha sido de $1,9\mu s$, un valor adecuado para su implementación como parte de un sistema más complejo.

- **Se ha efectuado un estudio de las desventajas del detector de fase basado en la transformada en vectores espaciales (SVT) y la función arcotangente.** El análisis del detector de fase utilizado por el VSP-PLL ha demostrado las desventajas de emplear la SVT y la función arcotangente para estimar la fase instantánea de la terna. Bajo ciertas condiciones de funcionamiento este detector de fase adiciona una componente de continua que no puede ser rechazada por el lazo de control del sistema de sincronismo, con lo cual, el desempeño del mismo se ve degradado. Debido a esta limitación, se ha concluido que no es aconsejable el uso de la función arcotangente para el diseño de sistemas de sincronismo.

A pesar de las desventajas del VSP-PLL, el ajuste dinámico de la frecuencia de muestreo a un múltiplo de la frecuencia de la señal de entrada, permite implementar técnicas alternativas de filtrado de bajo costo computacional a fin de mitigar el efecto de las perturbaciones de la red eléctrica al estimar la fase de la línea. Una de estas técnicas es la transformada de Goertzel de ventana deslizante (SGT). Esta transformación se implementa como un filtro recursivo IIR de segundo orden, que puede analizarse como una transformación frecuencial o como un filtro digital. Esta característica hace de la SGT una alternativa conveniente para el procesamiento de las tensiones y corrientes del sistema eléctrico y el diseño de filtros digitales. Como resultado del estudio efectuado sobre los sistemas de sincronismo, en esta tesis:

- **Se ha propuesto un nuevo método de sincronismo trifásico denominado VSPF-PLL (Variable Sampling Period Filter PLL).** Este nuevo método de sincronismo se basa en la técnica de período de muestreo variable y permite recuperar la frecuencia y fase instantánea de la secuencia positiva de una señal trifásica aún ante condiciones de desbalance y componentes armónicos. El rechazo a estas perturbaciones se logra mediante el ajuste de la frecuencia de muestreo a un múltiplo de la frecuencia de linea y el uso de un filtro digital basado en la transformada de Goertzel de ventana deslizante. Debido a la característica del lazo de fase utilizado, el filtro ubica dinámicamente ceros de transferencia en las frecuencias donde se generan los efectos adversos de las perturbaciones, rechazando las mismas completamente y con un tiempo de establecimiento de aproximadamente un ciclo de red. Además, el uso de un detector de error de fase basado en la representación de señales trifásicas en el marco de referencia sincrónico permite evitar la generación de términos continuos de fase en la señal de error del sistema.

- **Se ha presentado el modelo matemático del VSPF-PLL y se diseñó un controlador que maximiza el ancho de banda del PLL.** Mediante el análisis del modelo matemático del VSPF-PLL, la transferencia del filtro digital y el uso de la transformada dq , se ha presentado un modelo matemático del PLL propuesto. Debido a que la transferencia del filtro digital adiciona complejidad al lazo de control, no es fácil obtener ecuaciones de diseño sencillas para la configuración de este nuevo sistema de sincronismo. Por lo tanto, la técnica de diseño adoptada para este sistema consiste en ajustar la ganancia y las singularidades del controlador a partir de evaluar el diagrama de Bode de la función transferencia a lazo abierto del sistema. Esto se logra mediante la representación del sistema digital a través de invarianza al impulso. En este diseño se ha estabilizado el lazo de fase del sistema de sincronismo logrando el mayor ancho de banda posible. Posteriormente se ha validado este diseño mediante la comparación de la respuesta del sistema real y el modelo matemático ante un escalón de frecuencia.
- **Se ha validado el desarrollo teórico del VSPF-PLL mediante simulaciones y una implementación del sistema en DSP.** Se ha demostrado la capacidad del sistema de sincronizarse con la terna ante condiciones de funcionamiento adversas mediante simulaciones y resultados experimentales obtenidos a partir de una implementación del algoritmo en DSP. El tiempo de ejecución del algoritmo sin considerar la etapa de adquisición ha sido de $2,9\mu s$, el cual resulta adecuado para la implementación del método como parte de un sistema mayor.
- **Se ha realizado una comparativa a nivel de simulación del VSPF-PLL y de algunos de los sistemas de sincronismo más destacados en la literatura demostrándose la superioridad del sistema propuesto.** Se ha comparado la respuesta del VSPF-PLL con la de otros métodos de sincronismo propuestos en la literatura ante un escalón de frecuencia, un desbalance de la terna y la adición de un 5to armónico. Se ha verificado la capacidad de todos los métodos, con excepción del ESRF-PLL, de adaptarse en frecuencia y lograr error de fase cero en régimen permanente luego de esta perturbación. Ante el desbalance de la terna, el VSPF-PLL y sólo algunos de los sistemas analizados logran error de fase cero en régimen permanente. En este ensayo, el VSPF-PLL ha exhibido el menor error de fase máximo durante el transitorio, igual a $1,1113^\circ$. Finalmente, el VSPF-PLL logra un completo rechazo del 5to armónico en régimen permanente, lo cual

no pudo observarse en ninguno de los otros sistemas analizados, con el menor error de fase máximo durante el transitorio ante esta perturbación, igual a $0,4301^\circ$. Además, debido a que este nuevo sistema de sincronismo posee una estructura similar a la del sistema base de las otras propuestas, el SRF-PLL convencional, y adiciona un filtro que requiere solamente el cálculo de una suma y una resta, la simplicidad de su estructura se destaca frente al resto de los sistemas, los cuales solamente proveen soluciones a los problemas de asimetría de la terna pero a costa de un incremento significativo en la complejidad de la estructura.

Como se ha descrito en la introducción de esta tesis, el enfoque trifásico es el más completo para el análisis de la red eléctrica. Sin embargo, como existen aplicaciones puramente monofásicas en las cuales no se cuenta con las tres fases del sistema eléctrico, no se descarta completamente el enfoque monofásico ya que el sincronismo sigue siendo un aspecto importante a analizar en este tipo de aplicaciones. Por lo tanto, en la presente tesis:

- **Se ha propuesto un nuevo sistema de sincronismo monofásico basado en el VSPF-PLL denominado spVSPF-PLL (Single Phase Variable Sampling Period Filter PLL).** Esta nueva propuesta para sistemas monofásicos mantiene las características distintivas de la técnica de período de muestreo variable y el filtro de ventana deslizante, pero sustituyendo el detector de error de fase de manera tal que la técnica originalmente propuesta para sistemas trifásicos pueda ser adaptada a sistemas monofásicos. El detector de error de fase utilizado se ha implementado mediante una multiplicación por lo que se redujeron los cálculos en relación con los necesarios de su par trifásico. De esta forma, se ha obtenido una adecuada representación de la diferencia entre la fase estimada por el algoritmo y la fase de la red eléctrica, al mismo tiempo que se mantiene la simplicidad en la implementación.
- **Se ha descrito el modelo matemático del spVSPF-PLL y se ha diseñado un controlador que maximiza el ancho de banda del PLL.** Se ha presentado el modelo matemático del sistema y se ha diseñado un controlador mediante la técnica de invarianza al impulso. Posteriormente se ha validado este diseño mediante la comparación de la respuesta del sistema implementado y el modelo matemático ante un escalón de frecuencia.
- **Se ha validado el desarrollo teórico del spVSPF-PLL mediante simulaciones y una implementación del sistema en DSP.** Se ha evaluado el desempeño de este nuevo

sistema de sincronismo ante perturbaciones de la red eléctrica mediante simulaciones y resultados experimentales a partir de una implementación en DSP. Para este último, el tiempo de ejecución del algoritmo sin considerar la etapa de adquisición a sido de $1,4\mu s$, el cual resulta adecuado para la implementación del método como parte de un sistema mayor.

- **Se describió algunos de los sistemas de sincronismo monofásicos más destacados en la literatura y se demostró la superioridad del sistema propuesto.** Se ha descrito algunos de los métodos de sincronismo monofásicos más destacados en la literatura y se ha analizado la respuesta de cada uno y la del spVSPF-PLL ante diferentes perturbaciones de la red eléctrica. Los sistemas analizados son el TDB-PLL, el HTB-PLL, el parkPLL, el EPLL, el SOGI-PLL, el QPLL, el SC-PLL y el pPLL. Se ha evaluado el desempeño de cada sistema de sincronismo ante un escalón de fase y amplitud, un escalón de frecuencia y la adición de un 3er armónico. Ante la primer perturbación, todos los métodos lograron sincronismo con la señal de entrada y error de fase cero en régimen permanente, a excepción del pPLL, el cual mostró un ripple en el error de fase de amplitud igual a $0,2722^\circ$ como resultado del detector de error de fase basado en una multiplicación. Ante el escalón de frecuencia, el spVSPF-PLL logró sincronismo en un tiempo de establecimiento aproximado a un ciclo de red y un error de fase máximo durante el transitorio igual a $1,3349^\circ$, menor al exhibido por el resto de los sistemas. Luego, ante la adición del componente armónico, el sistema propuesto mostró un completo rechazo a esta perturbación, lo cual no pudo observarse en ninguno de los otros métodos analizados. Si bien el error de fase máximo durante el transitorio generado por esta perturbación no se destaca en relación a las otras propuestas, este valor no es elevado y el mismo se extingue en aproximadamente un ciclo de red. Finalmente, en cuanto a los tiempos de ejecución de los métodos analizados en esta tesis, se verifica la superioridad del spVSPF-PLL por el reducido tiempo de ejecución del algoritmo en un DSP, resultado de su simple estructura.

Finalmente, como aplicaciones de las técnicas de período de muestreo variable estudiadas en la presente tesis:

- **Se ha propuesto un medidor de armónicos de la red eléctrica basado en la SGT y la técnica de período de muestreo variable.** Se ha empleado la SGT para estimar las componentes espectrales de interés y se ha adicionado un lazo de control que

ajusta el período de muestreo a fin de adecuar la secuencia de muestras a un ciclo de la red eléctrica. El sistema ha sido capaz de estimar las componentes de interés aún trabajando en redes eléctricas de frecuencia variable (menor a 0,5 % del rango máximo), con un bajo costo computacional (20 % de los recursos de la FPGA), un elevado rechazo a armónicos indeseables y una rápida velocidad de respuesta ante cambios en la forma de onda de la señal analizada (aproximadamente un ciclo de red). La capacidad de la implementación de optimizar el tiempo de ejecución o el área de la FPGA hacen de este sistema una herramienta flexible capaz de adecuarse a la aplicación y a la disponibilidad de recursos cuando se requiere implementar otros algoritmos junto con el medidor propuesto.

- **Se ha analizado el desempeño del VSPF-PLL conectado a una red eléctrica débil.** Se ha evaluado la capacidad del VSPF-PLL de estimar la fase instantánea de la terna cuando se encuentra sometida a grandes niveles de distorsión como el que genera un rectificador controlado por línea conectado a una red eléctrica débil. La capacidad del sistema de sincronismo propuesto en esta tesis de rechazar las perturbaciones y de sintetizar una tensión sinusoidal sin distorsión ha sido comprobada mediante los ensayos efectuados con el rectificador controlado en operación. Además, se ha demostrado una mayor velocidad de respuesta en relación al PLL clásico ante una perturbación real. En este ensayo, se verifica la sincronización del VSPF-PLL en el segundo cruce por cero de la tensión luego de la perturbación, mientras que el PLL clásico no logra un error de fase despreciable hasta el quinto cruce por cero de la tensión luego de la perturbación.

8.2. Trabajos Futuros

Los sistemas de sincronismo propuestos en esta tesis permiten obtener una frecuencia de muestreo múltiplo de la frecuencia fundamental de la señal analizada, lo que hace posible aplicar algunas técnicas de procesamiento particulares, como por ejemplo para realizar el cálculo del espectro mediante alguna transformación frecuencial sin necesidad de cálculos extras.

Basándose en esta característica, se ha propuesto un medidor de armónicos de elevada eficiencia computacional basado en la SGT. Este sistema ha demostrado ser adecuado para su implementación en FPGA permitiendo estimar la amplitud de los armónicos de la red eléctrica aún en redes de frecuencia variable. Este método es la primera etapa en el diseño de un analizador de red eléctrica, el cual permita medir diferentes parámetros de la señal como por ejemplo

el nivel de armónicos, desbalances, potencia activa y reactiva, etc. Para su implementación es necesario el diseño adecuado de las rutinas de cálculos, los índices de medición y los detectores de eventos, herramientas indispensables para un dispositivo de estas características.

Otra aplicación adecuada para estos sistemas de sincronismo es el procesamiento de señales trifásicas para el control de dispositivos electrónicos de potencia. Estos métodos propuestos y las técnicas de procesamiento desarrolladas para el medidor de armónicos, permiten desarrollar estrategias que mejoran el rendimiento de los dispositivos electrónicos de potencia operando en redes con elevada distorsión. Como ejemplo se puede nombrar a las estrategias de control de sistemas de inyección de corriente operando ante fallas en el sistema trifásico, donde resulta adecuado alimentar el control solo con la secuencia positiva de la componente fundamental de la corriente y tensión de la red. Por lo tanto, estas técnicas permiten filtrar digitalmente las señales de interés sin adición de errores o retardos, eliminando las perturbaciones y sus efectos sobre los lazos de control. Estas aplicaciones no han sido incluidas en la presente tesis y se proponen como trabajos futuros.

Otro aspecto a ser evaluado en próximos trabajos es el diseño del controlador propuesto para el VSPF-PLL y el spVSPF-PLL. La técnica de diseño empleada en esta tesis consiste en ajustar la ganancia y las singularidades del controlador a partir de evaluar el diagrama de Bode de la función transferencia a lazo abierto del sistema. Esto se logra mediante la representación del sistema digital a través de invarianza al impulso. En este diseño se ha estabilizado el lazo de fase de los sistemas de sincronismo lográndose el mayor ancho de banda posible. Sin embargo, esta técnica no provee de ecuaciones de diseño sencillas como las obtenidas para el VSP-PLL, por lo que, se evaluarán posibles alternativas para este diseño como por ejemplo la realimentación de estados.

Por otro lado, a pesar de las ventajas de los métodos propuestos en esta tesis, existen aplicaciones donde se requiere de sistemas de sincronismo de período de muestreo fijo. El uso de sistemas de período de muestreo variable obliga al rediseño de algunos algoritmos complejos de control de dispositivos electrónicos de potencia, por lo que una técnica de muestreo variable dificulta la implementación y podría conllevar a solapamiento no deseado de rutinas. Como solución se podría emplear diferentes dispositivos para la adquisición de la terna y el control del sistema, lo cual considerando el bajo costo computacional de los métodos propuestos en esta tesis y la necesidad de medir la distorsión de terna como se especifica en la norma IEEE 1547-2003 [4], resulta una alternativa adecuada si se evalúa el efecto de los posibles retardos

entre la adquisición y el procesamiento de los datos en el dispositivo. Sin embargo, basados en que la frecuencia de la red eléctrica no sufre de grandes desviaciones de su valor nominal, otra opción para un nuevo sistema de sincronismo de período de muestreo fijo resulta de utilizar el SRF-PLL, uno de los sistemas de sincronismo trifásicos más utilizados en la práctica por su simple estructura y diseño, y un filtro de ventana deslizante dinámica como el empleado en el VSPF-PLL. El diseño de este sistema así como el control que permite variar la cantidad de muestras de la ventana deslizante, para emular el efecto de variar el período de muestreo, se propone como trabajo futuro.

Finalmente, el enfoque adoptado en esta tesis para el problema de sincronismo permite la implementación de las técnicas de estimación de la frecuencia y la fase instantáneas de la red eléctrica, no solo en diferentes plataformas, sino también con diferentes técnicas de control. Por ejemplo, en redes neuronales se ha hecho un primer aporte en esta tesis con resultados satisfactorios. Estos resultados habilitan a seguir con el estudio y desarrollo de estas propuestas basadas en técnicas alternativas provenientes de la inteligencia computacional.

8.3. Publicaciones

8.3.1. Revistas internacionales

- I. Carugati, P. Donato, S. Maestri, D. Carrica and M. Benedetti, "Frequency adaptive PLL for polluted single-phase grids," *Power Electronics, IEEE Transactions on*, vol. 27, no. 5, pp. 2396-2404, May. 2012.
- I. Carugati, S. Maestri, P. Donato, D. Carrica and M. Benedetti, "Variable Sampling Period Filter PLL for distorted three-phase systems," *Power Electronics, IEEE Transactions on*, vol. 27, no. 1, pp. 321-330, Jan. 2012.
- I. Carugati, S. Maestri, P. Donato, D. Carrica and M. Benedetti, "Synchronization method with variable sampling frequency using Neuronal Networks," *Latin America Transactions, IEEE (Revista IEEE America Latina)*, vol. 9, no. 5, pp. 715-720, Sept. 2011.
- S. Maestri, P. Donato, R. Petrocelli, I. Carugati, D. Carrica and M. Benedetti, "Synchronization Method for Three Phase Applications," *International Review of Electrical Engineering (IREE)*, vol. 5, no. 4, Part B, pp. 1728-1735. Praise Worthy Prize (Italia), ISSN: 1827-6660. July - August 2010.

8.3.2. Congresos internacionales

- I. Carugati, C. Orallo, P. Donato and S. Maestri, “FPGA design of a variable sampling period PLL with a digital notch filter for distorted grids,” *Proceedings of the Argentine School of Micro-Nanoelectronics, Technology and Applications 2011, EAMTA 2011*, pp. 1-7, Aug. 2011.

8.3.3. Congresos nacionales

- C. Orallo, I. Carugati, P. Donato, S. Maestri y M. Benedetti, “Estimador de armónicos basado en la Transformada Sliding Goertzel con muestreo variable,” *XIV Reunión de Trabajo en Procesamiento de la Información y Control (XIV RPIC 2011)*. Del 16 al 18 de Noviembre de 2011, Oro Verde, Entre Ríos, Argentina.
- I. Carugati, S. Maestri, P. Donato y D. Carrica, “PLL monofásico de frecuencia de muestreo variable,” *XIV Reunión de Trabajo en Procesamiento de la Información y Control (XIV RPIC 2011)*. Del 16 al 18 de Noviembre de 2011, Oro Verde, Entre Ríos, Argentina.
- I. Carugati, P. Donato, S. Maestri, M. Benedetti y D. Carrica, “PLL trifásico para redes fuertemente distorsionadas,” *AADECA 2010 - XXII Congreso Argentino de Control Automático*. Del 31 de Agosto al 2 de Septiembre de 2010, Buenos Aires, Argentina.
- I. Carugati, P. Donato, S. Maestri, R. Petrocelli y R. Hidalgo, “Sistema de sincronismo para redes trifásicas desbalanceadas basado en Transformada Sliding Goertzel,” *XIII Reunión de Trabajo en Procesamiento de la Información y Control (XIII RPIC 2009)*, Del 16 al 18 de Setiembre de 2009, Rosario, Argentina.
- I. Carugati, P. Donato, S. Maestri y R. Petrocelli, “Comparativa entre Métodos de Sincronismo para Sistemas Trifásicos,” *XIII Reunión de Trabajo en Procesamiento de la Información y Control (XIII RPIC 2009)*. Del 16 al 18 de Setiembre de 2009, Rosario, Argentina.
- I. Carugati, S. Maestri, P. Donato y M. Funes, “Sistema de Sincronismo con la Red Eléctrica Utilizando Redes Neuronales,” *10 Argentine Symposium on Computing Technology (AST’10), 38 Jornadas Argentinas de Informática (38 JAIIO)*. Del 24 al 28 de Agosto de 2009, Mar del Plata, Argentina.

- I. Carugati, P. Donato, S. Maestri y R. Petrocelli, “Implementación de Método de Sincronismo para Sistemas Trifásicos,” *AADECA 2008 - XXI Congreso Argentino de Control Automático*. Del 1 al 3 de Septiembre de 2008, Buenos Aires, Argentina.

8.3.4. Congresos nacionales (España)

- J. Castelló Moreno, J. M. Espí Huerta, R. García Gil y I. Carugati, “Control de Corriente Predictivo Robusto en el Marco de Referencia Síncrono para Inversores Trifásicos de Inyección a Red,” *SAAEI 2009 (Seminario Anual de Automática, Electrónica Industrial e Instrumentación 2009)*. Del 1 al 3 de Julio de 2009, Madrid, España.
- J. Castelló Moreno, J. M. Espí Huerta, R. García Gil y I. Carugati, “Control de Corriente Predictivo Robusto para Inversores Trifásicos de Inyección a Red,” *SAAEI 2009 (Seminario Anual de Automática, Electrónica Industrial e Instrumentación 2009)*. Del 1 al 3 de Julio de 2009, Madrid, España.

Bibliografía

- [1] PSL (Power Standards Lab). *Analizadores de red eléctrica PQUBE*. <http://map.PQube.com>.
- [2] F. Blaabjerg, R. Teodorescu, M. Liserre, and A.V. Timbus. Overview of control and grid synchronization for distributed power generation systems. *Industrial Electronics, IEEE Transactions on*, 53(5):1398 –1409, oct. 2006.
- [3] A. Timbus, M. Liserre, R. Teodorescu, P. Rodriguez, and F. Blaabjerg. Evaluation of current controllers for distributed power generation systems. *Power Electronics, IEEE Transactions on*, 24(3):654 –664, march 2009.
- [4] Standard IEEE 1547-2003. IEEE standard for interconnecting distributed resources with electric power systems.
- [5] J.M. Guerrero, L.G. De Vicuña, and J. Uceda. Uninterruptible power supply systems provide protection. *Industrial Electronics Magazine, IEEE*, 1(1):28 –38, spring 2007.
- [6] J.L. Agüero, M.C. Beroqui, O. Barbieri, M.B. Cosatti, and L. Macchione. Evaluación de la expansión de ALUAR con el SIP aislado e interconectado al SADI. In *XI ERIAC, Encuentro Regional Iberoamericano del Cigré*, 2005.
- [7] J.L. Agüero, M. Beroqui, and S. Achilles. Aluminum plant. load modeling for stability studies. In *Power Engineering Society Summer Meeting, 1999. IEEE*, volume 2, pages 1330 –1335 vol.2, 1999.
- [8] B.M. Yang, C.K. Kim, G.J. Jung, and Y.H. Moon. Verification of a hybrid real time HVDC simulator in cheju-haenam HVDC system. *Journal of Electrical Engineering and Technology*, 1(1):23 – 27, 2006.
- [9] S. Maestri, M. Benedetti, R. Petrocelli, and G. Uicich. Phase-controlled line-commutated converter control in discontinuous conduction mode. In *Power Electronics and Applications, 2007 European Conference on*, pages 1 –9, sept. 2007.
- [10] Se-Jong Jeong and Seung-Ho Song. Improvement of predictive current control performance using online parameter estimation in phase controlled rectifier. *Power Electronics, IEEE Transactions on*, 22(5):1820 –1825, sept. 2007.
- [11] G. Uicich, M. Benedetti, and J.F. Rovira. A novel synchronism method for thyristor power converters using the space vector approach. *Nuclear Science, IEEE Transactions on*, 53(3):1522 – 1529, june 2006.
- [12] A. Oppenheim and R. Schafer. *Discrete-Time Signal Processing*. Prentice-Hall, 1989.
- [13] Standard IEC 61000-4-7 2002. Testing and measurement techniques section 7: General guide on harmonics and interharmonics measurement and instrumentation for power supply systems and equipment connected thereto.

- [14] Standard IEC 61000-4-30 2003. Testing and measurement techniques section 30: Power quality measurement methods.
- [15] M. Aiello, A. Cataliotti, V. Cosentino, and S. Nuccio. A self-synchronizing instrument for harmonic source detection in power systems. *Instrumentation and Measurement, IEEE Transactions on*, 54(1):15 – 23, feb. 2005.
- [16] A. Cataliotti, V. Cosentino, and S. Nuccio. A new phase locked loop strategy for power quality instruments synchronisation. 2:941 –946, may 2005.
- [17] S.A. Gonzalez, R. Garcia-Retegui, and M. Benedetti. Harmonic computation technique suitable for active power filters. *Industrial Electronics, IEEE Transactions on*, 54(5):2791 –2796, oct. 2007.
- [18] F. M. Gardner. Phase lock techniques. *New York: Wiley*, 1979.
- [19] Guan-Chyun Hsieh and J.C. Hung. Phase-locked loop techniques. a survey. *Industrial Electronics, IEEE Transactions on*, 43(6):609 –615, dec. 1996.
- [20] M. Bollen and I. Gu. *Signal Processing of Power Quality Disturbances*. Wiley-IEEE Press, 2006.
- [21] C.L. Masters. Voltage rise: the big issue when connecting embedded generation to long 11 kV overhead lines. *Power Engineering Journal*, 16(1):5 –12, feb. 2002.
- [22] P.G. Kini and R.C. Bansal. Effect of voltage and load variations on efficiencies of a motor-pump system. *Energy Conversion, IEEE Transactions on*, 25(2):287 –292, june 2010.
- [23] L. Peretto, C.E. Riva, L. Rovati, G. Salvatori, and R. Tinarelli. Analysis of the effects of flicker on the blood-flow variation in the human eye. *Instrumentation and Measurement, IEEE Transactions on*, 58(9):2916 –2922, sept. 2009.
- [24] P. Caramia, G. Carpinelli, and P. Verde. *Power Quality Indices in Liberalized Markets*. John Wiley and Sons, Ltd, 2009.
- [25] C.A.G. Medeiros and J.C. de Oliveira. Effects of voltage fluctuation associated to flicker limits on equipments performance. In *Harmonics and Quality of Power, 2002. 10th International Conference on*, volume 1, pages 347 – 352 vol.1, oct. 2002.
- [26] A. von Jouanne and B. Banerjee. Assessment of voltage unbalance. *Power Delivery, IEEE Transactions on*, 16(4):782 –790, oct 2001.
- [27] EN 50160-2010. Voltage characteristics of electricity supplied by public electricity networks.
- [28] D Paice. *Power Electronics Converter Harmonics: Multipulse Methods for Clean Power*. Wiley-IEEE Press, 1996.
- [29] J. Arrillaga and N.R. Watson. *Power System Harmonics*. Jhon Wiley and Sons, Ltd, 2003.
- [30] M. Bollen. *Understanding Power Quality Problems: Voltage Sags and Interruptions*. Wiley-IEEE Press, 2000.
- [31] Gabriel Olguin. *Voltage Dip (Sag) Estimation in Power Systems based on Stochastic Assessment and Optimal Monitoring*. Thesis for the degree of Doctor of Philosophy, Göteborg, Sweden, 2005, <http://webfiles.portal.chalmers.se/et/PhD/OlguinGabrielPhD.pdf>.
- [32] A. Greenwood. *Electrical Transients in Power Systems*, 2nd ed. Wiley, New York, 1991.
- [33] L. van der Sluis. *Transients in Power Systems*. Wiley, Chichester, 2001.

- [34] Standard IEC 61000-3-2 2008. Testing and measurement techniques section 3: Limits for harmonic current emissions (equipment input current ≤ 16 A per phase).
- [35] E. Jacobsen and R. Lyons. The sliding dft. *Signal Processing Magazine, IEEE*, 20(2):74 – 80, mar 2003.
- [36] R. Petrocelli, S. Maestri, M. Benedetti, and R.G. Retegui. Digital synchronization method for three phase systems. In *Intelligent Signal Processing, 2007. WISP 2007. IEEE International Symposium on*, pages 1 –4, oct. 2007.
- [37] C. L. Fortescue. Method of symmetrical co-ordinates applied to the solution of polyphase networks. *American Institute of Electrical Engineers, Transactions of the*, XXXVII(2):1027 –1140, july 1918.
- [38] G.R. Bossio, C.H. De Angelo, P.D. Donolo, A.M. Castellino, and G.O. Garcia. Effects of voltage unbalance on IM power, torque and vibrations. In *Diagnostics for Electric Machines, Power Electronics and Drives, 2009. SDEMPED 2009. IEEE International Symposium on*, pages 1–6, Aug. 31 - Sept. 6 2009.
- [39] Yaw-Juen Wang. Analysis of effects of three-phase voltage unbalance on induction motors with emphasis on the angle of the complex voltage unbalance factor. *Energy Conversion, IEEE Transactions on*, 16(3):270–275, sep 2001.
- [40] Ching-Yin Lee. Effects of unbalanced voltage on the operation performance of a three-phase induction motor. *Energy Conversion, IEEE Transactions on*, 14(2):202–208, jun 1999.
- [41] J. Svensson. Synchronisation methods for grid-connected voltage source converters. *Generation, Transmission and Distribution, IEE Proceedings-*, 148(3):229 –235, may 2001.
- [42] A. Timbus, R. Teodorescu, F. Blaabjerg, and M. Liserre. Synchronization methods for three phase distributed power generation systems. an overview and evaluation. In *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, pages 2474 –2481, june 2005.
- [43] D. Yazdani, A. Bakhshai, and P.K. Jain. Grid synchronization techniques for converter interfaced distributed generation systems. In *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE*, pages 2007 –2014, sept. 2009.
- [44] L.R. Limongi, R. Bojoi, C. Pica, F. Profumo, and A. Tenconi. Analysis and comparison of phase locked loop techniques for grid utility applications. In *Power Conversion Conference - Nagoya, 2007. PCC '07*, pages 674 –681, april 2007.
- [45] M. Karimi-Ghartemani and M.R. Iravani. A method for synchronization of power electronic converters in polluted and variable-frequency environments. *Power Systems, IEEE Transactions on*, 19(3):1263 – 1270, aug. 2004.
- [46] H.-S. Song, Hyun-Gyu Park, and Kwanghee Nam. An instantaneous phase angle detection algorithm under unbalanced line voltage condition. In *Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE*, volume 1, pages 533 –537 vol.1, aug 1999.
- [47] H.-S. Song and K. Nam. Instantaneous phase-angle estimation algorithm under unbalanced voltage-sag conditions. *Generation, Transmission and Distribution, IEE Proceedings-*, 147(6):409 –415, nov 2000.
- [48] Torsten Söderström and Petre Stoica. *System Identification*. Prentice-Hall, 1989.
- [49] V. Kaura and V. Blasko. Operation of a phase locked loop system under distorted utility conditions. *Industry Applications, IEEE Transactions on*, 33(1):58 –63, jan/feb 1997.

- [50] Se-Kyo Chung. A phase tracking system for three phase utility interface inverters. *Power Electronics, IEEE Transactions on*, 15(3):431 –438, may 2000.
- [51] L.N. Arruda, S.M. Silva, and B.J.C. Filho. Pll structures for utility connected systems. In *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, volume 4, pages 2655 –2660 vol.4, sep-4 oct 2001.
- [52] Sang-Joon Lee, Jun-Koo Kang, and Seung-Ki Sul. A new phase detecting method for power conversion systems considering distorted conditions in power system. In *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*, volume 4, pages 2167 –2172 vol.4, 1999.
- [53] P. Rodriguez, R. Teodorescu, I. Candela, A.V. Timbus, M. Liserre, and F. Blaabjerg. New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions. In *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, pages 1 – 7, june 2006.
- [54] P. Rodriguez, J. Pou, J. Bergas, J.I. Candela, R.P. Burgos, and D. Boroyevich. Decoupled double synchronous reference frame pll for power converters control. *Power Electronics, IEEE Transactions on*, 22(2):584 –592, march 2007.
- [55] M. Karimi-Ghartemani and M.R. Iravani. A nonlinear adaptive filter for online signal analysis in power systems: applications. *Power Delivery, IEEE Transactions on*, 17(2):617 –622, apr 2002.
- [56] Xiaoming Yuan, W. Merk, H. Stemmler, and J. Allmeling. Stationary-frame generalized integrators for current control of active power filters with zero steady-state error for current harmonics of concern under unbalanced and distorted operating conditions. *Industry Applications, IEEE Transactions on*, 38(2):523 –532, mar/apr 2002.
- [57] Y. Sato, T. Ishizuka, K. Nezu, and T. Kataoka. A new control strategy for voltage-type pwm rectifiers to realize zero steady-state control error in input current. *Industry Applications, IEEE Transactions on*, 34(3):480 –486, may/jun 1998.
- [58] R. Bojoi, G. Griva, M. Guerriero, F. Farina, F. Profumo, and V. Bostan. Improved current control strategy for power conditioners using sinusoidal signal integrators in synchronous reference frame. In *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, volume 6, pages 4623 – 4629 Vol.6, june 2004.
- [59] M. Karimi-Ghartemani. A novel three-phase magnitude-phase-locked loop system. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 53(8):1792 –1802, aug. 2006.
- [60] A.M. Salamah, S.J. Finney, and B.W. Williams. Three-phase phase-lock loop for distorted utilities. *Electric Power Applications, IET*, 1(6):937 –945, nov. 2007.
- [61] E. Robles, S. Ceballos, J. Pou, J.L. Martín, J. Zaragoza, and P. Ibañez. Variable-frequency grid-sequence detector based on a quasi-ideal low-pass filter stage and a phase-locked loop. *Power Electronics, IEEE Transactions on*, 25(10):2552 –2563, oct. 2010.
- [62] S. Maestri, P. Donato, R. Petrocelli, I. Carugati, D. Carrica, and M. Benedetti. Synchronization method for three phase applications. *International Review of Electrical Engineering*, 5(4):1728 –1735, July - August 2010.
- [63] Texas Instruments Inc. *IQmath Library, A virtual Floating Point Engine*. June 2002.
- [64] S.M. Silva, B.M. Lopes, B.J.C. Filho, R.P. Campana, and W.C. Bosventura. Performance evaluation of pll algorithms for single-phase grid-connected systems. In *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, volume 4, pages 2259 – 2263 vol.4, oct. 2004.

- [65] A. Nicastri and A. Nagliero. Comparison and evaluation of the pll techniques for the design of the grid-connected inverter systems. In *Industrial Electronics (ISIE), 2010 IEEE International Symposium on*, pages 3865 –3870, july 2010.
- [66] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg. A new single-phase pll structure based on second order generalized integrator. In *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, pages 1 – 6, june 2006.
- [67] R. M. Santos Filho, P. F. Seixas, P. C. Cortizo, L. A. B. Torres, and A. F. Souza. Comparison of three single-phase pll algorithms for ups applications. *Industrial Electronics, IEEE Transactions on*, 55(8):2923 –2932, aug. 2008.
- [68] Fang Xiong, Wang Yue, Li Ming, and Liu Jinjun. A novel frequency-adaptive pll for single-phase grid-connected converters. In *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, pages 414 –419, sept. 2010.
- [69] M. Karimi-Ghartemani, H. Karimi, and M.R. Iravani. A magnitude/phase-locked loop system based on estimation of frequency and in-phase/quadrature-phase amplitudes. *Industrial Electronics, IEEE Transactions on*, 51(2):511 – 517, april 2004.
- [70] Haitao Guo, G.A. Sitton, and C.S. Burrus. The quick fourier transform: an fft based on symmetries. *Signal Processing, IEEE Transactions on*, 46(2):335 –341, feb 1998.
- [71] R. Garcia-Retegui, S.A. Gonzalez, M.A. Funes, and S. Maestri. Implementation of a novel synchronization method using sliding goertzel dft. In *Intelligent Signal Processing, 2007. WISP 2007. IEEE International Symposium on*, pages 1 –5, oct. 2007.
- [72] K. Duda. Accurate, guaranteed stable, sliding discrete fourier transform [dsp tips amp; tricks]. *Signal Processing Magazine, IEEE*, 27(6):124 –127, nov. 2010.
- [73] J.R. Rodriguez, J. Pontt, C. Silva, E.P. Wiechmann, P.W. Hammond, F.W. Santucci, R. Alvarez, R. Musalem, S. Kouro, and P. Lezana. Large current rectifiers: State of the art and future trends. *Industrial Electronics, IEEE Transactions on*, 52(3):738 – 746, june 2005.
- [74] C. Goldemberg, W. Kaiser, W. Komatsu, S. Copeliovitch, and M. Leite. Thyristor controlled rectifiers for subway substations. In *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, pages 2244 –2250, june 2005.
- [75] O. Vainio and S.J. Ovaska. Noise reduction in zero crossing detection by predictive digital filtering. *Industrial Electronics, IEEE Transactions on*, 42(1):58 –62, feb 1995.
- [76] S. Väliviita. Zero-crossing detection of distorted line voltages using 1-b measurements. *Industrial Electronics, IEEE Transactions on*, 46(5):917 –922, oct 1999.