



Tecnología de Computadores

Práctica 5



UNIVERSIDAD
NEBRIJA

1. INTRODUCCIÓN

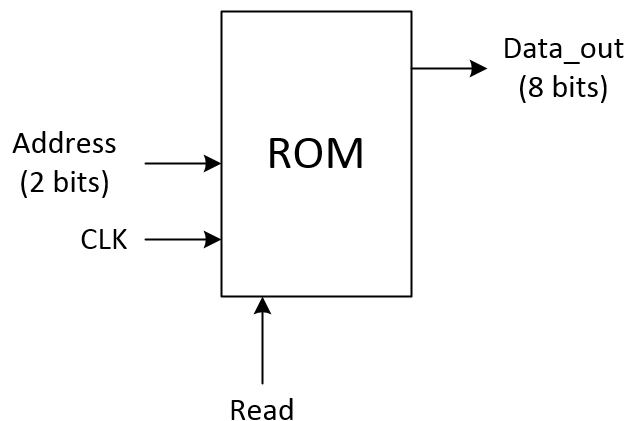
En esta última sesión de laboratorio se trabajará con memorias RAM y ROM en VHDL.

Una vez terminada la práctica el alumno será capaz de:

- Diseñar y modelar memorias RAM y ROM en VHDL.
- Diseñar un sistema sencillo de gestión de la información almacenada en estas memorias.

2. DISEÑO DE UNA MEMORIA ROM

Comenzaremos la práctica diseñando una pequeña memoria ROM de 8 bits de datos y 2 bits de direcciones como la que se muestra en la siguiente figura:



Como se puede observar, la memoria ROM tiene una señal de lectura (*Read*) que nos permite acceder al dato guardado en la dirección de memoria de la cual se desea leer. Es decir, cuando la señal *Read* valga '1' se leerá el dato almacenado en la dirección elegida.

Para entender el funcionamiento de una memoria ROM en VHDL, se dispone del código "*ROM.vhd*" proporcionado por el profesor. Ábralo y estudie su contenido.

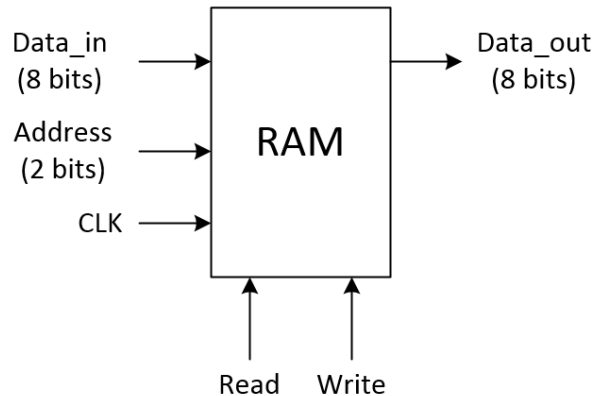
A continuación cree un proyecto en Vivado con el diseño de la memoria ROM y realice las siguientes tareas:

- Determine y muestre al profesor el tipo y número de recursos necesarios para implementar esta ROM en una FPGA.
- Simule la memoria ROM y muestre los resultados al profesor.
- Implemente la ROM en una FPGA mapeando los direcciones de entrada a unos interruptores y las salidas de la ROM a LEDs.

Cuando haya comprendido la forma de describir memorias ROM en VHDL pase al siguiente apartado de la práctica.

3. DISEÑO DE UNA MEMORIA RAM

En esta sección de la práctica se pide que el alumno diseñe en VHDL una memoria RAM como la de la siguiente figura.



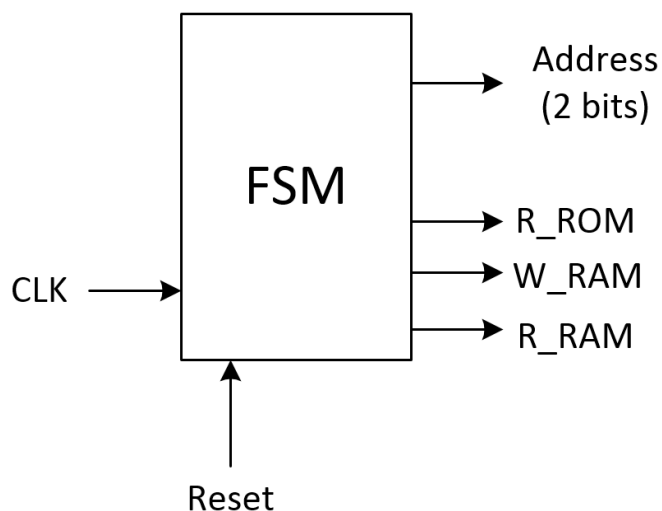
A diferencia de las memorias ROM, en las memorias RAM también se puede almacenar información mediante un proceso de escritura. Es por ello que las memorias RAM tienen una señal de escritura (*Write*), de modo que cuando *Write* valga '1' se escribirá un dato en la dirección de memoria indicada.

Se pide:

- Cree el diseño de la memoria RAM en VHDL tomando como referencia el de la ROM.
- Simule el diseño que ha creado para verificar su funcionamiento. Muestre el resultado al profesor. ¿Qué ocurre si se activan la señal de escritura y de lectura simultáneamente?

4. DISEÑO DE UNA UNIDAD DE CONTROL PARA TRANSFERIR DATOS DE LA ROM A LA RAM

Finalmente, se va a diseñar una unidad de control que permita transferir la información almacenada en la ROM a la RAM. Una vez en la RAM, la información podrá ser leída. El sistema en cuestión está basado en una máquina de estados finita que se encarga de controlar las direcciones de lectura/escritura y las señales de lectura/escritura de las memorias.



Se pide al alumno que diseñe la anterior máquina de estados basándose en la tabla siguiente que describe su funcionamiento.

State	Address	Read ROM (R_ROM)	Write RAM (W_RAM)	Read RAM (R_RAM)	Operation
S0	00	1	1	0	Transfer data from ROM to RAM
S1	01	1	1	0	
S2	10	1	1	0	
S3	11	1	1	0	
S4	00	0	0	1	Read data from RAM
S5	01	0	0	1	
S6	10	0	0	1	
S7	11	0	0	1	

Una vez diseñada la máquina de estados, verifique su funcionamiento mediante una simulación.

Por último, cree un fichero VHDL que conecte la máquina de estados con las memorias ROM y RAM diseñadas en los apartados anteriores de la práctica. Simule este sistema final y enseñe el resultado al profesor.