

آزمایش نهم: پیاده سازی حافظه شرکت پذیر نوع سه گانه

برای طراحی tcam، به یک حافظه با اندازه دو ثبات 16 بیتی کلید و آرگومان، ثبات 32 بیتی matched، که بیت های صفر آن نشان دهنده نابرابری داده موجود در ثبات آرگومان و داده موجود در خانه حافظه است و بیت 1 آن نشان دهنده برابری این دو است، ورودیهای read، write، write_addr و سیگنال های reset و کلاک نیاز داریم. از آنجایی که reset، آسنکرون و active low است، هرگاه صفر شود، مدار، reset می شود. در این حالت $enable = 0$ (مربوط به فرآیند جستجو داده است) و خانه های حافظه به طوری پر می شوند که 16 بیت پر ارزش آن ها 1 و بقیه صفر باشد. در اصل حافظه از 32 ثبات 16 بیتی تشکیل شده است. یعنی خانه های حافظه باید 16 بیتی باشند ولی از آنجایی که می توان x را هم در tcam ذخیره کرد و این وضعیت قابل سنتز نیست، پس در یک خانه حافظه مقدار ثبات کلید و آرگومان را ذخیره می کنیم.

اگر سیگنال read فعال شود، باید عملیات جستجو و پر کردن خانه های ثبات matched، انجام شود. بنابراین $enable = 1$ می شود و ماژول comparator که مسئول بررسی برابری خانه های حافظه و آرگومان است، شروع به کار می کند. برای بررسی این برابری، کافی است بیت هایی از آرگومان با بیت متناظر آن ها در خانه حافظه مقایسه شود که که بیت مربوط به آن در ثبات کلید صفر نباشد (در این صورت اگر بیت ها برابر بودند، $matched[i] = 1$ و در غیر اینصورت برابر صفر می شود). اگر بیت مربوطه در ثبات کلید صفر بود، نیازی به انجام مقایسه نیست. اگر یکی از بیت های حافظه x بود هم آن را با بیت متناظرش در ثبات آرگومان برابر در نظر می گیریم.

ماژول comparator، با گرفتن خانه های حافظه و k و a، برابری داده مربوط به آن خانه را با ثبات آرگومان، بیت به بیت بررسی می کند و خانه مربوطه در ثبات matched را پر می کند (اگر حتی نتیجه برای یکی از بیت ها صفر شود، نتیجه کلی صفر می شود)

ماژول های tcam، comparator و testbench، در ادامه آمده اند.

```

21 module TCAM #(parameter WORD_WIDTH = 16, parameter MEMORY_SIZE = 32)
22     (input [WORD_WIDTH-1: 0] A, K,
23      input [$clog2(MEMORY_SIZE)-1: 0] write_addr,
24      input read, write, reset, clk,
25      output [MEMORY_SIZE-1: 0] matched);
26
27     reg [2*WORD_WIDTH-1: 0] memory [MEMORY_SIZE-1: 0];
28
29     reg enable;
30
31     genvar i;
32
33     integer j;
34
35     generate
36         for (i = 0 ; i < MEMORY_SIZE; i=i+1)
37             Comparator #(.WORD_WIDTH(WORD_WIDTH)) comparator (memory[i], {K, A}, enable, matched[i]);
38     endgenerate
39
40     always @(posedge clk or negedge reset) begin
41         if (!reset) begin
42             enable = 1'b0;
43             for (j = 0; j < MEMORY_SIZE; j=j+1)
44                 memory[j] = {{WORD_WIDTH(1'b1)}, {WORD_WIDTH(1'b0)}};
45         end else if (read) enable = 1'b1;
46         else if (write) begin
47             memory[write_addr] = {K, A};
48             enable = 1'b0;
49         end
50     end
51 endmodule
52

```

```

21 module Comparator #(parameter WORD_WIDTH = 16)
22     (input [2*WORD_WIDTH-1: 0] A, B,
23      input enable,
24      output reg equal);
25
26     integer i;
27
28     always @(posedge enable) begin
29         equal = 1'b1;
30         for (i = 0; i < WORD_WIDTH; i=i+1)
31             equal = equal & (!A[WORD_WIDTH + i] || !B[WORD_WIDTH + i] || A[i] == B[i]);
32     end
33
34 endmodule
35

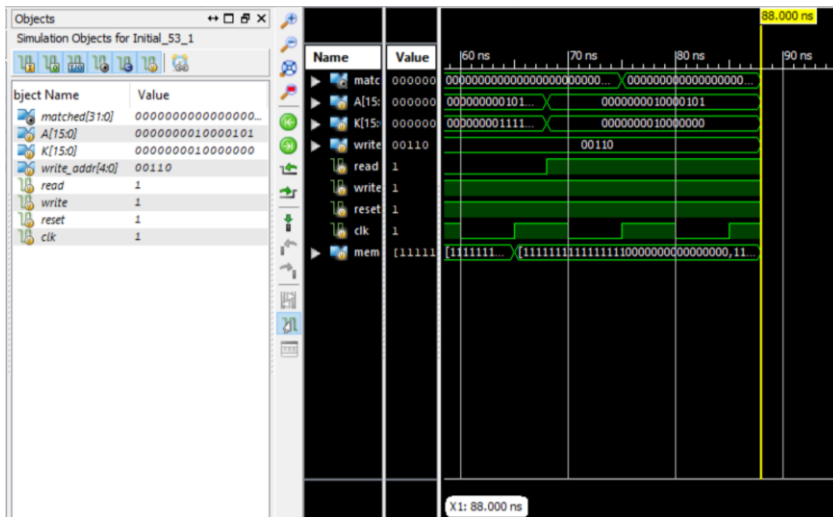
```

```

25 module testbench;
26
27     // Inputs
28     reg [15:0] A;
29     reg [15:0] K;
30     reg [4:0] write_addr;
31     reg read;
32     reg write;
33     reg reset;
34     reg clk = 0;
35
36     // Outputs
37     wire [31:0] matched;
38
39     // Instantiate the Unit Under Test (UUT)
40     TCAM uut (
41         .A(A),
42         .K(K),
43         .write_addr(write_addr),
44         .read(read),
45         .write(write),
46         .reset(reset),
47         .clk(clk),
48         .matched(matched)
49     );
50
51     always #5 clk = ~clk;
52
53     initial begin
54         A = 0;
55         K = 0;
56         write_addr = 0;
57
58         read = 0;
59         write = 0;
60         reset = 0;
61
62         #18
63         reset = 1;
64         write_addr = 4;
65         write = 1;
66         A = 16'h00000000011010011;
67         K = 16'h0000000001111001;
68         #10
69         write_addr = 5;
70         A = 16'h0000000001101001;
71         K = 16'h00000000011000001;
72         #10
73         write_addr = 6;
74         A = 16'h00000000011110111;
75         K = 16'h00000000011111110;
76         #10
77         read = 1;
78         A = 16'h00000000011001010;
79         K = 16'h00000000010000000;
80         #10
81         read = 0;
82         A = 16'h0000000001010101;
83         K = 16'h00000000011111111;
84         #10
85         read = 1;
86         A = 16'h00000000010000101;
87         K = 16'h00000000010000000;
88         #20
89         $finish;
90     end
91
92 endmodule
93
94

```

برای تست مدار، بعد از reset شدن، داده در خانه هایی با آدرس 4، 5 و 6 نوشته می شود. سپس با تغییر دادن ثبات های A و K داده را در حافظه جستجو کرده و ثبات matched را پر می کنیم. نتایج این تست و بخش هایی از گزارش سنتر مربوط به این مدار، به شرح زیر است.



TCAH Project Status (09/01/2022 - 03:00:21)			
Project File:	tcam.xise	Parser Errors:	No Errors
Module Name:	TCAM	Implementation State:	Placed and Routed
Target Device:	xc6slx9-2tqg144	• Errors:	No Errors
Product Version:	ISE 14.7	• Warnings:	1 Warning (1 new)
Design Goal:	Balanced	• Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	• Timing Constraints:	All Constraints Met
Environment:	System Settings	• Final Timing Score:	0 (Timing Report)

Device Utilization Summary					[-]
Slice Logic Utilization	Used	Available	Utilization	Note(s)	
Number of Slice Registers	1,025	11,440	8%		
Number used as Flip Flops	1,025				
Number used as Latches	0				
Number used as Latch-thrus	0				
Number used as AND/OR logics	0				
Number of Slice LUTs	1,329	5,720	23%		
Number used as logic	1,329	5,720	23%		
Number using O6 output only	1,056				
Number using O5 output only	0				

Number using O5 and O6	273			
Number used as ROM	0			
Number used as Memory	0	1,440	0%	
Number of occupied Slices	368	1,430	25%	
Number of MUXC's used	0	2,860	0%	
Number of LUT Flip Flop pairs used	1,330			
Number with an unused Flip Flop	305	1,330	22%	
Number with an unused LUT	1	1,330	1%	
Number of fully used LUT-FF pairs	1,024	1,330	76%	
Number of unique control sets	2			
Number of slice register sites lost to control set restrictions	7	11,440	1%	
Number of bonded IOBs	73	102	71%	
IOB Flip Flops	32			
Number of RAMB16BWERs	0	32	0%	
Number of RAMB8BWERs	0	64	0%	
Number of BUFIO2/BUFIO2_CLKs	0	32	0%	
Number of BUFIO2FB/BUFIO2FB_CLKs	0	32	0%	
Number of BUFG/BUFGMUXs	2	16	12%	
Number used as BUFGs	2			
Number used as BUFGMUX	0			
Number of DCM/DCM_CLKGENs	0	4	0%	
Number of ILOGIC2/ISERDES2s	0	200	0%	

Number of IODELAY2/IODRP2/IODRP2_MCBs	0	200	0%	
Number of OLOGIC2/OSERDES2s	32	200	16%	
Number used as OLOGIC2s	32			
Number used as OSERDES2s	0			
Number of BSCANs	0	4	0%	
Number of BUFHs	0	128	0%	
Number of BUFPLLs	0	8	0%	
Number of BUFPLL_MCBs	0	4	0%	
Number of DSP48A1s	0	16	0%	
Number of ICAPs	0	1	0%	
Number of MCBs	0	2	0%	
Number of PCILOGICSEs	0	2	0%	
Number of PLL_ADVs	0	2	0%	
Number of PMVs	0	1	0%	
Number of STARTUPs	0	1	0%	
Number of SUSPEND_SYNCs	0	1	0%	
Average Fanout of Non-Clock Nets	4.37			

Performance Summary				[-]
Final Timing Score:	0 (Setup: 0, Hold: 0)	Pinout Data:	Pinout Report	
Routing Results:	All Signals Completely Routed	Clock Data:	Clock Report	
Timing Constraints:	All Constraints Met			

Detailed Reports						[-]
Report Name	Status	Generated	Errors	Warnings	Infos	
Synthesis Report	Current	Thu Sep 1 02:59:43 2022	0	1 Warning (1 new)	0	
Translation Report	Current	Thu Sep 1 02:59:49 2022	0	0	0	
Map Report	Current	Thu Sep 1 03:00:06 2022	0	0	6 Infos (6 new)	
Place and Route Report	Current	Thu Sep 1 03:00:15 2022	0	0	3 Infos (3 new)	
Power Report						
Post-PAR Static Timing Report	Current	Thu Sep 1 03:00:19 2022	0	0	4 Infos (4 new)	
Bitgen Report						

Secondary Reports			[-]
Report Name	Status	Generated	
ISIM Simulator Log	Out of Date	Thu Sep 1 02:56:16 2022	

```

Summary:
    inferred 1 D-type flip-flop(s).
    inferred 16 Comparator(s).
Unit <Comparator> synthesized.

=====
HDL Synthesis Report

Macro Statistics
# Registers                      : 34
1-bit register                  : 33
1024-bit register               : 1
# Comparators                   : 512
1-bit comparator equal          : 512
# Multiplexers                  : 32
32-bit 2-to-1 multiplexer       : 32

=====

```

```
=====
*                      Advanced HDL Synthesis                      *
=====
```

```
=====
Advanced HDL Synthesis Report
```

```
Macro Statistics
# Registers                      : 1057
# Flip-Flops                     : 1057
# Comparators                    : 512
# 1-bit comparator equal         : 512
# Multiplexers                   : 1024
# 1-bit 2-to-1 multiplexer       : 1024
=====
```

```
Final Macro Processing ...
```

```
=====
Final Register Report
```

```
Macro Statistics
# Registers                      : 1057
# Flip-Flops                     : 1057
=====
```

```
=====
*                      Partition Report                          *
=====
```

```
Partition Implementation Status
-----
```

```
No Partitions were found in this design.
-----
```

```
=====
*                      Design Summary                          *
=====
```

```
Top Level Output File Name      : TCAM.ngc
```

```
Primitive and Black Box Usage:
-----
```

```
# BELS                          : 1603
# INV                           : 1
# LUT2                          : 2
# LUT3                          : 1024
# LUT4                          : 256
# LUT5                          : 224
# LUT6                          : 96
# FlipFlops/Latches             : 1057
# FD                            : 32
# FDCE                          : 513
# FDPE                          : 512
# Clock Buffers                 : 2
# BUFG                          : 1
# BUFGP                         : 1
# IO Buffers                    : 72
# IBUF                          : 40
# OBUF                          : 32
```

```
Device utilization summary:
-----
```

```
Selected Device : 6slx9tqg144-2
```

Slice Logic Utilization:

Number of Slice Registers:	1025	out of	11440	8%
Number of Slice LUTs:	1603	out of	5720	28%
Number used as Logic:	1603	out of	5720	28%

Slice Logic Distribution:

Number of LUT Flip Flop pairs used:	1604			
Number with an unused Flip Flop:	579	out of	1604	36%
Number with an unused LUT:	1	out of	1604	0%
Number of fully used LUT-FF pairs:	1024	out of	1604	63%
Number of unique control sets:	3			

IO Utilization:

Number of IOs:	73			
Number of bonded IOBs:	73	out of	102	71%
IOB Flip Flops/Latches:	32			

Specific Feature Utilization:

Number of BUFG/BUFGCTRLs:	2	out of	16	12%
---------------------------	---	--------	----	-----

Partition Resource Summary:

No Partitions were found in this design.

Timing Report

NOTE: THESE TIMING NUMBERS ARE ONLY A SYNTHESIS ESTIMATE.
FOR ACCURATE TIMING INFORMATION PLEASE REFER TO THE TRACE REPORT
GENERATED AFTER PLACE-and-ROUTE.

Clock Information:

Clock Signal	Clock buffer(FF name)	Load
clk	BUFGP	1025
enable	BUFG	32

Asynchronous Control Signals Information:

No asynchronous control signals found in this design

Timing Summary:

Speed Grade: -2

Minimum period: 1.579ns (Maximum Frequency: 633.312MHz)
Minimum input arrival time before clock: 7.567ns
Maximum output required time after clock: 4.118ns
Maximum combinational path delay: No path found

Timing Details:

All values displayed in nanoseconds (ns)

=====
Timing constraint: Default period analysis for Clock 'clk'
Clock period: 1.579ns (frequency: 633.312MHz)
Total number of paths / destination ports: 1024 / 1024

Delay: 1.579ns (Levels of Logic = 1)
Source: memory_0_0 (FF)
Destination: memory_0_0 (FF)
Source Clock: clk rising
Destination Clock: clk rising

Data Path: memory_0_0 to memory_0_0

Cell:in->out	fanout	Gate Delay	Net Delay	Logical Name (Net Name)
FDCE:C->Q	2	0.525	0.726	memory_0_0 (memory_0_0)
LUT3:I2->O	1	0.254	0.000	mux99211 (memory[0][31]_K[15]_mux_32_OUT<0>)
FDCE:D		0.074		memory_0_0

Total 1.579ns (0.853ns logic, 0.726ns route)
(54.0% logic, 46.0% route)

=====
Timing constraint: Default OFFSET IN BEFORE for Clock 'clk'
Total number of paths / destination ports: 9220 / 3075
