

Лабораторная работа 2

Изучение IP-компонентов и редактора конечного автомата в САПР Quartus Prime Lite

Цель лабораторной работы: Знакомство с базовыми возможностями схемного редактора (использование IP-компонентов) и редактора конечного автомата в САПР Quartus Prime. Работа включает следующие этапы:

- Создание проекта
- Создание экземпляра счетчика на базе библиотеки IP-компонентов
- Создание конечного автомата с помощью редактора конечных автоматов
- Создание дизайн - файла с помощью схематического редактора
- Назначение выводов ПЛИС
- Создание sdc – файла
- Выполнение полной компиляции проекта
- Конфигурирование ПЛИС и проверка работоспособности на отладочной плате.

Алгоритм работы проекта: Входная тактовая частота значением 25Mhz поступает на 23-разрядный счетчик, сигнал переноса, с выхода которого служит сигналом разрешения автомата, по которому он может переходить из одного разрешенного состояния в другое. В зависимости от значения входных сигналов SW0 и SW1 на выходе конечного автомата формируются заданные последовательности свечения светодиодов (табл. 2). Сигнал PBA служит для сброса автомата в исходное значение.

1. Создание проекта.

1.1. Запустите пакет проектирования **Quartus Prime Lite**.

Замечание. Порядок создания проекта подробно описан в документе «Практическое занятие 1_v1».

1.2. Для создания проекта выполните следующие действия:

File -> New Project Wizard.

В появившемся окне “**Introduction**” выполните «**Next**».

1.3. В окошке “**Directory, Name, Top-Level Entity**” (рис. 1) задайте (или выберите существующую) директорию с проектами и название проекта **lab2_<fio>** (<fio> – аббревиатура на латинице из первых букв ФИО).

Важно!

1. Желательно выделить папку для проектов в корневом каталоге.
2. Не используйте кириллицу и пробелы в определении путей и названий проектов и файлов.

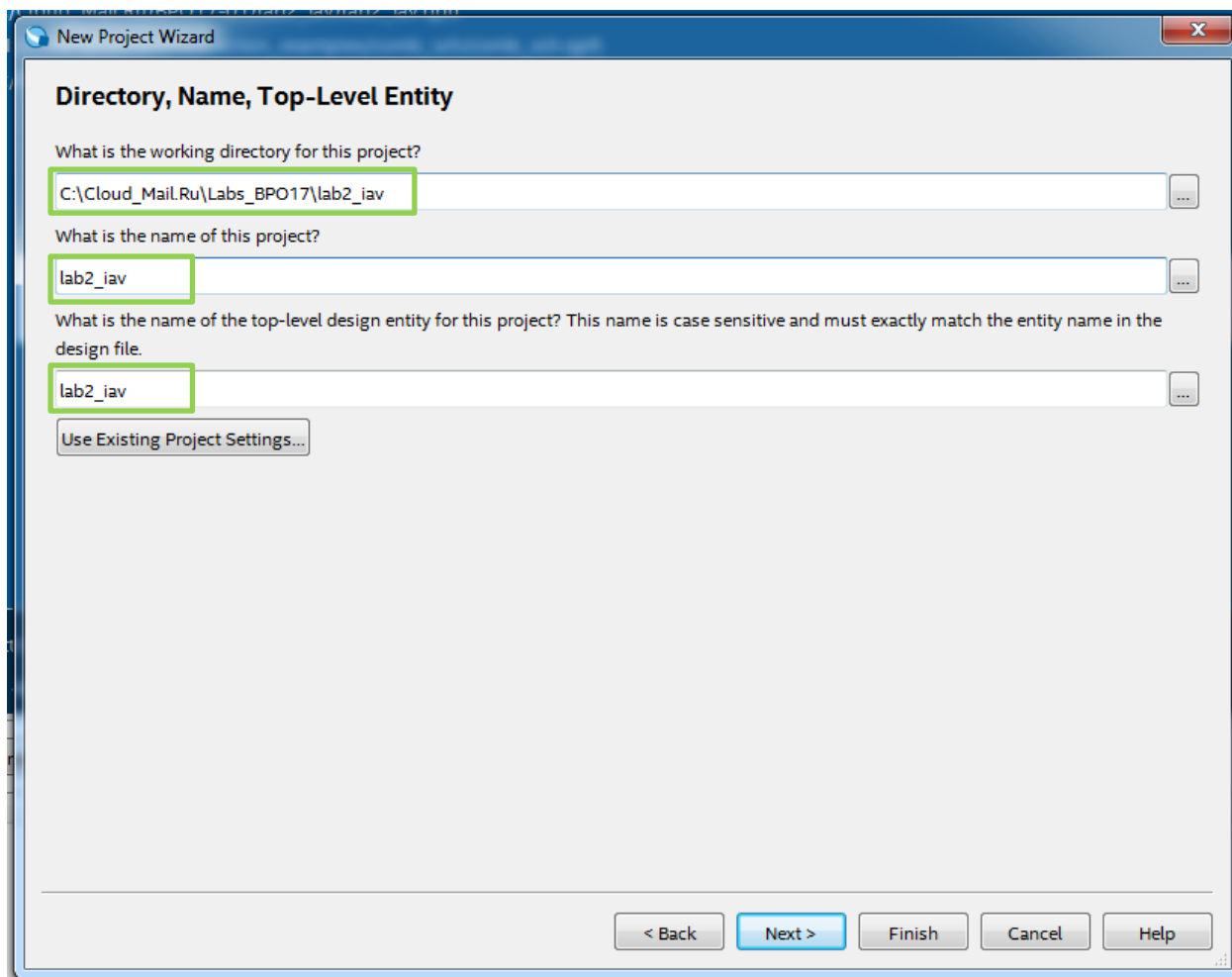


Рис.1 Окно выбора директории для установки проекта

Выполните «**Next**», далее «**Yes**» на предложение создать новую директорию для создаваемого проекта (если директория не создана ранее).

1.4. Появится окно “**Project Type**”, выберите *empty project* (пустой проект) и затем выполните «**Next**».

1.5. Появится окно “**Add Files**”, выполните «**Next**».

1.6. Появится окно “**Family, Device & Board Settings**”. На панели *Device family* выбирается семейство ПЛИС *Cyclone IVE*, а из таблицы *Available devices* нужна микросхема **EP4CE6E22C8**. Для облегчения поиска микросхемы можно конкретизировать ее параметры с помощью выбора параметров «тип корпуса» (*package*), «количество выводов» (*pin count*), «быстродействие ядра» (*core speed grade*) из соответствующих выпадающих меню панели *Show in 'Available devices' list* (рис. 2). Для проектов практических и лабораторных работ необходимо выбирать микросхему, установленную на отладочную плату, с помощью которой выполняются данные работы. Выполните «**Next**».

1.7. Появится окно “**EDA Tool Settings**”, выполните «**Next**».

1.8. Появится последнее окно создания проекта “**Summary**”, в котором можно проверить все настройки, сделанные на предыдущих шагах. Выполните «**Finish**».

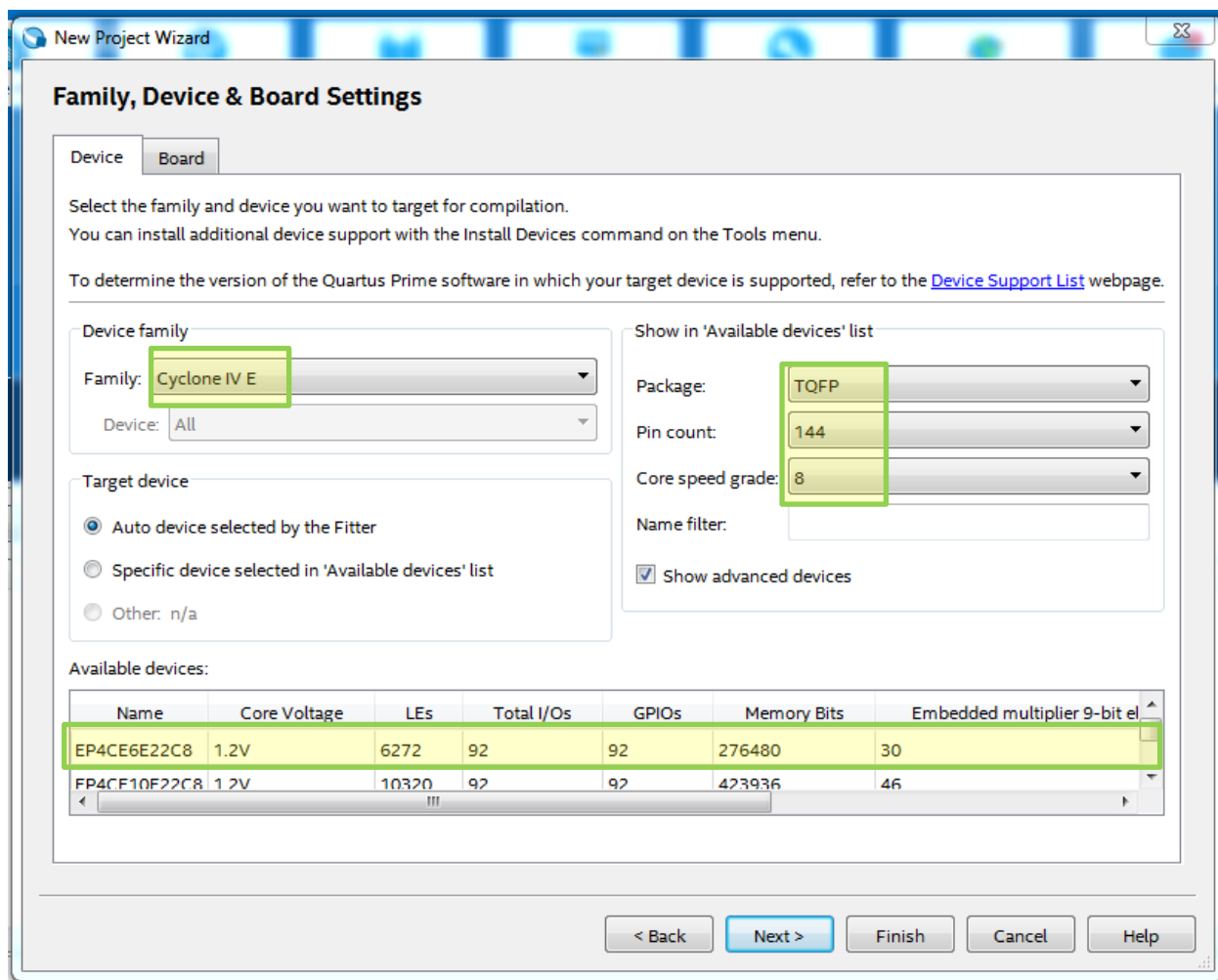


Рис.2 Окно для выбора микросхемы

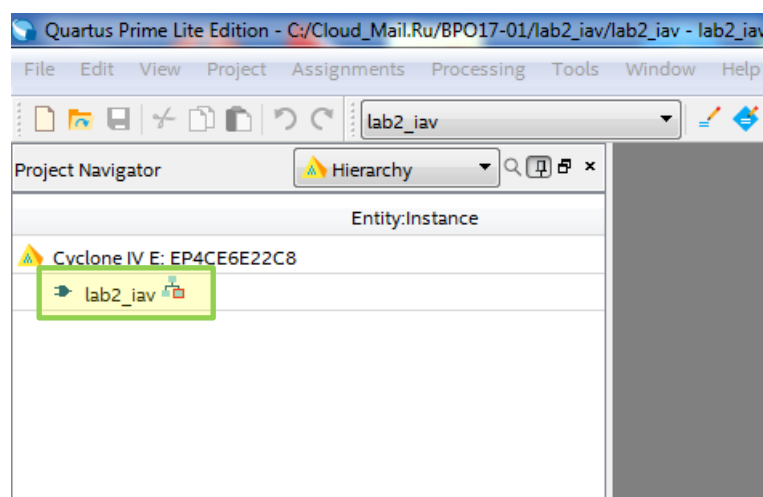


Рис. 3 Окно пакета с созданным проектом

После этого вновь созданный проект становится текущим в запущенной системе проектирования **Quartus Prime** (рис. 3).

2. Создание экземпляра счетчика на базе библиотеки IP-компонентов

2.1. В окне **IP Catalog** в разделе **Library->Basic Functions->Arithmetic** выберите мегафункцию **LPM_COUNTER** (рис. 4) и нажмите кнопку «+ADD»,

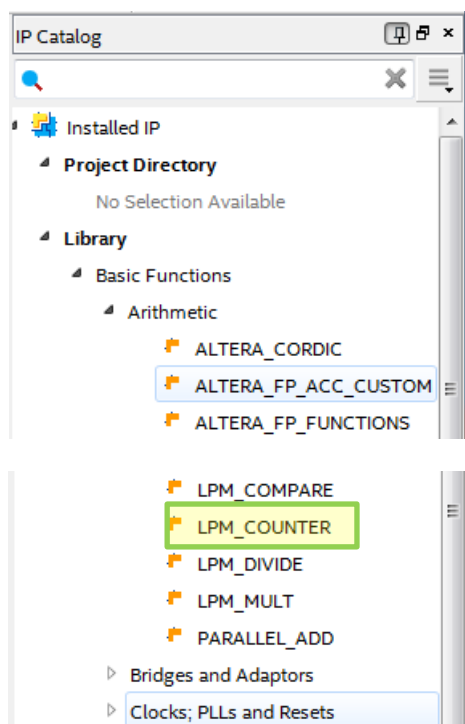


Рис. 4 Окно **IP Catalog**

2.2. В появившемся окне настройки задайте имя экземпляра выбранного компонента (Counter_23b) и укажите язык описания аппаратуры (VHDL), в коде которого он будет храниться в проекте (рис.5). Выполните «**OK**».

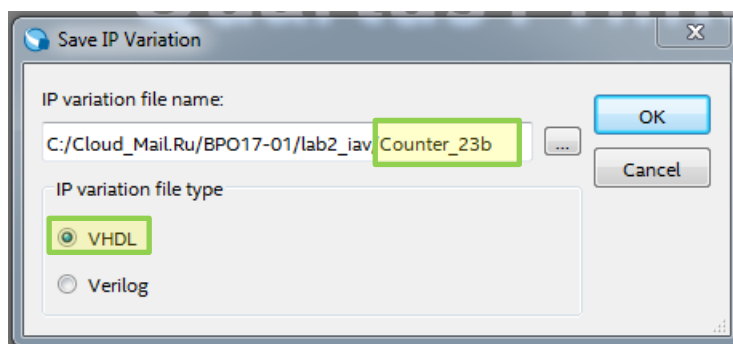


Рис. 5 Окно создания экземпляра выбранного компонента

2.3. В появившемся окне “**MegaWizeded Plug-In Manager [page 1 of 5]**” установите разрядность счетчика 23 бит (рис. 6). Выполните «**Next**».

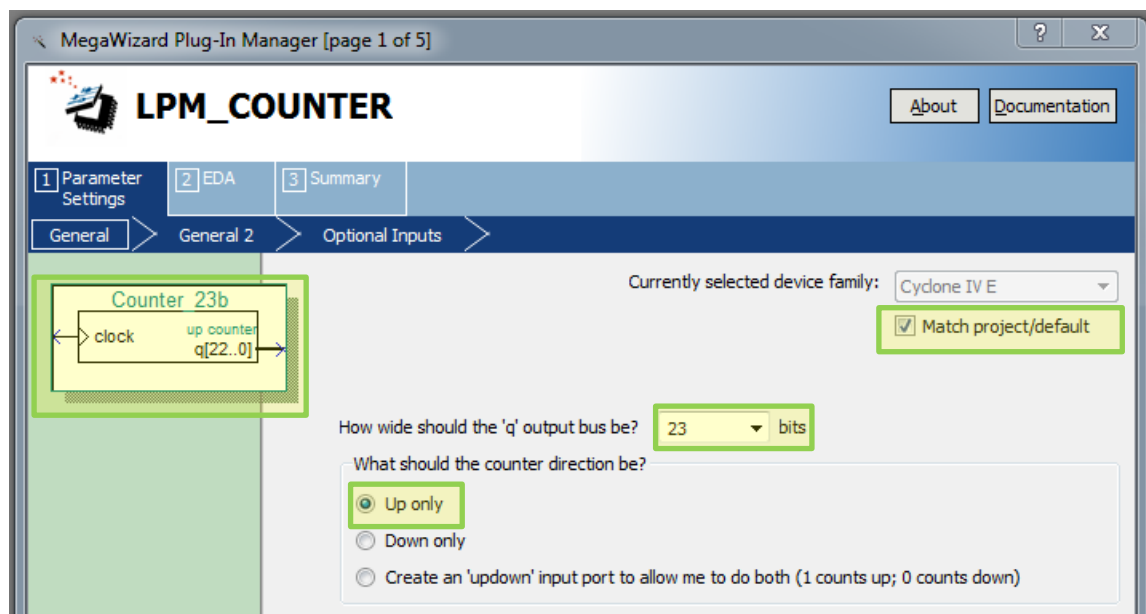


Рис. 6 Окно настройки экземпляра выбранного компонента (page 1)

2.4. В появившемся окне **“MegaWizeded Plug-In Manager [page 2 of 5]”** установите опции как на рис. 7, выполните **«Next»**.

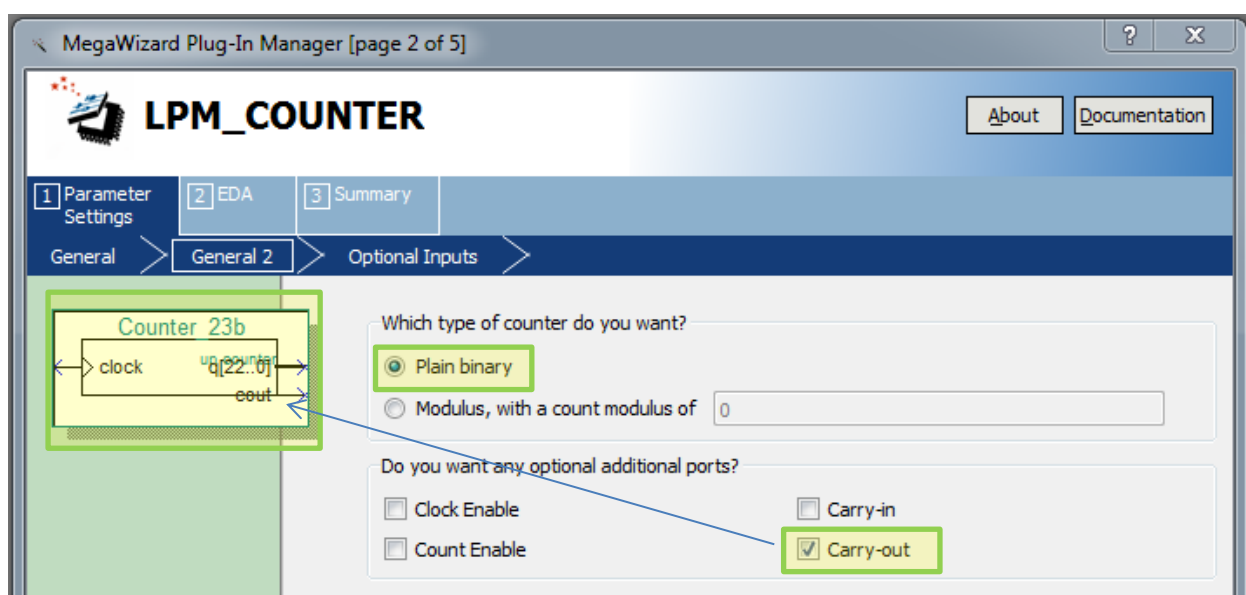


Рис. 7 Окно настройки экземпляра выбранного компонента (page 2)

2.5. В появившемся окне **“MegaWizeded Plug-In Manager [page 3 of 5]”** выполните **«Next»**.

2.6. В появившемся окне **“MegaWizeded Plug-In Manager [page 4 of 5]”** выполните **«Next»**.

2.7. В появившемся окне **“MegaWizeded Plug-In Manager [page 5 of 5]”** выберите создаваемые файлы, как на рис. 8. Далее **«Finish»**. Экземпляр счетчика **Counter_28b** создан.

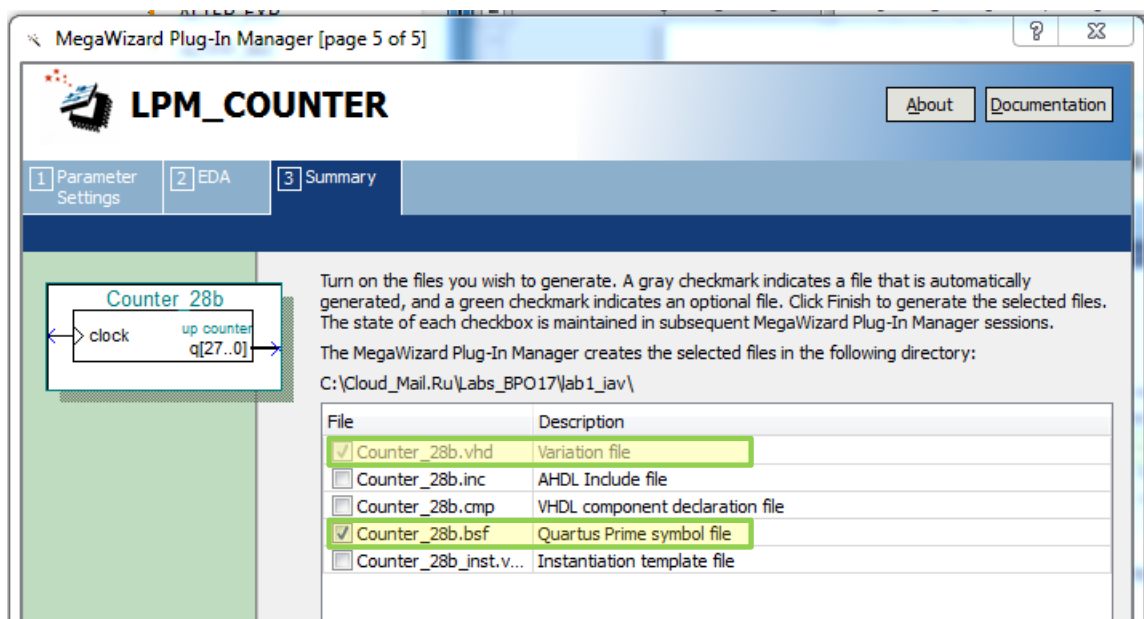


Рис. 8 Окно настройки экземпляра выбранного компонента (page 5)

2.8. В появившемся окне “**QUARTUS Prime IP Files**”, на предложение добавить созданный компонент в проект, выберите «Yes».

3. Создание конечного автомата с помощью редактора конечных автоматов

3.1. Выполните **File -> New** или **Create New Design** в окне **Task** (рис. 9a), откроется окошко (рис.9b) с выбором типов создаваемых файлов.

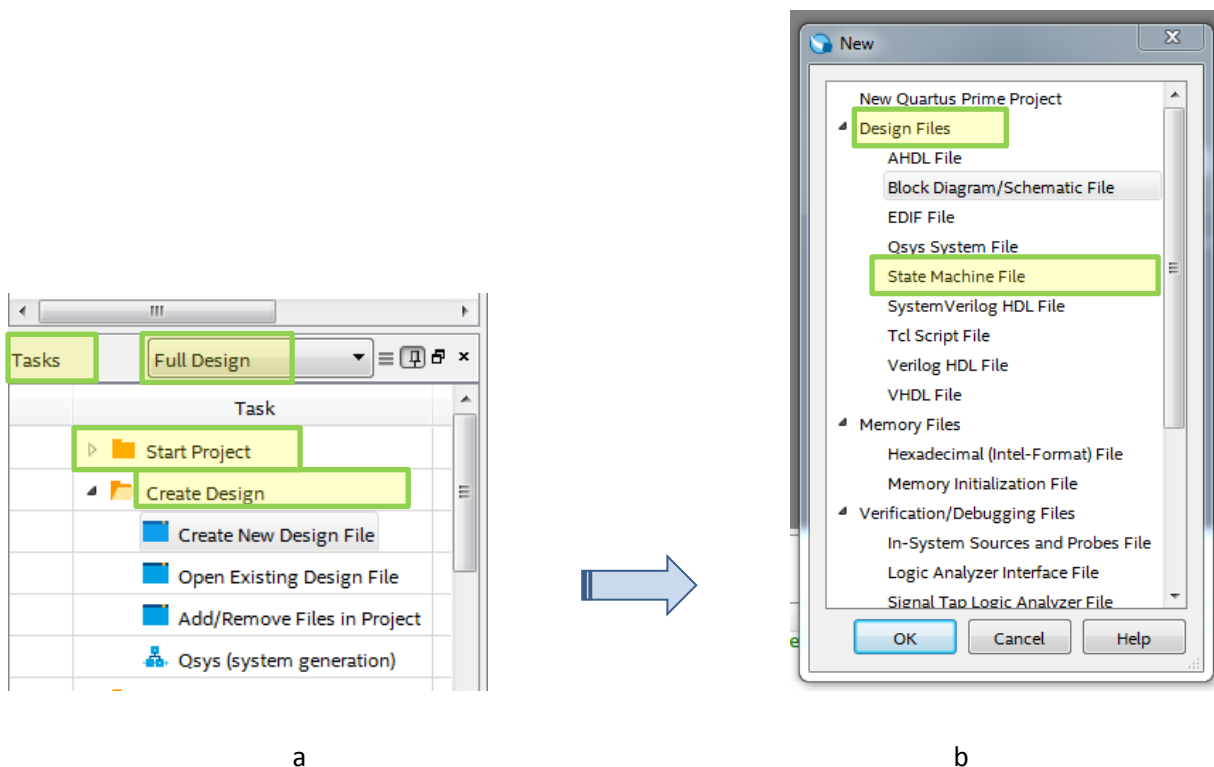


Рис. 9 Окно создания проектного файла (a) и окно выбора типа создаваемого проектного файла(b)

3.2. Выберите **Design Files -> State Machine File**, далее «OK». В результате откроется окошко редактора конечного автомата – **State Machine Editor** (рис. 10).

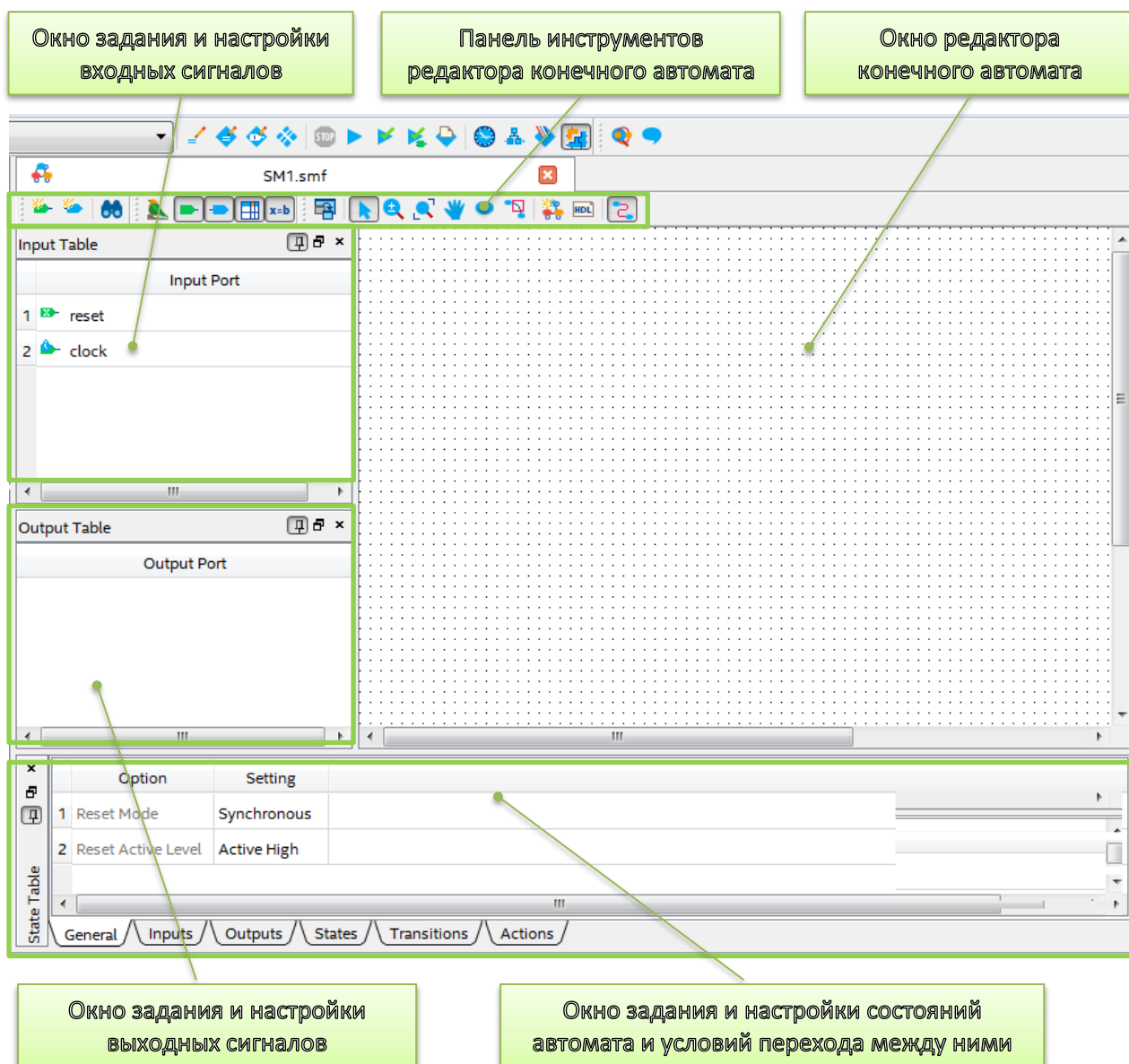




















Рис. 10 Окно редактора конечного автомата

Значения пиктограмм на панели инструментов редактора конечного автомата отображены в таблице 2.

Таблица 2

Пиктограмма	Функция	Комментарий
	Add New Input Port	Добавить новый вход автомата
	Add New Output Port	Добавить новый выход автомата
	Find /Ctrl+F	Поиск объектов
	Bird's Eye View	Просмотр всей схемы (взгляд с высоты птичьего полета)
	Input Port List	Включить/ выключить окно с входными сигналами (Input Table)
	Output Port List	Включить/ выключить окно с выходными сигналами (Output Table)
	State Table	Включить/ выключить окно задания и настройки состояний автомата и условий перехода между ними (State Table)
	Show Transition Equations	Включить/ выключить показ условий перехода между состояниями на схеме
	Detach/Attach Window	Отсоединить/Присоединить State Machine Editor
	Selection Tool	Выбор режима редактирования схемы
	Zoom Tool	Масштабирование схемы
	Magnifying Glass Tool	Увеличение фрагмента схемы
	Hand Tool	Перетаскивание схемы по полю редактора
	State Tool	Установка объекта "состояние автомата" на поле редактора
	Transition Tool	Инструмент для рисования переходов между состояниями
	State Machine Wizard	Запуск создания и редактирования автомата
	Generate HDL File	Создание описания созданного автомата на языке описания аппаратуры
	Use Rubberbanding	Создание соединений между состояниями автомата в виде произвольных кривых

3.3. В окне **Input Table** выберите сигнал *reset*. В окне **State Table** выберите закладку **General** и задайте для параметра **Reset Mode** значение *Asynchronous*, для параметра **Reset Active** значение *Active High* (рис. 11). Для этого в колонке **Setting** нужного параметра дважды кликните на поле значений и выберите из выпадающего списка нужное.

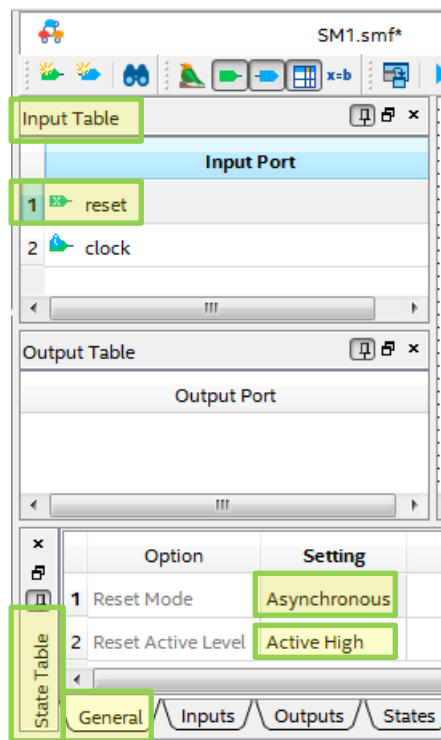



Рис. 11 Задание параметров входных сигналов конечного автомата

3.4. С помощью инструмента  создайте новый входной сигнал **input1** (рис. 12). Затем выделите его, с помощью правой кнопки мыши выберите из выпавшего списка опцию **rename** (либо дважды кликните ЛКМ на имени, либо выделите мышкой и нажмите **Enter**), выберите «**Ok**» в появившемся окне, и затем в окне редактирования с выбранным именем задайте новое имя **SW0**.

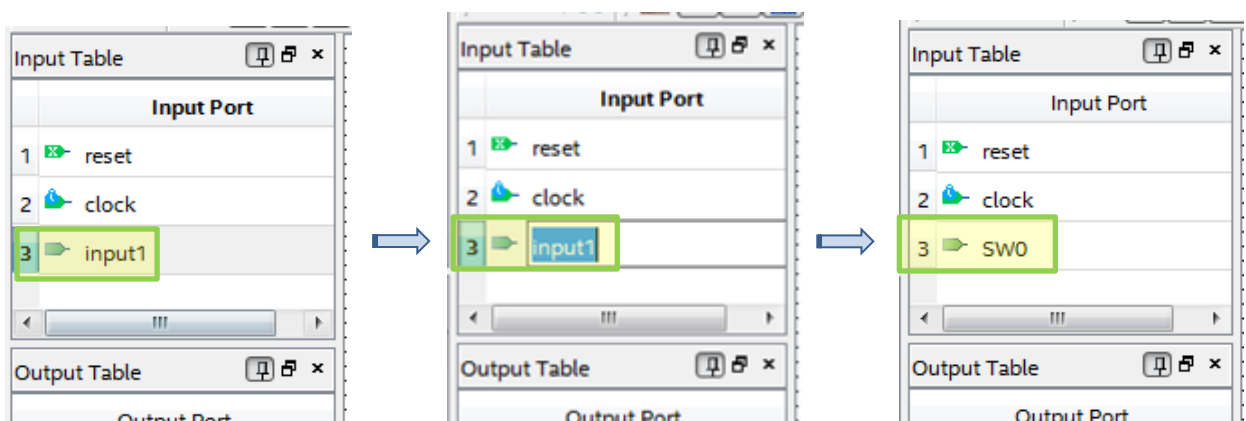



Рис. 12 Создание новых входных сигналов конечного автомата

3.5. Кликните ПКМ на свободное пространство окна **Input Table**, появится кнопка **Insert New**. Нажмите на нее, в списке имен появится новое имя **input2**. Переименуйте его в **SW1**. Это второй способ создания нового входного сигнала.

3.6. Любым из вышеописанных способов создайте еще один входной сигнал **input3** и переименуйте его в **ENA**.

3.7. С помощью инструмента  (либо ПКМ → **Insert New**) создайте новый выходной сигнал **output1**. Затем выделите его, с помощью правой кнопки мыши выберите из выпавшего списка опцию **rename** (либо дважды кликните ЛКМ на имени, либо выделите мышкой и нажмите **Enter**), и затем в окне редактирования с выбранным именем задайте новое имя **DIG1** (рис. 13).

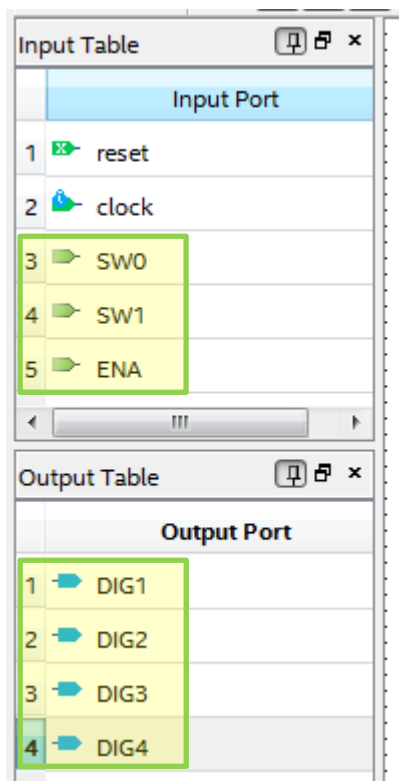








Рис. 13 Создание новых входных и выходных сигналов конечного автомата

3.8. Аналогично создайте еще 3 выхода с именами **DIG2**, **DIG3**, **DIG4**.

3.9. Включите на панели инструментов кнопку  и разместите на поле редактора 4 состояния (рис. 14). Выключите инструмент создания состояний путем выбора инструмента .

3.10. Включите инструмент создания переходов  и нарисуйте переходы как показано на рисунке (рис. 14). Чтобы нарисовать петлю, установите курсор на край символа состояния, нажмите и отпустите ЛКМ. Чтобы нарисовать переход между состояниями, установите курсор на край символа состояния, нажмите ЛКМ и потяните на край другого символа состояния, затем отпустите ЛКМ.

Подсказка. Масштабировать изображение можно следующим образом:
 уменьшить: Ctrl + колесо мыши down (крутить на себя)
 увеличить: Ctrl + колесо мыши up (крутить от себя)

Чтобы нарисовать кривую линию перехода выберите инструмент  и нарисуйте соединение, затем выберите инструмент , выделите нужное соединение (красная линия на рисунке) и отредактируйте вид кривой, потянув за маркеры. Кликните на поле редактора, линия станет черного цвета, форма соединения зафиксируется. Любое соединение можно выделить и отредактировать ее форму при желании (при этом кнопка  должна быть активной).

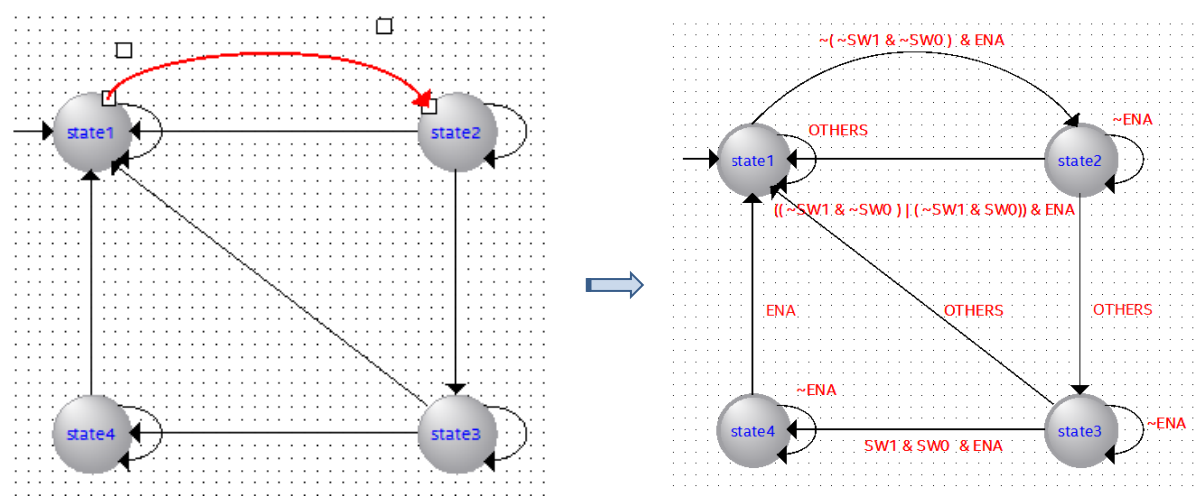



Рис. 14 Создание переходов между состояниями конечного автомата

3.11. В окне **State Table** выберите закладку **Transitions** и в таблице переходов для всех переходов между состояниями автомата (колонки **Source State** и **Destination State**) введите условия перехода в колонке **Transition** (строка переходов активируется для редактирования двойным кликом ЛКМ) (рис. 15). С помощью опции  можно включать и отключать видимость условий перехода на линиях соединения символов состояния (рис. 14). Логические операции обозначены следующими символами:

~ - NOT; | - OR; & - AND; ^ - XOR

	Source State	Destination State	Transition
1	state1	state1	OTHERS
2	state2	state3	OTHERS
3	state3	state4	SW1 & SW0 & ENA
4	state3	state1	OTHERS
5	state4	state1	ENA
6	state3	state3	~ENA
7	state4	state4	~ENA
8	state2	state2	~ENA
9	state1	state2	~(~SW1 & ~SW0) & ENA
10	state2	state1	((~SW1 & ~SW0) (~SW1 & SW0)) & ENA

Рис. 15 Создание условий переходов между состояниями конечного автомата

3.12. Выберите в окне редактора символ состояния **state1**, нажмите ПКМ и в выпадающем списке выберите **Properties** (рис.16)

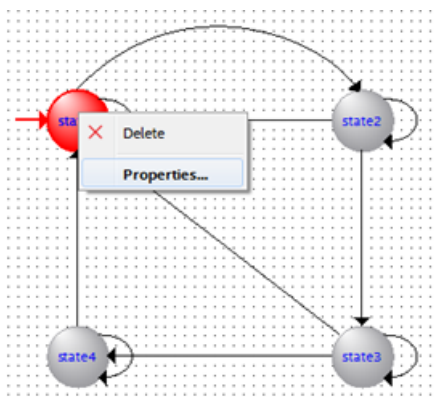


Рис. 16 Редактирование свойств состояния автомата

3.13. В появившемся окне **State Properties** выберите закладку **Actions**. В колонке **Output Port** последовательно выберите выходные сигналы **DIG0 ... DIG4**. Сигналы выбираются из выпадающего списка, появляющегося при двойном клике ЛКМ на строку с надписью **<New>**. Затем задайте значения в колонке **Output Value**, которые они должны иметь для выбранного состояния автомата (рис. 17).

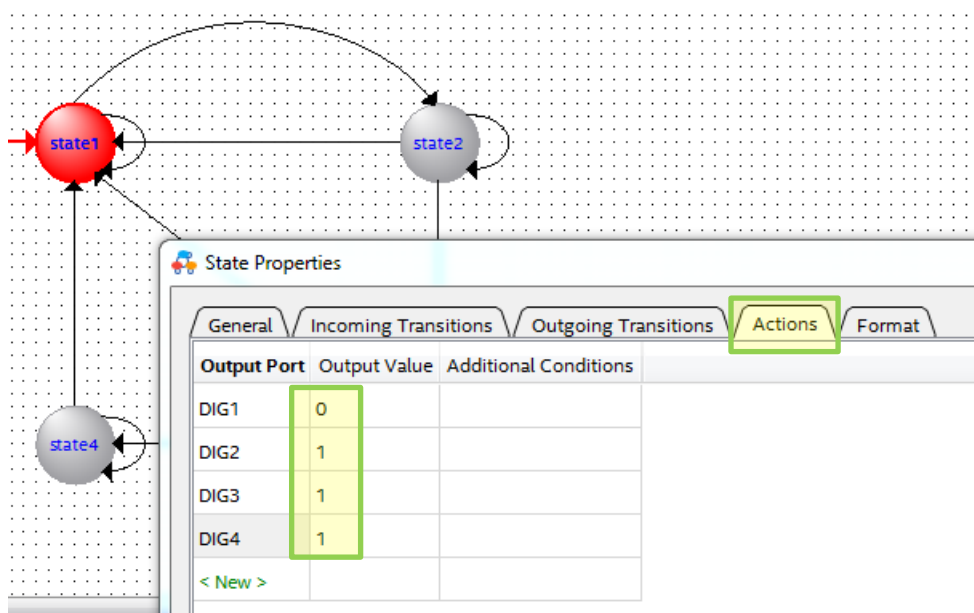



Рис. 17 Назначение выходных значений для выходных сигналов автомата для состояния **state1**

3.14. Аналогично задайте значения выходных сигналов для остальных состояний автомата:

state2:	DIG1 = 1	DIG2 = 0	DIG3 = 1	DIG4 = 1
state3:	DIG1 = 1	DIG2 = 1	DIG3 = 0	DIG4 = 1
state4:	DIG1 = 1	DIG2 = 1	DIG3 = 1	DIG4 = 0

- 3.15. Сохраните файл, выполнив **File -> Save As**, под именем *lab2_fsm.smf*.
- 3.16. Выполните генерацию файла описания созданного автомата на языке HDL с помощью инструмента . Для этого нажмите на нее ЛКМ на панели инструментов и в появившемся окне **Generate HDL File** выберите нужный язык описания (в нашем случае VHDL) (рис. 18). Далее выполните «OK». Появится окно текстового редактора **Text Editor** с созданным текстом описания автомата на языке VHDL (рис. 19).

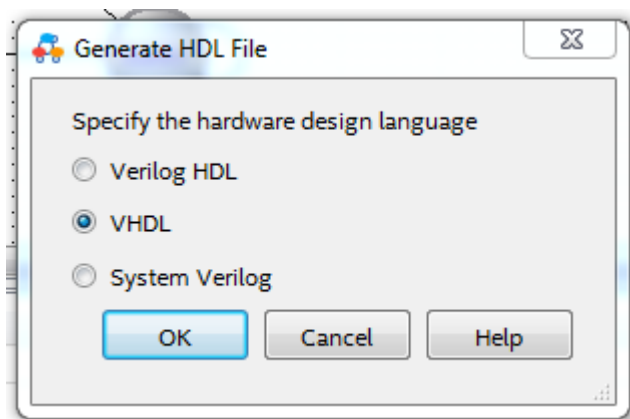


Рис. 18 Генерация файла описания созданного автомата на языке HDL

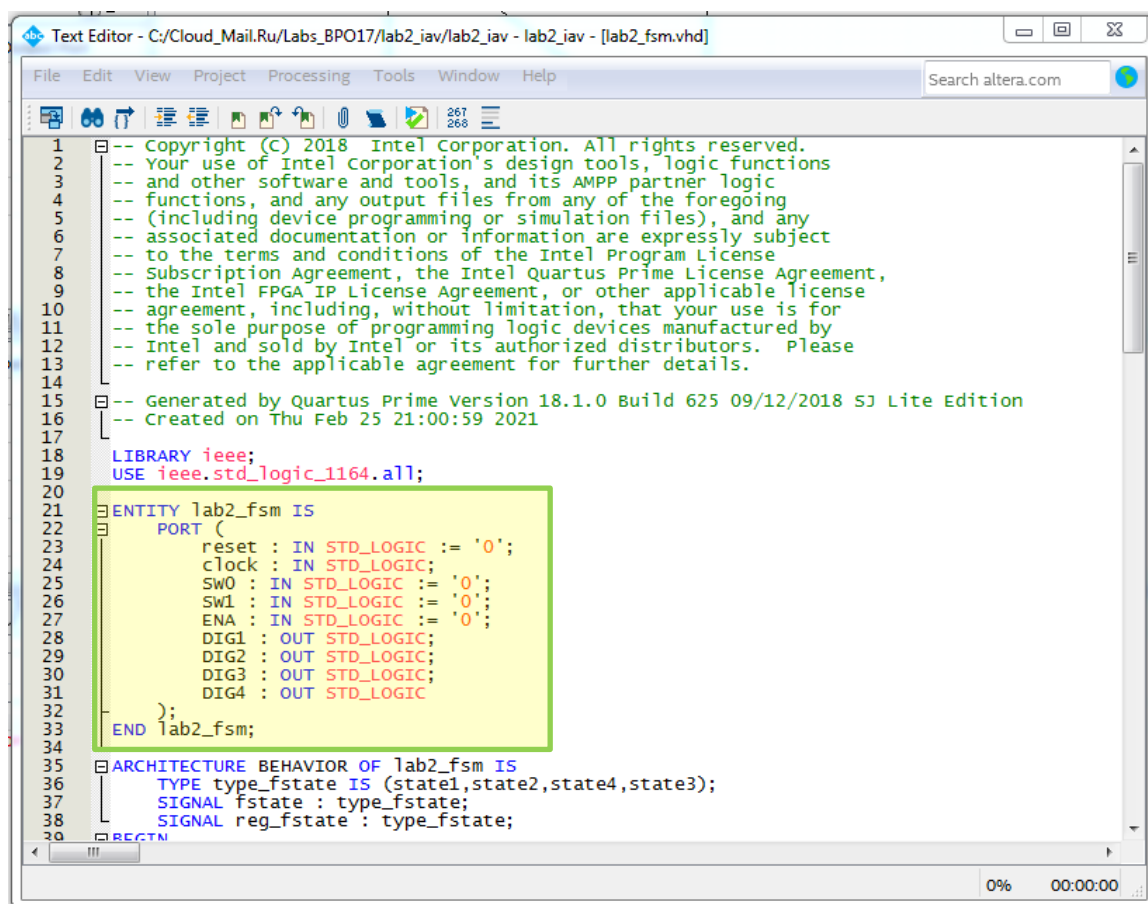


Рис. 19 Файл описания созданного автомата на языке HDL

3.17. В окне открытого текстового редактора выполните

File -> Create/Update -> Create Symbol File for Current File

Будет создан графический символ для созданного автомата, который будет использоваться в качестве компонента для схемы проекта (рис. 20).

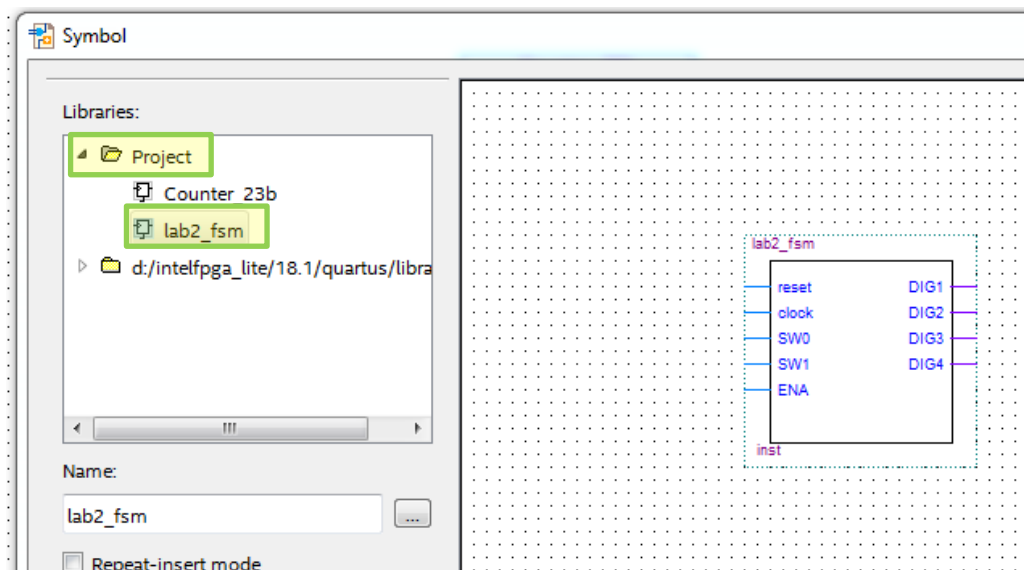


Рис. 20 Символ созданного автомата в библиотеке проекта

4. Создание дизайн - файла с помощью схематического редактора

4.1. Выполните **File -> New** или **Create New Design** в окне **Task** (рис. 21a), откроется окошко (рис.21b) с выбором типов создаваемых файлов.

Выберите **Block Diagram/Schematic File**, далее «OK». В результате откроется окошко схематического редактора (**Schematic editor**).

4.2. Сохраните файл со схемой **File -> Save As** с именем **lab2_iav.bdf**. Пакет по умолчанию предлагает имя файла с именем проекта и расширением, которое определяется выбранным типом проектного файла. По умолчанию опция '**Add file to current project**' включена и при сохранении созданный файл автоматически подключится к текущему проекту.

4.3. Нарисуйте схему проекта (рис. 22). Инструменты для создания схемы и работа с ними описаны в документе «Практическое занятие 1_v1». Доступ к созданным экземплярам компонентов из **IP_catalog**—а осуществляется через автоматически создаваемую папку **Project** в библиотеке элементов (рис. 20). Выбирайте верхний регистр при именовании сигнала для лучшей читаемости схемы.

Пояснения к схеме. Сигналы **SW0**, **SW1**, **PBA** поступают на цепочки из двух последовательно соединенных триггеров для исключения явлений метастабильности триггеров, из которых построен регистр состояний автомата. Таким образом, асинхронные входные сигналы привязываются к тактовой частоте **CLK_25MHZ**, на которой работает схема проекта и удовлетворяют требованиям правил построения синхронных схем.

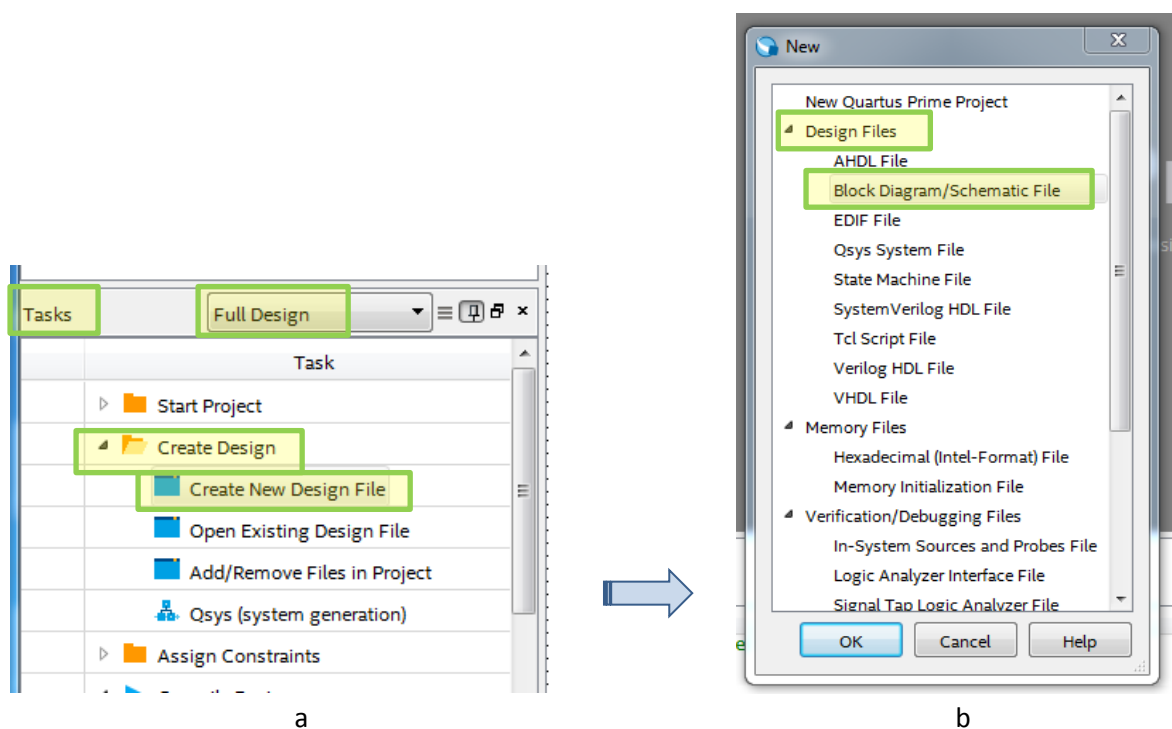


Рис. 21 Окно создания проектного файла (а) и окно выбора типа создаваемого проектного файла(б)

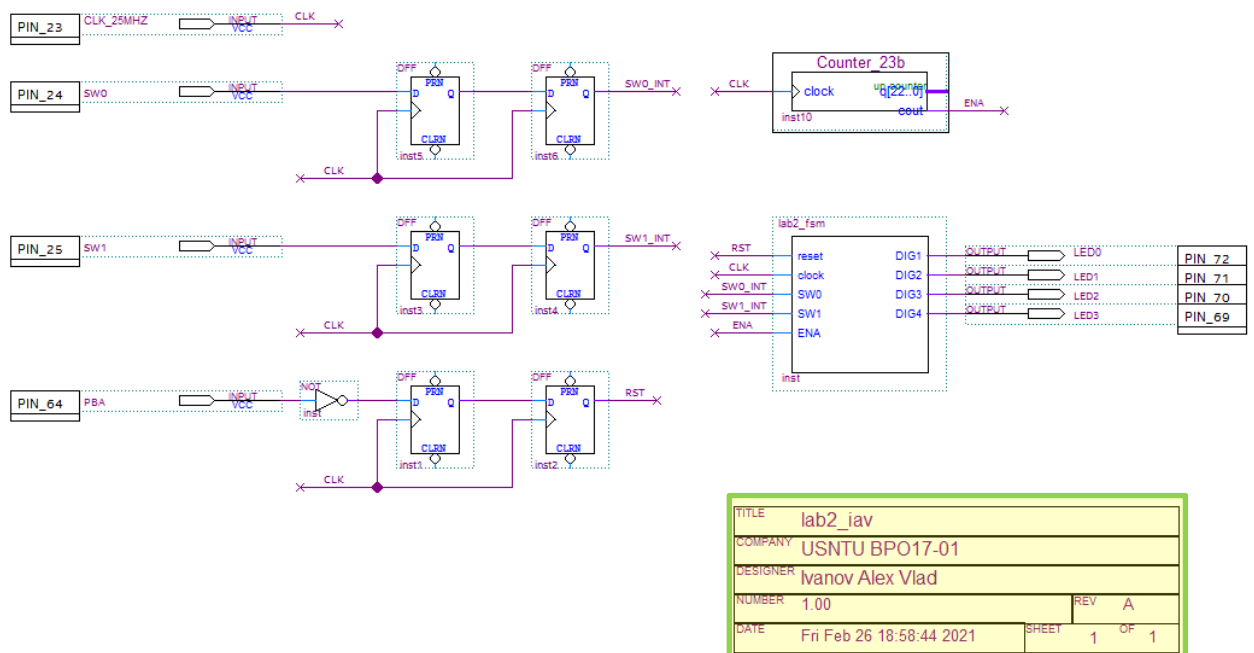



Рис. 22 Схема проекта lab2_iav

Схему удобнее рисовать с включенной сеткой, управление ее видимостью можно выполнить следующим образом: **View-> Show Guidelines** или кликнуть ПКМ на экране редактора, затем выбрать **Show->Show Guidelines**. Если на схеме видны только части имен, настройте параметры монитора на вашем компьютере (может быть установлен не тот масштаб изображения). После создания схемы сохраните ее.

5 Назначение выводов ПЛИС

5.1. После того как схема полностью нарисована, можно провести ее проверку на правильность составления и возможность синтезировать в базе выбранной микросхемы ПЛИС. Для этого выберите задачу **Analysis@Synthesis** из окна задач **Tasks** или нажмите кнопку  на панели задач или выполните **Ctrl+K** или **Processing->Start->StartAnalysis@Synthesis**. Запустится компиляция, результаты которой можно наблюдать в окне **Compilation Report** (рис. 28).

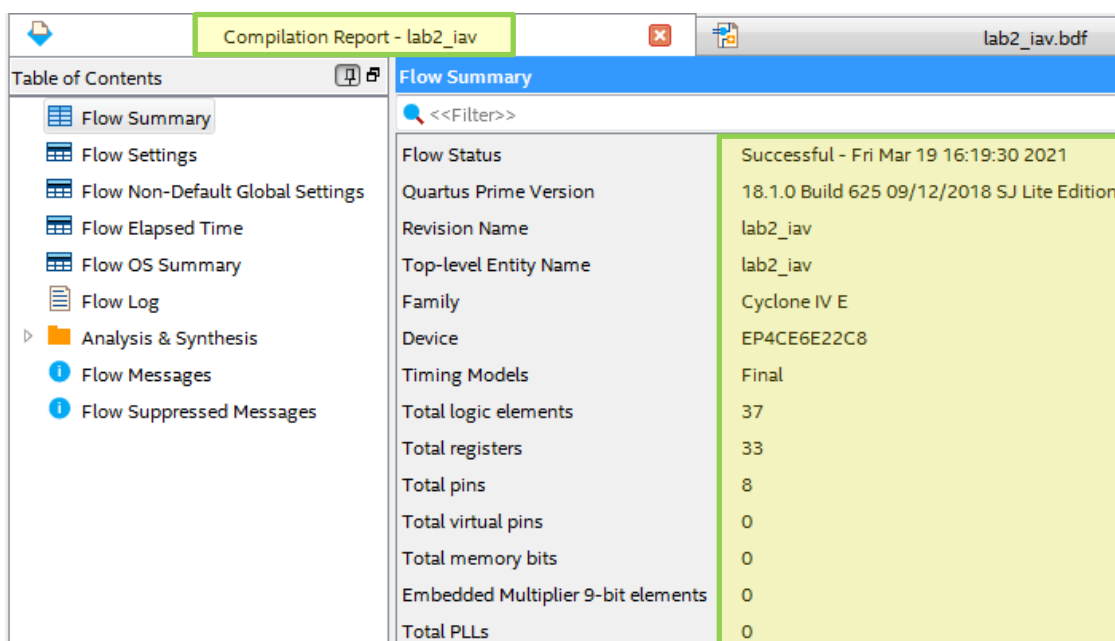


Рис. 28 Окно с результатами компиляции

В случае успешной компиляции в окне **Message** появится информация об ее успешном окончании (рис. 29).

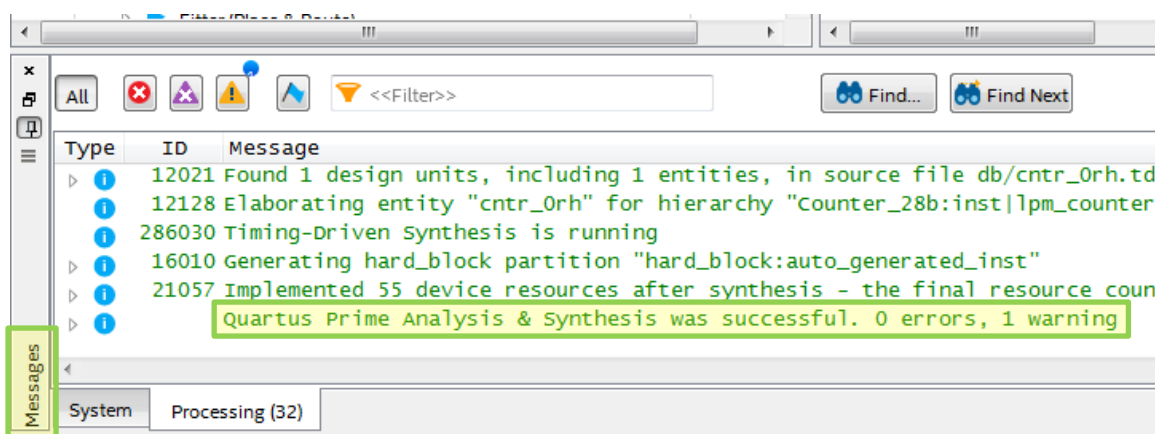


Рис. 29 Окно Message с результатами компиляции

В противном случае появятся сообщения об ошибках и предупреждения, которые необходимо устранить. Если схема не установлена в качестве целевого проекта, тогда при

компиляции возможна генерация сообщения об ошибке в окне **Messages** следующего типа:

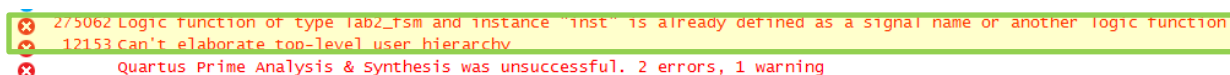
12007 Top-level design entity "lab1_iav" is undefined

Так часто бывает при разработке иерархических проектов, когда приходится отлаживать схемы разного уровня иерархии. Для того чтобы скомпилировать выбранную схему нужно сделать ее проектом верхнего уровня. В этом случае, при открытом окне схемного редактора с нужной схемой, выполните

Project -> Set as top-level entity или **Ctrl+Shift+J**

Текущая схема станет проектом верхнего уровня и может быть скомпилирована.

Возможно также появление сообщения следующего типа:



Схематический редактор при рисовании схемы присвоил один и тот же номер разным компонентам. В этом случае выберите компонент, на который ссылается в сообщении компилятор, на схеме и откройте ПКМ выпадающее окно с опциями настроек. Выберите опцию **Properties** и в открывшемся окне **Symbol Properties** (рис. 30) в строке **Instance name** введите любой свободный номер.

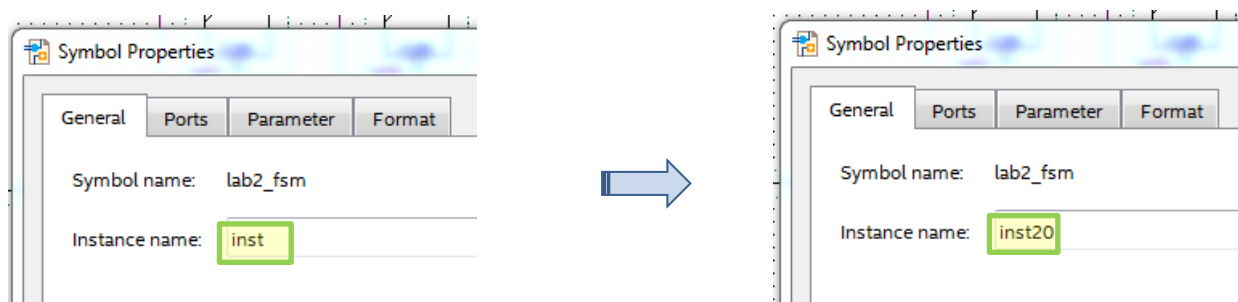



Рис. 30 Окно **Symbol Properties** для просмотра и редактирования свойств компонента схемы

5.2. В результате компиляции также формируется список сигналов для редактора выводов **Pin Planner**, которые необходимо привязать к выводам микросхемы. Откройте редактор **Pin Planner** (рис. 31) одним из следующих способов: **Assignments -> Pin Planner**

/ **Ctrl** + **Shift** + **N** / кнопка **Pin Planner**  на панели задач



5.3. В поле **Location** для каждого сигнала необходимо установить номер вывода микросхемы в соответствии со схемой отладочной платы. Для этого в строке выбранного сигнала в поле **Location** кликните ЛКМ и наберите номер вывода как на рисунке 32 (набирайте только номер вывода!). После того как все сигналы будут привязаны к выводам микросхемы ПЛИС, закройте окно редактора, все изменения автоматически сохраняются в файле проекта **Pr1.qsf** (quartus setting file).

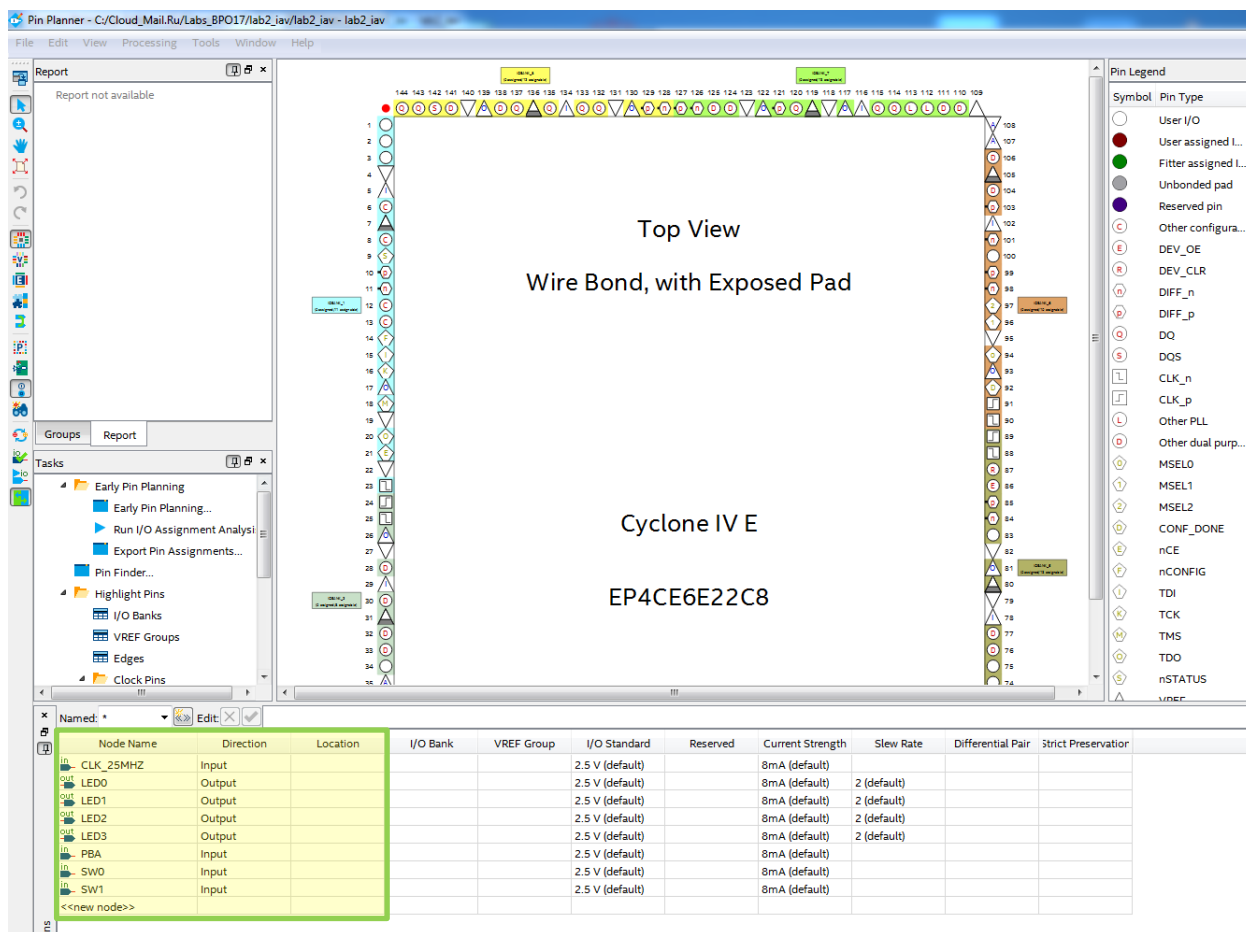


Рис.31 Окно редактора Pin Planner

PIN_25										
Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength	Slew Rate		
CLK_25MHZ	Input	PIN_23	1	B1_NO	2.5 V (default)		8mA (default)			
LED0	Output	PIN_72	4	B4_NO	2.5 V (default)		8mA (default)	2 (default)		
LED1	Output	PIN_71	4	B4_NO	2.5 V (default)		8mA (default)	2 (default)		
LED2	Output	PIN_70	4	B4_NO	2.5 V (default)		8mA (default)	2 (default)		
LED3	Output	PIN_69	4	B4_NO	2.5 V (default)		8mA (default)	2 (default)		
PBA	Input	PIN_64	4	B4_NO	2.5 V (default)		8mA (default)			
SW0	Input	PIN_24	2	B2_NO	2.5 V (default)		8mA (default)			
SW1	Input	PIN_25	2	B2_NO	2.5 V (default)		8mA (default)			
<<new node>>										

Рис.32 Окно редактора Pin Planner с привязкой сигналов проекта к выводам ПЛИС

5.4. Все неиспользованные в проекте выводы микросхемы ПЛИС необходимо установить в режим «AS INPUT TRI-STATED». Для этого выполните **Assignments->Device->Device and Pin Options**. В появившемся окне **Device and Pin Options** выберите в поле **Category** строку **Unused Pins** и в окошке **Reserve all unused pins** выберите **As input tri-stated with weak pull-up** (рис. 33). После назначения выводов у символов ввода-вывода на схеме появятся номера выводов (PIN_nn) микросхемы, к которым они привязаны.

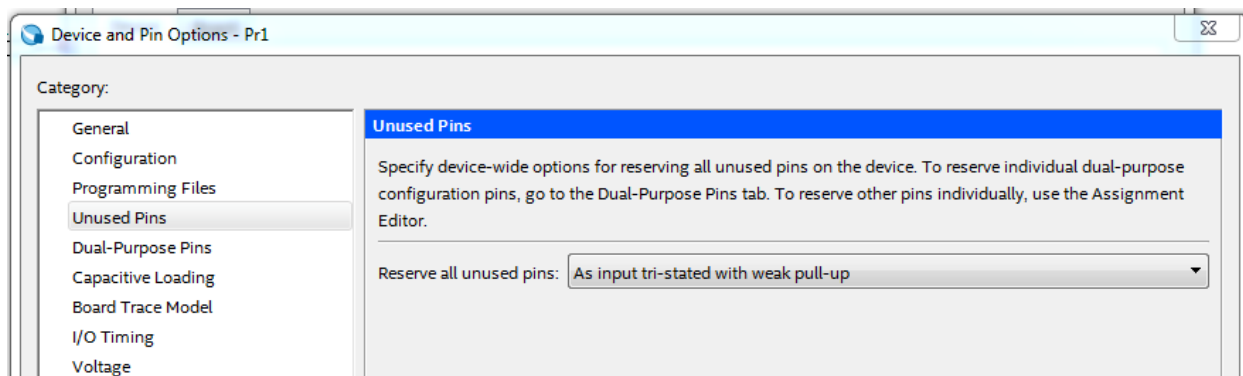


Рис.33 Назначение неиспользуемых выводов ПЛИС в режим “As input tri-stated with weak pull-up”

6. Создание sdc – файла

6.1. Создайте файл с информацией о временных требованиях (т.е. на какой частоте проект должен работать гарантированно) к проекту (рис. 34):

File =>New => Other Files => *Synopsys Design Constraints File*

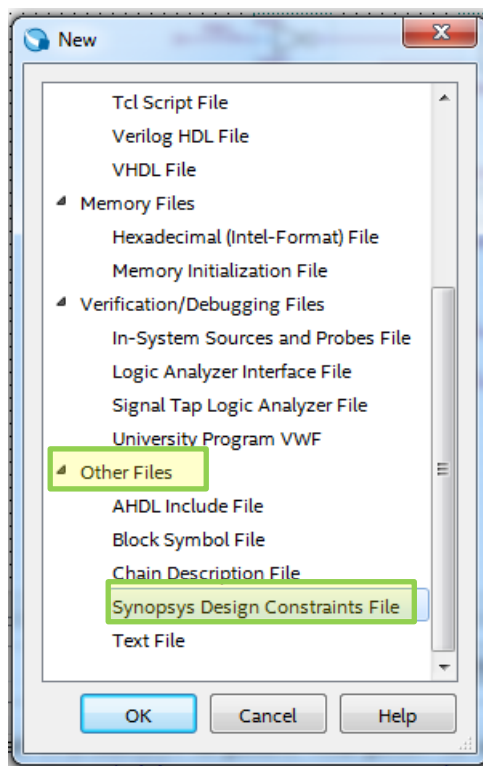


Рис. 34 Создание файла с временными требованиями

6.2. Сохраните созданный текстовый проектный файл **File =>Save As** с именем **lab2_iav.sdc** . Минимальный набор команд, который должен быть в нем определен, показан на рисунке 35.

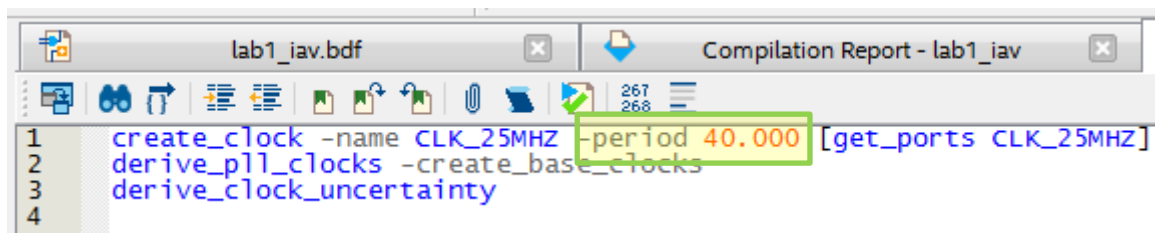


Рис. 35 Задание временных требований к проекту

Скопируйте и внесите в файл следующие строки (чтобы не набирать вручную):

```
create_clock -name CLK_25MHZ -period 40.000 [get_ports CLK_25MHZ]
derive_pll_clocks -create_base_clocks
derive_clock_uncertainty
```

В первой строке задана частота, которой должен удовлетворять проект. Данная частота (25MHz) поступает на вход ПЛИС с выхода генератора прямоугольных сигналов отладочной платы.

Подсказка.

Откройте *lab1_iav.sdc* из проекта *lab1_iav* (**File-> Open-> <path project/ lab1_iav/...>**). Сохраните под именем *lab2_iav.sdc* в папку проекта *lab2_iav* и добавьте в текущий проект *lab2_iav*. Важно, чтобы имена сигналов, для которых определены временные требования, в обоих проектах совпадали. При необходимости, отредактируйте значения временных параметров и имена сигналов.

6.3. Сохраните файл и проследите, чтобы файл появился в окне **Project Navigator** (Выберите вкладку **Files**)(рис. 36).

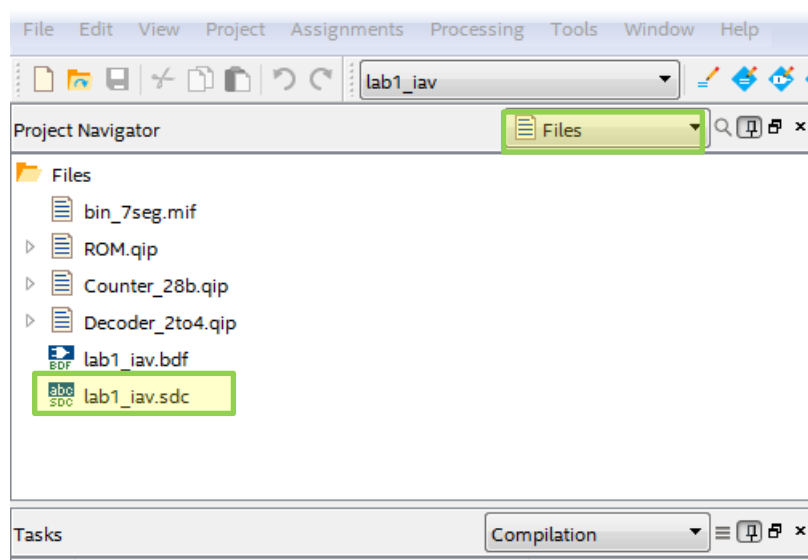


Рис. 36 Перечень файлов проекта в окне **Project Navigator**

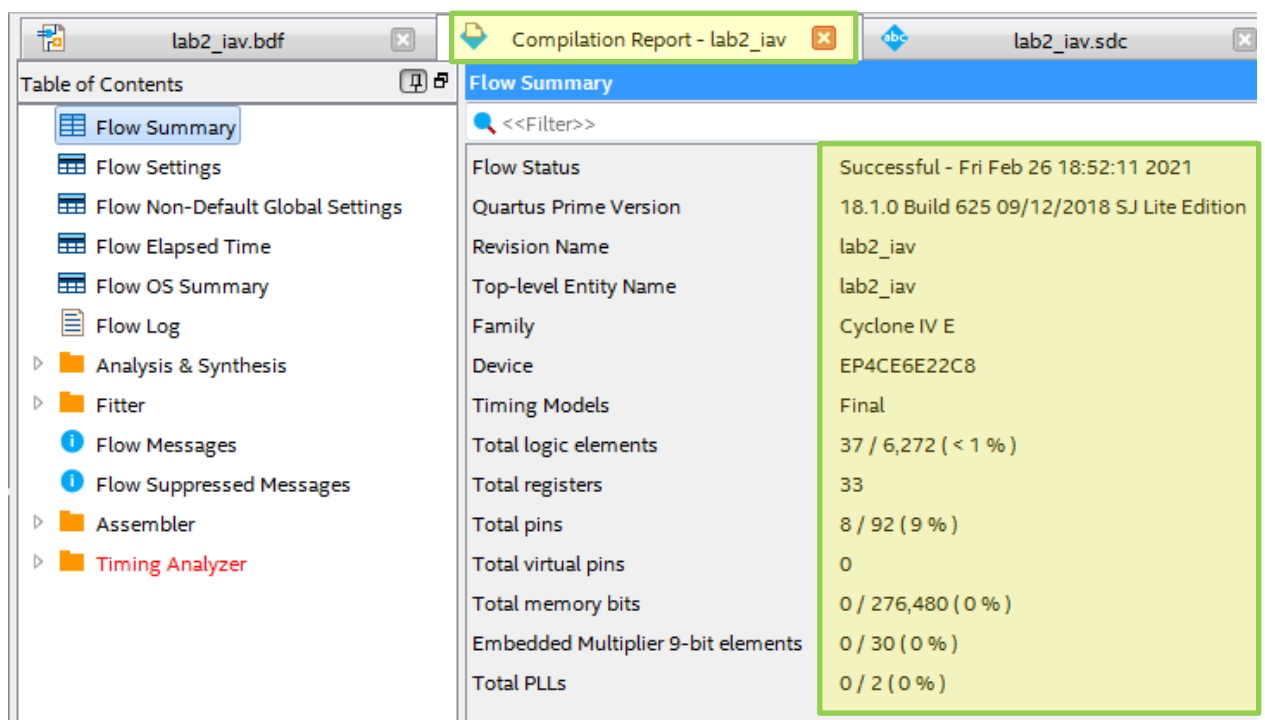
В противном случае, при открытом окне с файлом *lab1_iav.sdc* выполните **Project->Add Current File to Project**. Файл *lab2_iav.sdc* добавится в проект.

7. Выполнение полной компиляции проекта

7.1. После назначения сигналов на выводы микросхемы необходимо выполнить разводку схемы на кристалле ПЛИС (**Fitter**). Для этого выберите задачу **Compile Design**

из окна задач **Tasks** или нажмите кнопку  на панели задач

или выполните **Ctrl+L** или **Processing->Start Compilation**. Запустится компиляция, результаты которой можно наблюдать в окне **Compilation Report** (рис. 37). В окне отображаются основные параметры проекта и затраченные на его реализацию ресурсы микросхемы (количество логических элементов и использованных в них триггеров, количество выводов микросхемы, количество встроенных блоков памяти, умножителей и PLL).



Flow Summary	
<<Filter>>	
Flow Status	Successful - Fri Feb 26 18:52:11 2021
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	lab2_iav
Top-level Entity Name	lab2_iav
Family	Cyclone IV E
Device	EP4CE6E22C8
Timing Models	Final
Total logic elements	37 / 6,272 (< 1 %)
Total registers	33
Total pins	8 / 92 (9 %)
Total virtual pins	0
Total memory bits	0 / 276,480 (0 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	0 / 2 (0 %)

Рис. 37 Окно **Compilation Report** с результатами полной компиляции

7.2. В случае успешной компиляции в окне **Message** появится информация об ее успешном окончании (рис. 38). В противном случае появятся сообщения об ошибках и предупреждения, которые необходимо устранить.

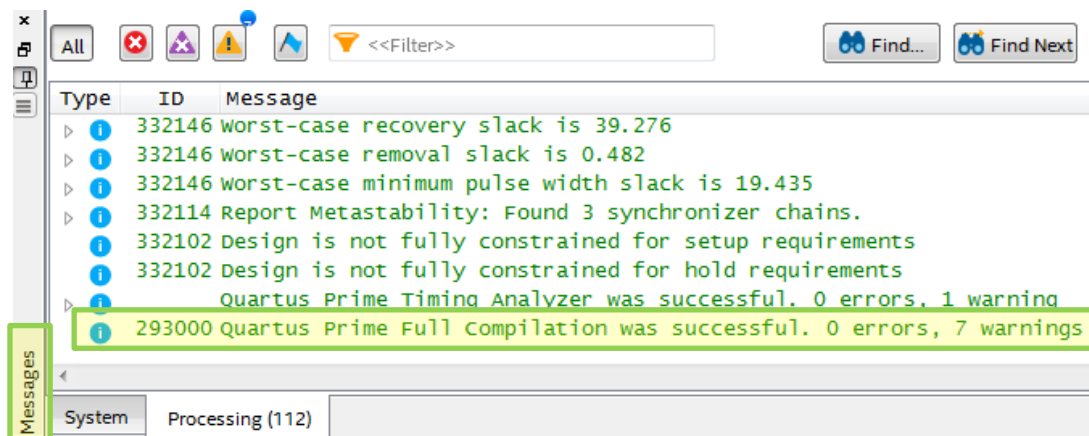


Рис. 38 Окно **Message** с сообщением о выполнении успешной полной компиляции

7.3. В окне **Compilation Report** откройте файл **Fmax Summary** с результатами временного анализа (рис. 39).

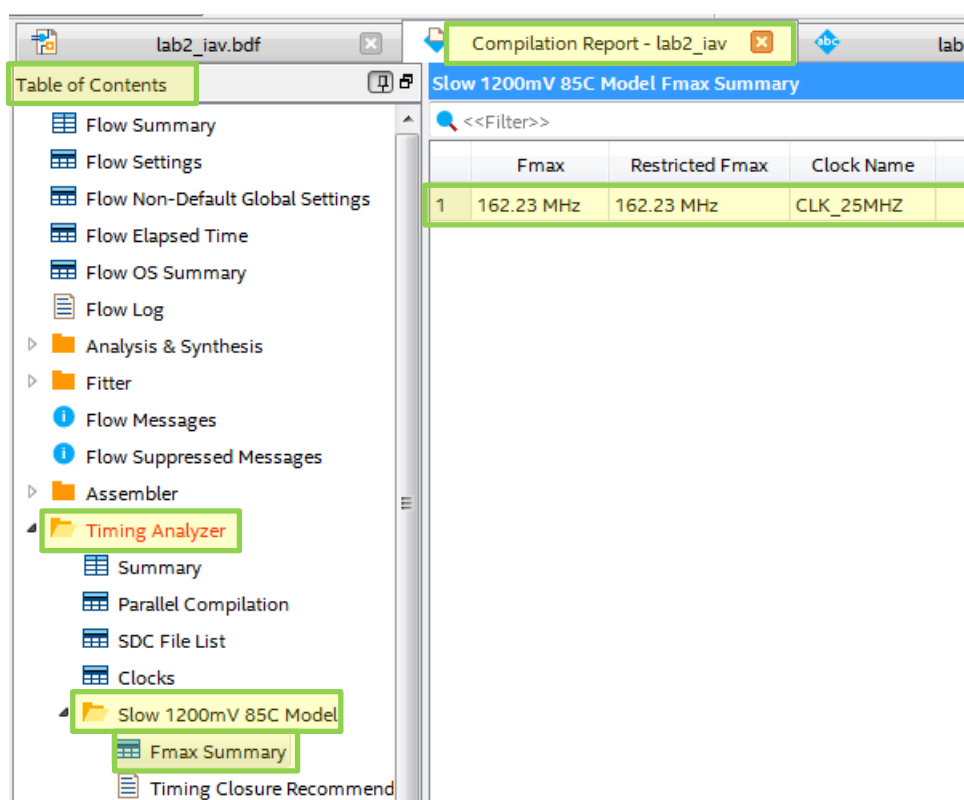


Рис. 39 Окно **Compilation Report** с результатами временного анализа проекта

Убедитесь, что максимально возможная частота работы проекта (Fmax), превышает заданные в файле **lab1_iav.sdc** временные требования (CLK_25MHZ).

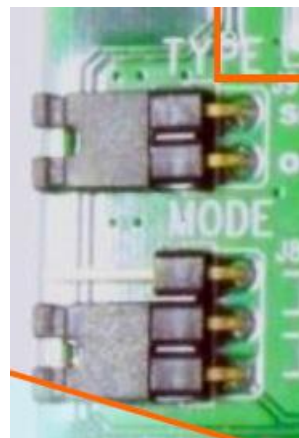
8. Конфигурирование ПЛИС и проверка работоспособности на отладочной плате.

8.1. Подсоедините к отладочной плате модуль 4-х разрядного 7-сегментного светодиодного индикатора.

8.2. Подключите отладочную плату **miniDLab-CIV** к компьютеру с помощью **USB** кабеля (тип A–miniB), и включите питание (рис. 40а). Проверьте правильность установки перемычек (рис. 40b).




a



b

Рис. 40 Переключатель Power(b) и конфигурация разъемов установки режимов работы платы (a)

8.3. Откройте окно программатора **Programmer** из окна **Tasks (Program Device)** или кнопкой  или **Tools->Programmer** (рис. 41).

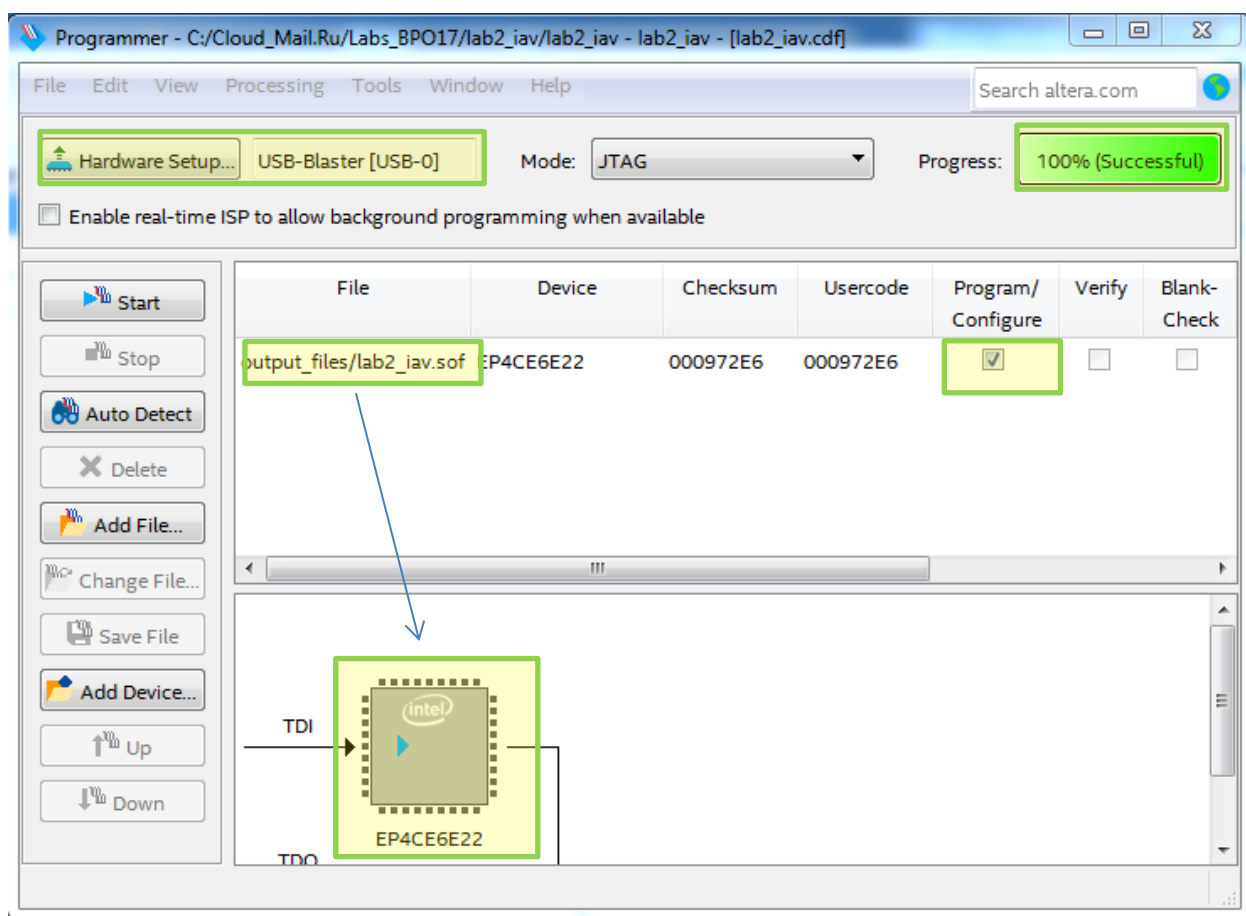


Рис.41 Окно программатора

8.4. Если **USB blaster** в программаторе не виден, выберите его через кнопку **Hardware Setup**.

8.5. Если конфигурационный файл автоматически не загрузился, выберите его с помощью кнопки **Add File** из папки **output_files** проекта, он хранится в файле с расширением **sof (SRAM Object File) lab1_iav.sof**.

8.6. Выполните **Start**, в окошке **Progress** будет виден текущий статус загрузки.

8.7. После успешной загрузки конфигурации ПЛИС проверьте работу проекта (табл. 1).

Таблица 2

Состояние переключателей SW1, SW0, PBA	Поведение схемы
SW[1,0]=00, PBA = OFF	Включен только светодиод LED0
SW[1,0]=01, PBA = OFF	Циклически, по одному, включаются светодиоды LED0, LED1, LED0, ...
SW[1,0]=10, PBA = OFF	Циклически, по одному, включаются светодиоды LED0, LED1, LED2, LED0, LED1, ...
SW[1,0]=11, PBA = OFF	Циклически, по одному, включаются светодиоды LED0, LED1, LED2, LED3, LED0, ...
SW[1,0]=xx, PBA = ON(кнопка нажата)	устройство сброшено, горит светодиод LED0 .

9.8. Выключите и отсоедините отладочную плату от компьютера.

Лабораторная работа завершена.

Общие требования к отчету:

1. Отрадите в отчете порядок выполнения лабораторной работы и занесите в него результаты выполнения ключевых этапов в виде рисунков (путем копирования необходимой информации с экрана монитора) и текстовых пояснений.
2. В выводах отразите суть выполненной работы и полученные навыки.
3. Проанализируйте полученные данные, если это требуется в задании, и сделайте по ним выводы.