МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

«УФИМСКИЙ ГОСУДАРСТВЕННЫЙ НЕФТЯНОЙ

ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»

Кафедра вычислительной техники и инженерной кибернетики

ОТЧЁТ ПО ЛАБОРАТОРНОЙ РАБОТЕ № 1

по дисциплине «Программирование интегральных схем»

Выполнил:

ст. гр. БПО-18-01 Фахритдинова Э.В.

Проверил:

доцент кафедры ВТИК Богданов Д.Р.

Уфа, 2022

Тема: **Изучение IP-компонентов и редактора создания содержимого памяти**

**САПР Quartus Prime Lite**

**Цель лабораторной работы:** Знакомство с базовыми возможностями схемного ввода в пакете Quartus II и возможностями редактора начального содержимого модуля памяти.

**Постановка задачи:** Создать проект устройства, которое отображает информацию на разрядах светодиодного индикатора. Информация формируется счетчиком, работающим в режиме прямого счета входных сигналов частотой 25MHZ. Выбор разряда индикатора, который должен отображать цифру, определяемую текущим кодом с выхода счетчика, осуществляется с 2-х ползунковых переключателей SW5, SW4.

**Решение задачи:** Проект выполним в виде электрической схемы, которая работает следующим образом:

На вход 28-разрядного счетчика **Counter\_28b** поступает входная частота 25Mhz, на выходах старших разрядов счётчика **Q[27..24]** при этомформируется периодический двоичный код, который служит тестовой информацией для отображения на 4-х разрядном светодиодном индикаторе. Счетчик **Counter\_28b** выполнен на базе ***IP ядра*** ***LPM\_COUNTER***.

Далее, эти данные поступают в преобразователь двоичного кода в 7-сегментный код. Преобразователь кода реализован на базе постоянного запоминающего устройства ROM, который выполнен на базе ***IP ядра*** ***ROM: 1- PORT.*** На адресные входы компонента ROM подаётся двоичный код, а с выхода данных снимается 8-разрядный 7-сегментный код. Инициализация памяти компонента ROM осуществляется с помощью файла **bin\_7seg.mif**, подключаемого к компоненту на этапе его создания. Файл **bin\_7seg.mif** формируется из данных, находящихся в файле **bin\_7seg.xls**.

Выбор разряда индикатора для отображения информации осуществляется с помощью дешифратора **Decoder\_2to4**, входной код которого формируется сигналами **SW5, SW4** на отладочной плате. Компонент **Decoder\_2to4** выполнен на базе ***IP ядра*** ***LPM\_DECODE***.

**Выполнение лабораторной работы:**

1. Создаем проект lab1\_fev.qpf:

имя дизайн - файла – lab1\_fev

микросхема СБИС – EP4C6E22C8.

2. Создаем компоненты для реализации проекта:

* bin\_7seg.mif – файл инициализации памяти объемом 16х8 бит;
* ROM.bsf – экземпляр модуля памяти емкостью 16х8 бит на основе мегафункции ROM:1-PORT, в качестве файла инициализации памяти используем файл bin\_7seg.mif;
* Counter\_28b.bsf – 28 разрядный экземпляр счетчика на основе мегафункции   
  LPM\_COUNTER;
* Decoder\_2to4.vhd – экземпляр декодера 2=>4 на основе мегафункции   
  LPM\_DECODE;

3. На базе созданных компонентов, рисуем схему проекта в схематическом редакторе

(рис. 1). Сохраняем схему в файле lab1\_fev. bdf.

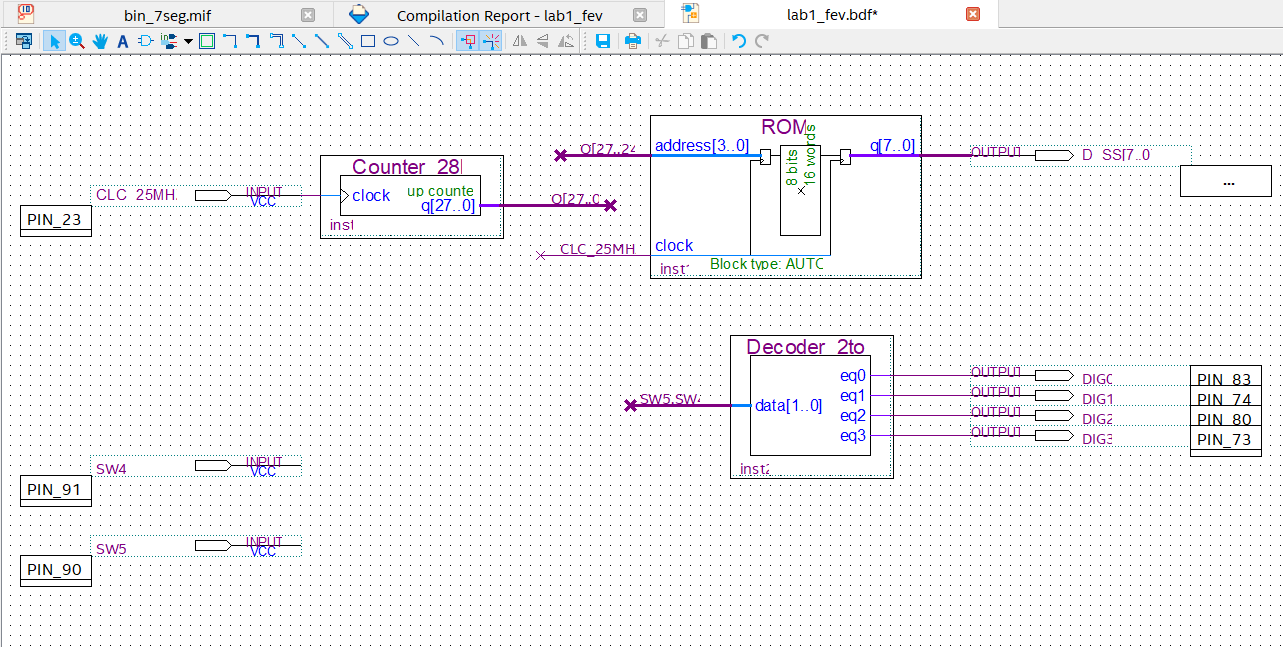
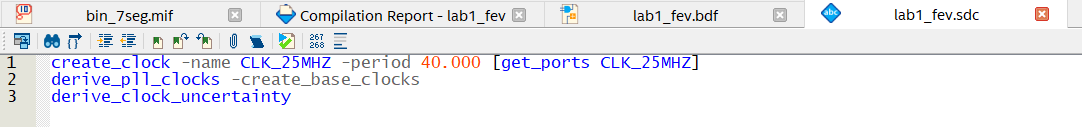


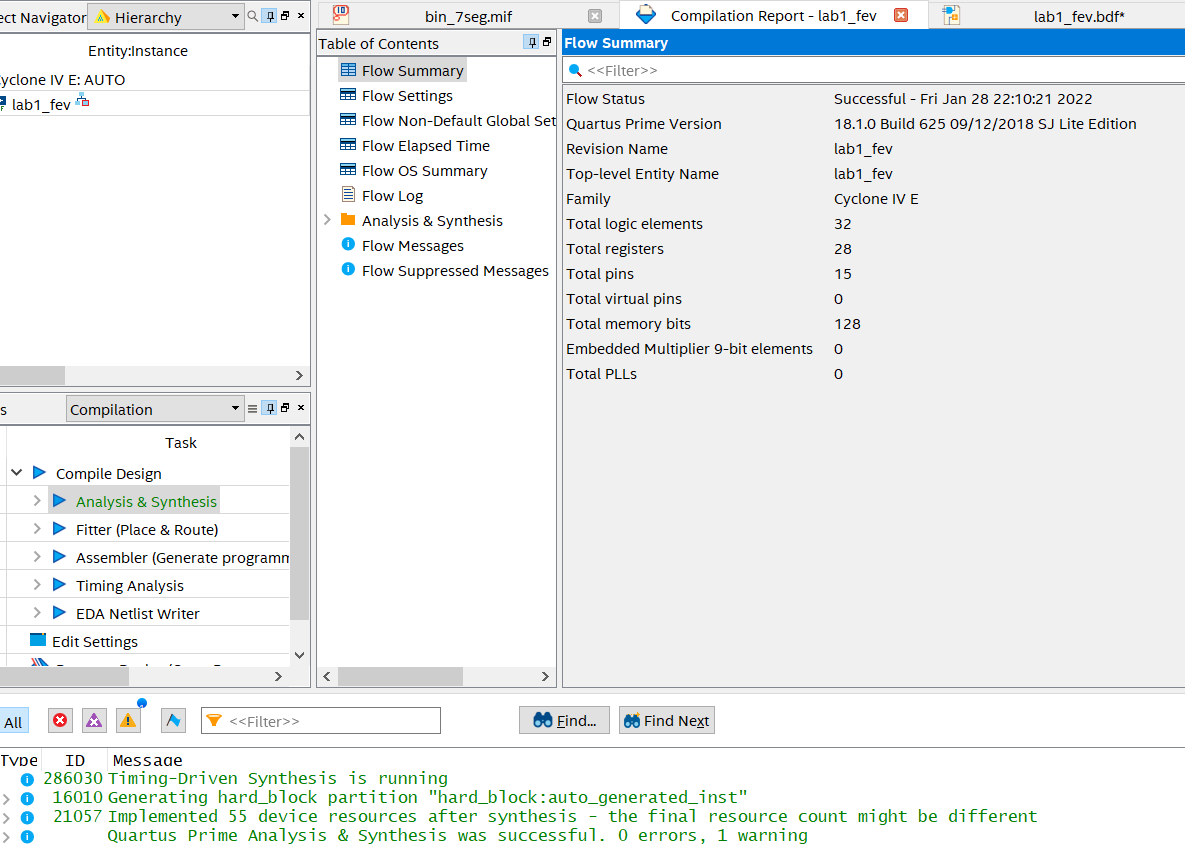
Рис. 1 Схема проекта lab1\_fev

4. Выполняем проверку и синтез схемы путем запуска задачи **Analysis@Synthesis.** Результат выполнения задачи представлен на рис. 2.

5. Выполняем назначение выводов ПЛИС (рис. 3).

6. Создаем файл с информацией о временных требованиях к работе схемы lab1\_fev. sdc

7. Выполняем полную компиляцию проекта. Сообщения об успешности компиляции, результаты полной компиляции проекта и временного анализа проекта представлены на рис. 4, 5 и 6. Видно, что временные параметры проекта удовлетворяют заданным требованиям файла lab1\_fev.sdc.

 Рис. 2 Окно с результатами выполнения задачи **Analysis@Synthesis** (Compilation Report)

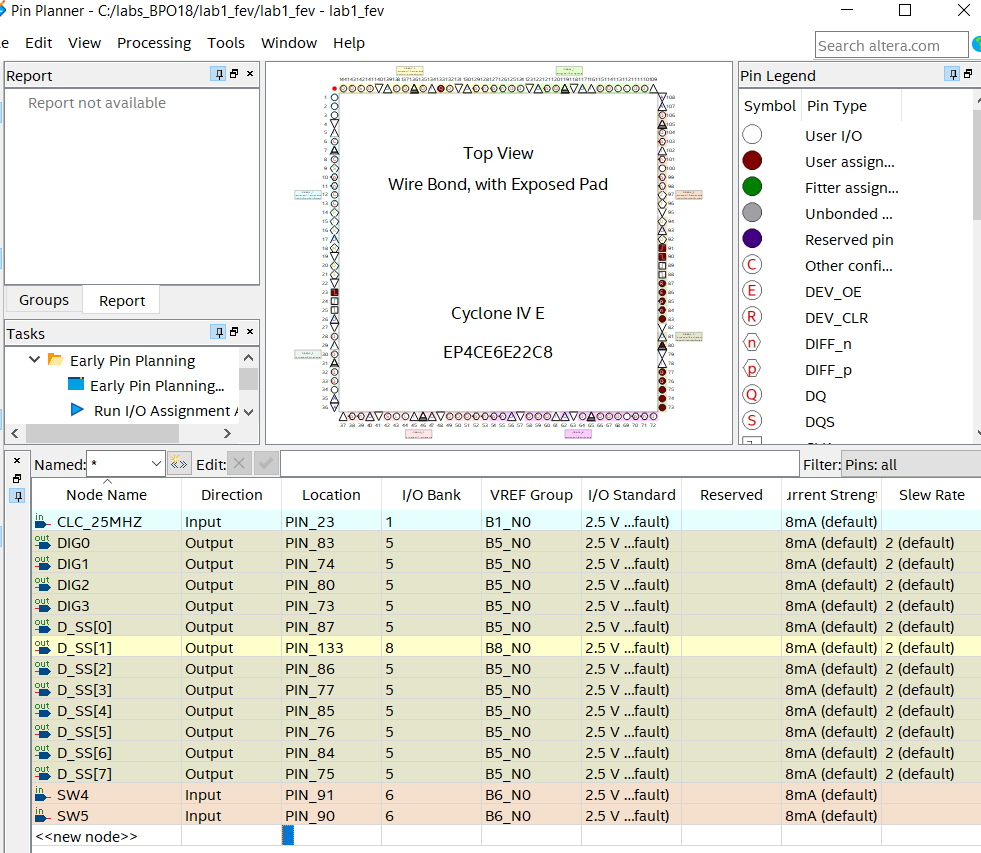


Рис. 3 Окно редактора **Pin Planner** с привязкой сигналов проекта к выводам ПЛИС

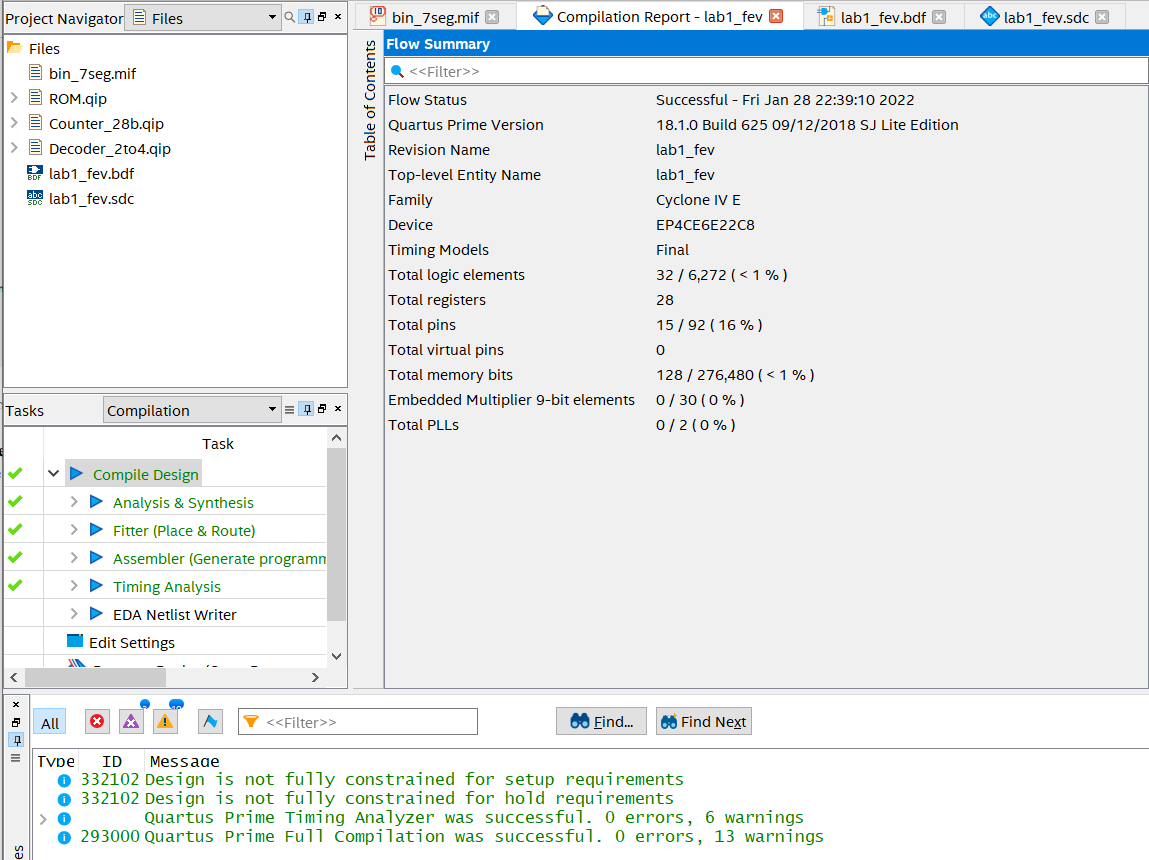


Рис. 4 Окно Message с сообщением об успешности полной компиляции проекта

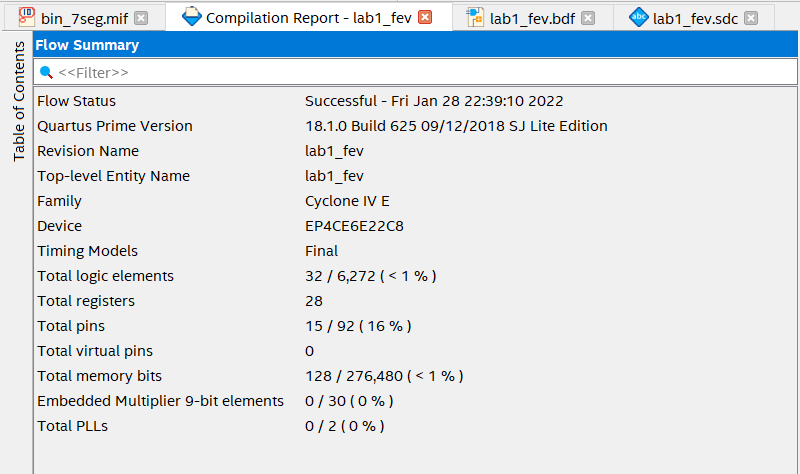


Рис. 5 Окно с результатами выполнения полной компиляции проекта(Compilation Report)

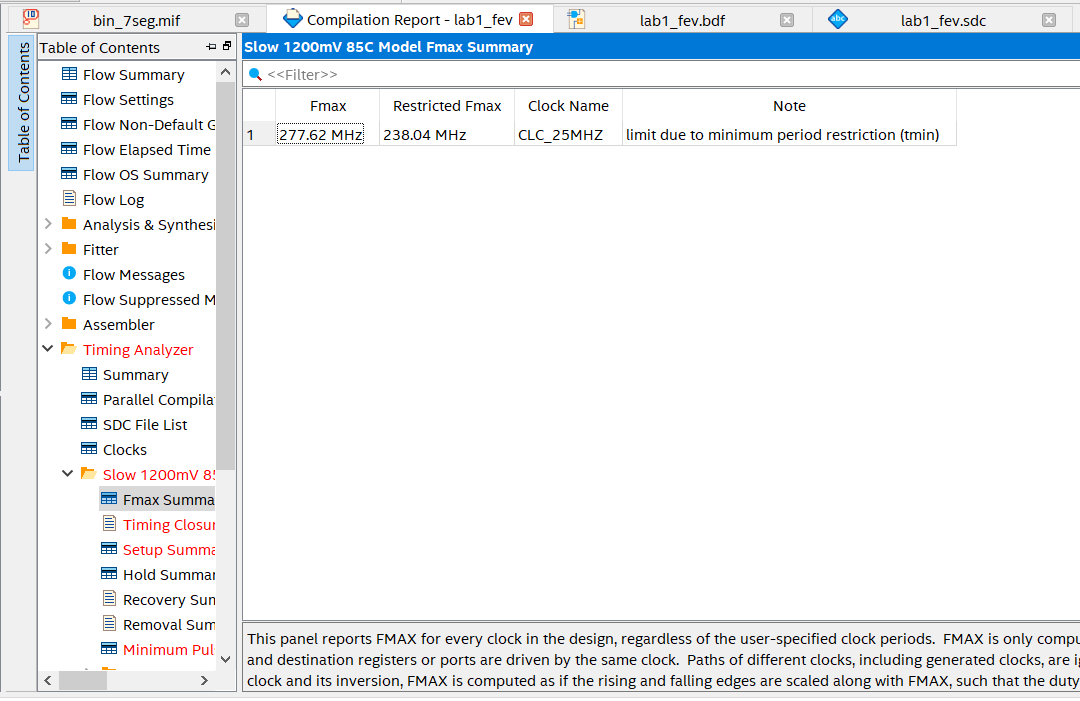


Рис. 6 Окно **Compilation Report** с результатами временного анализа проекта

8. Выполняем конфигурирование ПЛИС загрузочным файлом созданного проекта.

На рис 7. представлен результат успешности конфигурирования отладочной платы.

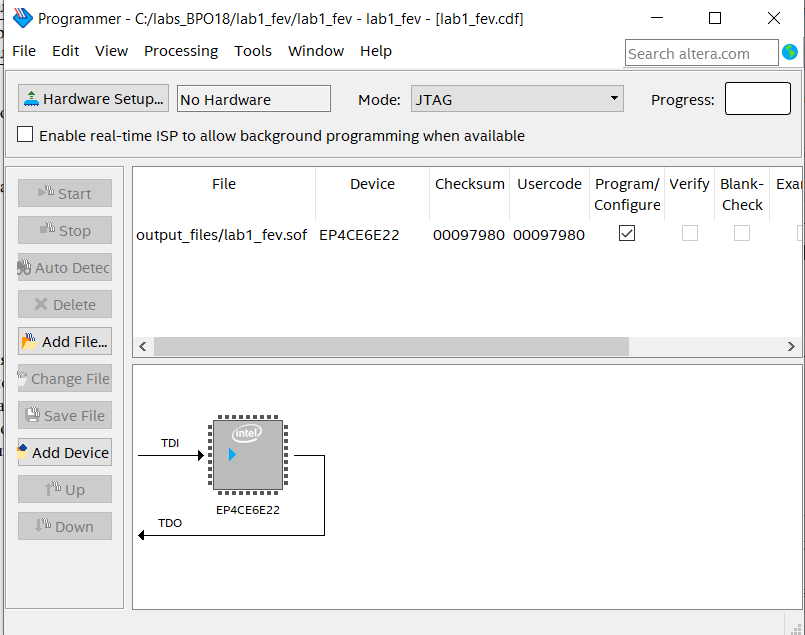


Рис.7 Окно программатора с информацией о конфигурировании ПЛИС

**Выводы.**

В результате выполнения лабораторной работы №1 были получены навыки создания компонентов с помощью **MegaWizared Plug-In Manager** на базебиблиотеки IP-core каталога, формирования файла инициализации памяти для компонента памяти ROM. Созданная схема была загружена в ПЛИС отладочной платы и проверена на предмет соответствия заданию: при манипуляции переключателями SW4, SW5 наблюдалась смена разрядов индикатора, на которых отображались цифры, соответствующие состоянию счетчика Counter\_28b. Результаты временного анализа во время полной компиляции показали, что проект удовлетворяет временным требования, которые были заданы в файле временных требований к проекту lab1\_fev.sdc.