

UNIVERSITA' DEGLI STUDI DI GENOVA

SCUOLA POLITECNICA



Corso di Studi in Ingegneria Elettronica

Progetto e simulazione di un circuito Full Adder TSPC

Alessio Caligiuri, Emanuele Anfuso

Indice

1	Introduzione	1
2	Analisi	2
2.1	Il modello del MOS	2
2.2	Funzionamento dinamico dei circuiti CMOS	3
2.3	Il Full Adder TSPC	5
2.4	La caratteristica reale del MOS	5
3	Progettazione	7
3.1	Dimensionamento dei transistor	7
3.2	Layout fisico	7
4	Simulazione	9
5	Conclusioni finali	10

Capitolo 1

Introduzione

In Fig. 1.1 il diagramma di flusso che descrive le fasi del nostro lavoro.

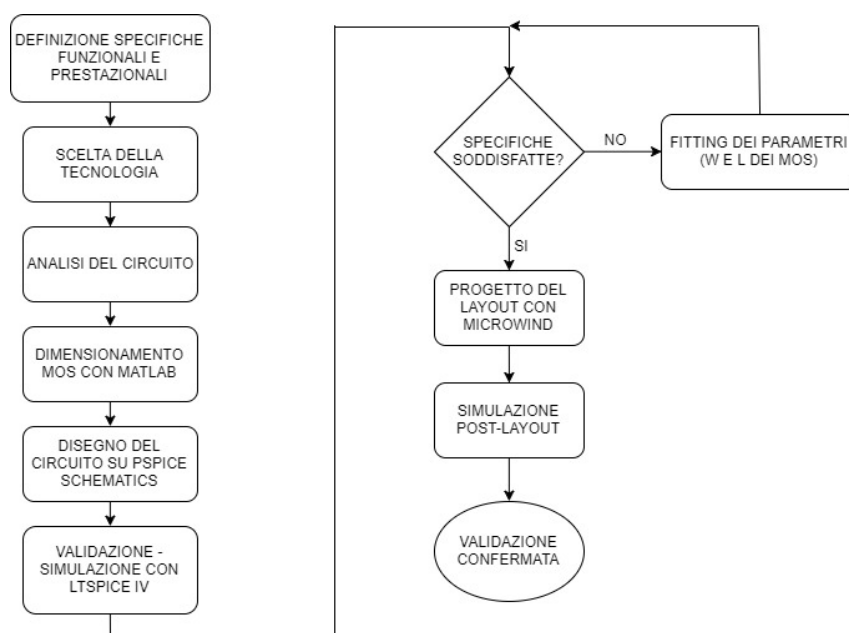


FIGURA 1.1: Flusso di processo.

Capitolo 2

Analisi

2.1 Il modello del MOS

In Fig. 2.1 il simbolo per un NMOS.

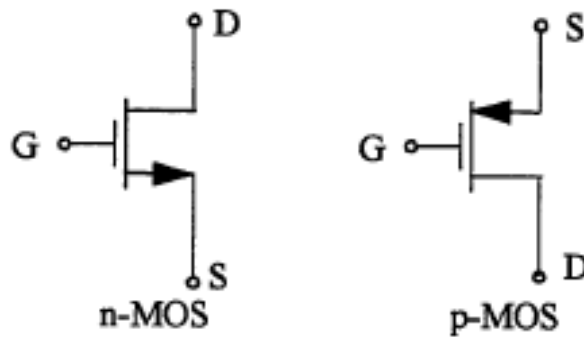


FIGURA 2.1: Simbolo NMOS (a sinistra) e PMOS (a destra)

L'eq. 2.1 descrive il comportamento di un MOS in zona di saturazione, impiegando un modello quadratico piuttosto semplificato:

$$I_D = \frac{1}{2} \mu_n C'_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2.1)$$

ed è valida quando $V_{DS} > V_{GS} - V_{th}$.

2.2 Funzionamento dinamico dei circuiti CMOS

Per valutare le prestazioni dinamiche della tecnologia CMOS, consideriamo come caso di studio un inverter con carico capacitivo ed effettuiamo un'analisi temporale fornendo in ingresso un'onda quadra.

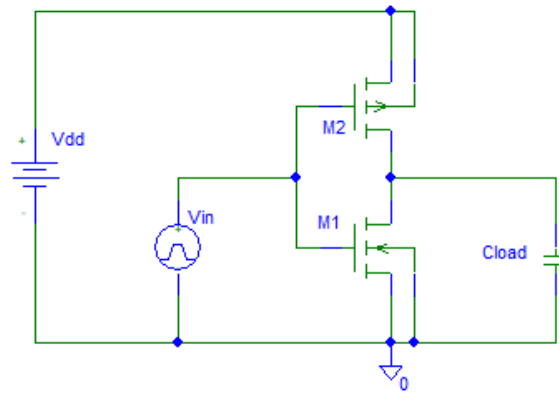


FIGURA 2.2: Inverter CMOS con capacità di carico.

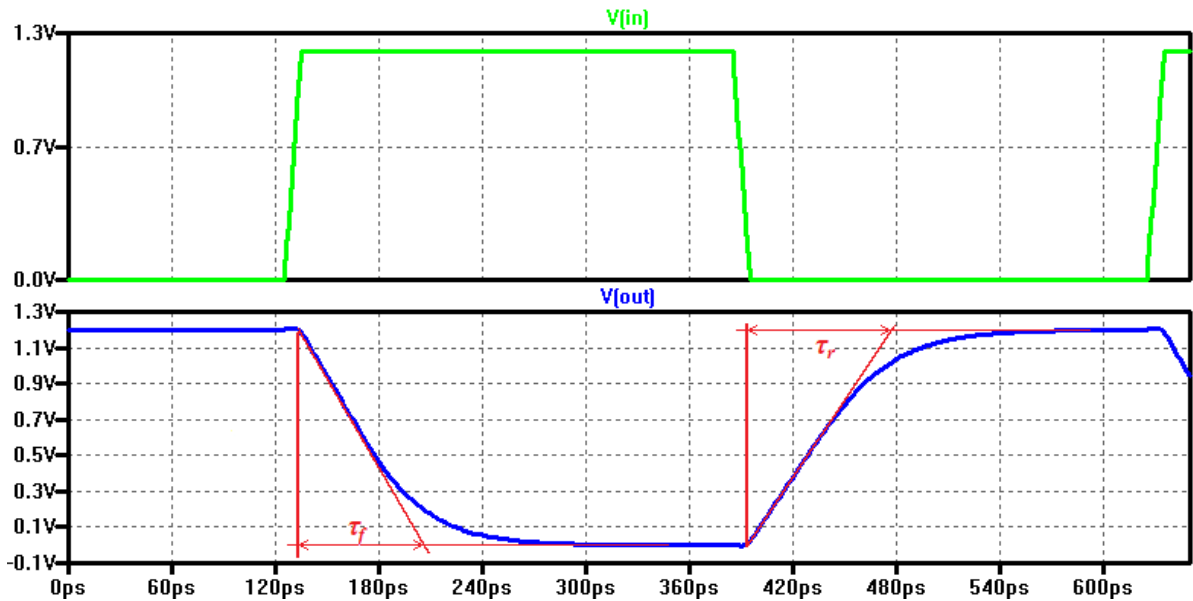


FIGURA 2.3: Simulazione temporale di un inverter CMOS con capacità di carico.

Consideriamo un fronte di discesa della tensione d'uscita: in questo caso il condensatore, precedentemente caricato a V_{DD} viene scaricato dal nMOS che funziona inizialmente in regime di saturazione ($V_{DS} > V_{GS} - V_{th_n}$) per poi concludere la scarica in zona lineare.

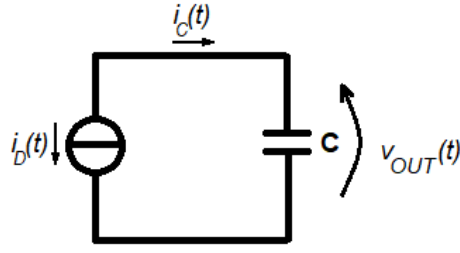


FIGURA 2.4: circuito equivalente per la scarica della capacità.

Questa situazione è schematizzata in figura 2.4. La corrente $i_D(t) = -i_C(t)$ è quella che scorre nel canale del nMOS scaricando il condensatore. Si ha che:

$$i_C(t) = C \frac{d}{dt} v_{OUT}(t) \quad (2.2)$$

da cui, integrando tra t_0 e t , si ottiene l'evoluzione temporale di $v_{OUT}(t)$ a partire dalla condizione iniziale $v_{OUT}(t_0)$:

$$\int_{t_0}^t i_C(\xi) d\xi = C \int_{t_0}^t \frac{d}{d\xi} v_{OUT}(\xi) d\xi \quad (2.3)$$

ovvero, calcolando l'integrale a secondo membro e riordinando i termini:

$$v_{OUT}(t) - v_{OUT}(t_0) = \frac{1}{C} \int_{t_0}^t i_C(\xi) d\xi \quad (2.4)$$

Un'approssimazione valida per semplificare l'analisi si ottiene supponendo che il transistor operi solo in saturazione; esso si comporta quindi come un generatore di corrente costante e $i_C(t) = -i_D(t) = -I_D$; in tal caso l'integrale a secondo membro diventa una retta in t e la scarica di C ha un andamento lineare:

$$v_{OUT}(t) - v_{OUT}(t_0) \approx -\frac{1}{C} \int_{t_0}^t I_D d\xi = -\frac{I_D}{C}(t - t_0) \quad (2.5)$$

Questa formula, chiaramente, ha senso fisico finché $0 < V_{out}(t) < V_{DD}$, ovvero per i t che soddisfano questo vincolo. Scegliendo un istante di tempo $t_1 > t_0$, si ha:

$$\Delta V = |v_{OUT}(t_1) - v_{OUT}(t_0)| \approx \frac{|I_D|}{C}(t_1 - t_0) \quad (2.6)$$

Nel caso del fronte di salita conduce il pMOS e si possono fare considerazioni analoghe; la 2.6 resta valida grazie agli operatori di valore assoluto.

Ai fini progettuali, in riferimento ai fronti di salita e discesa siamo interessati al tempo necessario per passare dal livello logico basso ($0V$) a quello alto ($+V_{DD}$) e viceversa. Nel caso di fronte di discesa, iniziamo l'analisi con C carico a $v_{OUT}(t_0) = V_{DD}$ e scegliamo t_1 t.c. $v_{OUT}(t_1) = 0$; facciamo il viceversa con il fronte di salita. Otteniamo così una comoda formula approssimata, valida in entrambi i casi:

$$\Delta V = \frac{\tau |I_D|}{C} \quad \Leftrightarrow \quad |I_D| = C \frac{\Delta V}{\tau} \quad (2.7)$$

dove $\Delta V = V_{DD}$ è (in modulo) il "salto" di tensione da compiere e $\tau := t_1 - t_0$ è una stima del tempo di salita/discesa, ovvero il tempo di carica/scarica (lineare) della capacità $C = C_{load}$.

La validità di questa formula è discutibile: la stima del tempo di discesa è ottimistica ma è comunque utilizzabile come riferimento grossolano ai fini progettuali. Infatti, unendo questo risultato con l'equazione 2.1 (corrente di drain del MOS in saturazione) si ottiene una formula di progetto approssimata per determinare il rapporto d'aspetto necessario per avere i desiderati tempi di salita e discesa:

$$\frac{W}{L} = \begin{cases} \frac{2 C_{load} V_{DD}}{\tau \mu_n C'_{ox} (V_{DD} - V_{thn})^2} & nMOS \\ \frac{2 C_{load} V_{DD}}{\tau \mu_p C'_{ox} (V_{DD} - |V_{thp}|)^2} & pMOS \end{cases} \quad (2.8)$$

Una rappresentazione della carica/scarica lineare confrontata con l'andamento reale è visibile in figura 2.3.

2.3 Il Full Adder TSPC

2.4 La caratteristica reale del MOS

Il modello del MOS mostrato nella sezione 2.1 è ben distante dalla realtà, perché si manifestano:

- *effetti di canale corto*, particolarmente visibili quando i transistor sono realizzati con la lunghezza minima disponibile per la tecnologia, come nel caso dei dispositivi digitali, in cui si vogliono minimizzare le dimensioni; ciò comporta la progressiva riduzione della velocità dei portatori di carica nel canale, diminuendo il fattore μ e quindi il guadagno;

- *effetto body*, per il quale la V_{th} diminuisce all'aumentare della tensione V_{SB} ; nei dispositivi integrati spesso il source del MOS non è collegato al bulk (ovvero il substrato) e quindi $V_{SB} \neq 0 \Rightarrow |V_{th}| < |V_{th0}|$ (con V_{th0} tensione di soglia per $V_{SB} = 0$).

Utilizzando il software *Microwind* e il simulatore *LTspice* abbiamo ottenuto varie curve caratteristiche per confrontare il risultato più vicino alla realtà con quello aderente al modello teorico presentato in sezione 2.1.

Capitolo 3

Progettazione

3.1 Dimensionamento dei transistor

In Tab. 3.1 le dimensioni ottenute per ciascun transistor.

Id MOS	Rapporto d'aspetto	$W(\mu\text{m})$	$L(\mu\text{m})$
1	30	3.24	0.12
2	12	2.24	0.12

TABELLA 3.1: Tabella dimensioni MOS

3.2 Layout fisico

In Fig. 3.1 il layout finale del Full Adder TSPC.

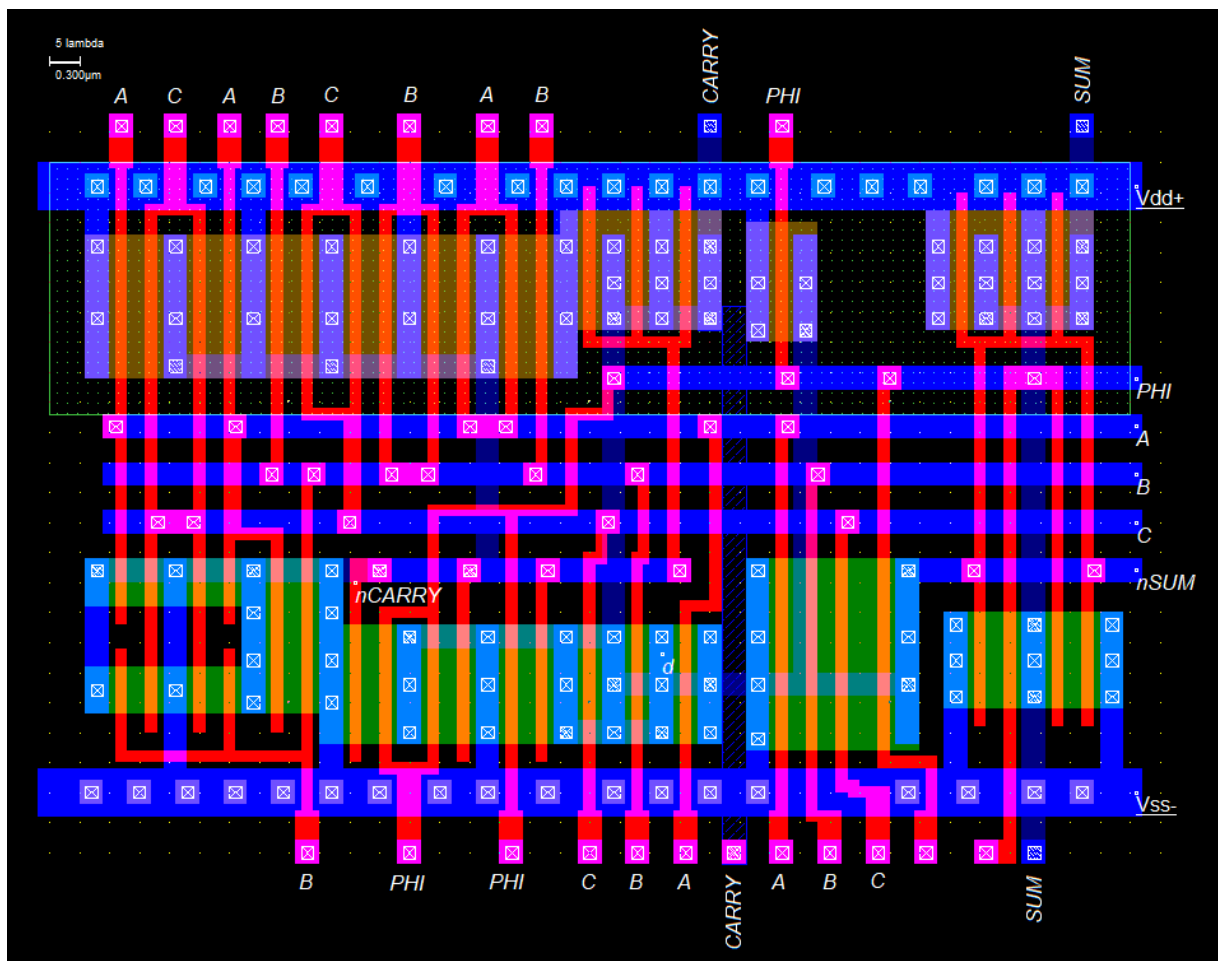


FIGURA 3.1: Layout finale.

Capitolo 4

Simulazione

page header

Capitolo 5

Conclusioni finali

page header

Bibliografia