

UNIVERSITA' DEGLI STUDI DI GENOVA

SCUOLA POLITECNICA



*Corso di Studi in Ingegneria Elettronica*

# Progetto e simulazione di un circuito Full Adder TSPC

Alessio Caligiuri, Emanuele Anfuso

# Indice

<b>1</b>	<b>Introduzione</b>	<b>1</b>
<b>2</b>	<b>Analisi</b>	<b>2</b>
2.1	Il modello MOS . . . . .	2
2.2	Il Full Adder TSPC . . . . .	3
<b>3</b>	<b>Progettazione</b>	<b>4</b>
3.1	Dimensionamento dei transistor . . . . .	4
3.2	Layout fisico . . . . .	4
<b>4</b>	<b>Simulazione</b>	<b>6</b>
<b>5</b>	<b>Conclusioni finali</b>	<b>7</b>

# Capitolo 1

## Introduzione

In Fig. 1.1 il diagramma di flusso che descrive le fasi del nostro lavoro.

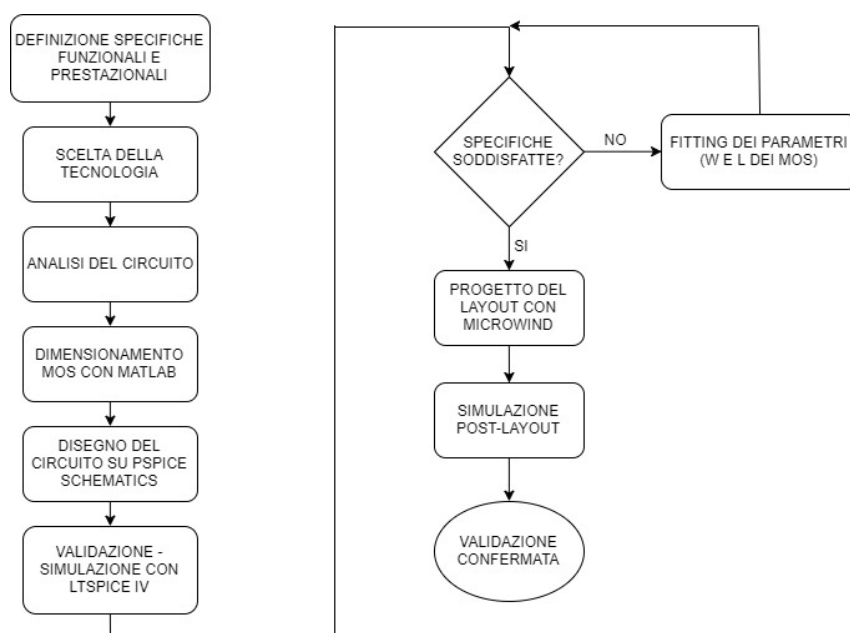


FIGURA 1.1: Flusso di processo.

# Capitolo 2

## Analisi

### 2.1 Il modello MOS

In Fig. 2.1 il simbolo per un NMOS.

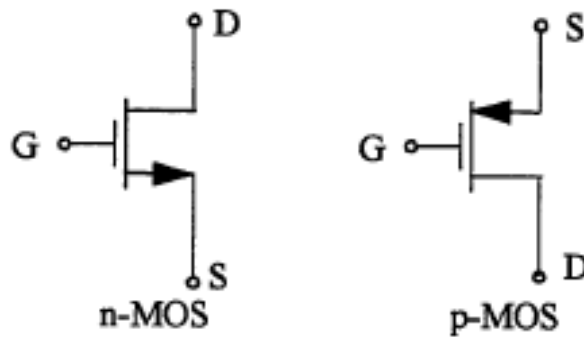


FIGURA 2.1: Simbolo NMOS (a sinistra) e PMOS (a destra)

L'Eq. 2.1 descrive il comportamento di un MOS in zona di saturazione.

$$I_D = \frac{1}{2} \mu_n C'_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (2.1)$$

L'Eq. 2.2 è la relazione che consente di ricavare il rapporto d'aspetto necessario affinché il condensatore sia caricato/scaricato nel tempo desiderato.

$$\frac{W}{L} = \begin{cases} \frac{2C_L V_{DD}}{\tau \mu_n C'_{ox} (V_{DD} - V_{thn})^2} & NMOS \\ \frac{2C_L V_{DD}}{\tau \mu_p C'_{ox} (V_{DD} - |V_{thp}|)^2} & PMOS \end{cases} \quad (2.2)$$

---

## **2.2 Il Full Adder TSPC**

# Capitolo 3

## Progettazione

### 3.1 Dimensionamento dei transistor

In Tab. 3.1 le dimensioni ottenute per ciascun transistor.

Id MOS	Rapporto d'aspetto	$W(\mu\text{m})$	$L(\mu\text{m})$
1	30	3.24	0.12
2	12	2.24	0.12

TABELLA 3.1: Tabella dimensioni MOS

### 3.2 Layout fisico

In Fig. 3.1 il layout finale del Full Adder TSPC.

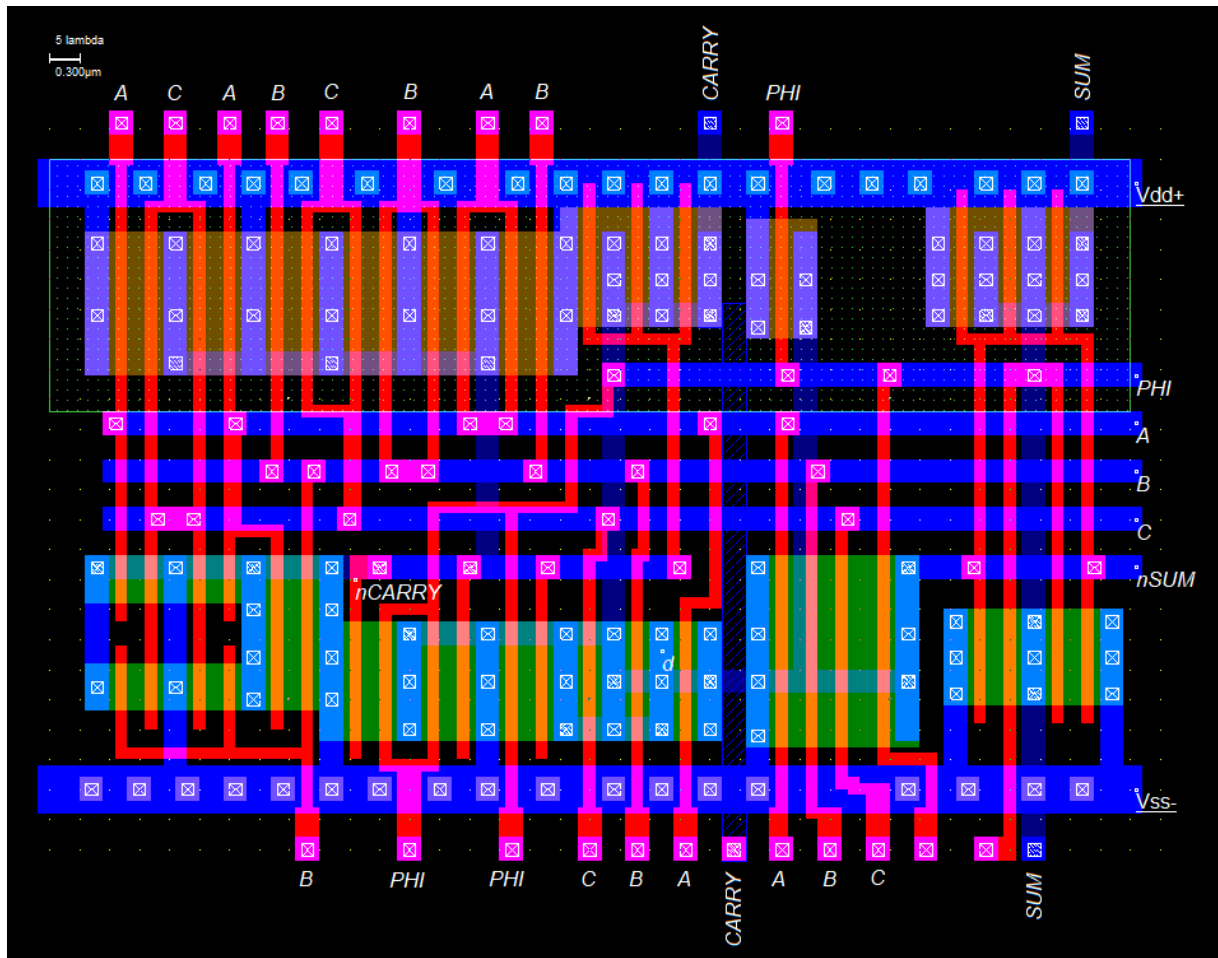


FIGURA 3.1: Layout finale.

# Capitolo 4

## Simulazione

page header



# Capitolo 5

## Conclusioni finali

page header

# Bibliografia