

UNIVERSITA' DEGLI STUDI DI GENOVA

SCUOLA POLITECNICA



*Corso di Studi in Ingegneria Elettronica*

# Progetto e simulazione di un circuito Full Adder TSPC

Alessio Caligiuri, Emanuele Anfuso

# Indice

<b>1</b>	<b>Introduzione</b>	<b>1</b>
1.1	Fasi di lavoro . . . . .	1
<b>2</b>	<b>Analisi</b>	<b>5</b>
2.1	Il modello del MOS . . . . .	5
2.2	La caratteristica reale del MOS . . . . .	6
2.3	Funzionamento dinamico dei circuiti CMOS . . . . .	6
2.4	Il Full Adder TSPC . . . . .	9
<b>3</b>	<b>Progettazione circuitale</b>	<b>10</b>
3.1	Dimensionamento di massima . . . . .	10
3.2	Fitting dei parametri . . . . .	10
<b>4</b>	<b>Layout</b>	<b>11</b>
4.1	Premessa . . . . .	12
4.2	Disegno dei singoli stadi . . . . .	12
4.3	Full design . . . . .	12
<b>5</b>	<b>Conclusioni finali</b>	<b>13</b>

# Capitolo 1

## Introduzione

Questa relazione illustra il progetto del layout di un circuito sommatore CMOS integrato che sfrutti la tecnica TSPC (*True Single Phase Clock*) presentata da *Yuan e Svensson* nell'articolo (CITA ARTICOLO). Il lavoro si inserisce nell'ambito del corso di Microelettronica tenuto dal Prof. Daniele Caviglia nella Laurea Magistrale in Ingegneria Elettronica dell'Università degli Studi di Genova.

L'elaborato vuole descrivere nel dettaglio il lavoro svolto, i risultati raggiunti e le problematiche riscontrate durante lo stesso. Inizieremo dunque con l'illustrare i vari passi percorsi, per poi scendere nel dettaglio delle fasi di analisi (sia della tecnologia utilizzata che del circuito sommatore) e di progettazione vera e propria.

### 1.1 Fasi di lavoro

In Fig. 1.1 è rappresentato il diagramma di flusso che abbiamo seguito durante il nostro lavoro. Tale sequenza di passi è generalizzabile a qualsiasi progetto di circuiti digitali, quando si parte da uno schema circuitale e si vuole giungere al disegno delle maschere di produzione che lo realizzano rispettando le specifiche desiderate. Nel diagramma ogni rettangolo indica l'operazione da eseguire, mentre il rombo comporta un controllo che determina il passo successivo da intraprendere.

Prima di scendere nel dettaglio delle varie fasi introduciamo i vari software utilizzati nel corso del progetto. Già indicati nel diagramma di flusso, essi sono:

- *MATLAB*: software che facilita l'esecuzione e la gestione di calcoli matematici;

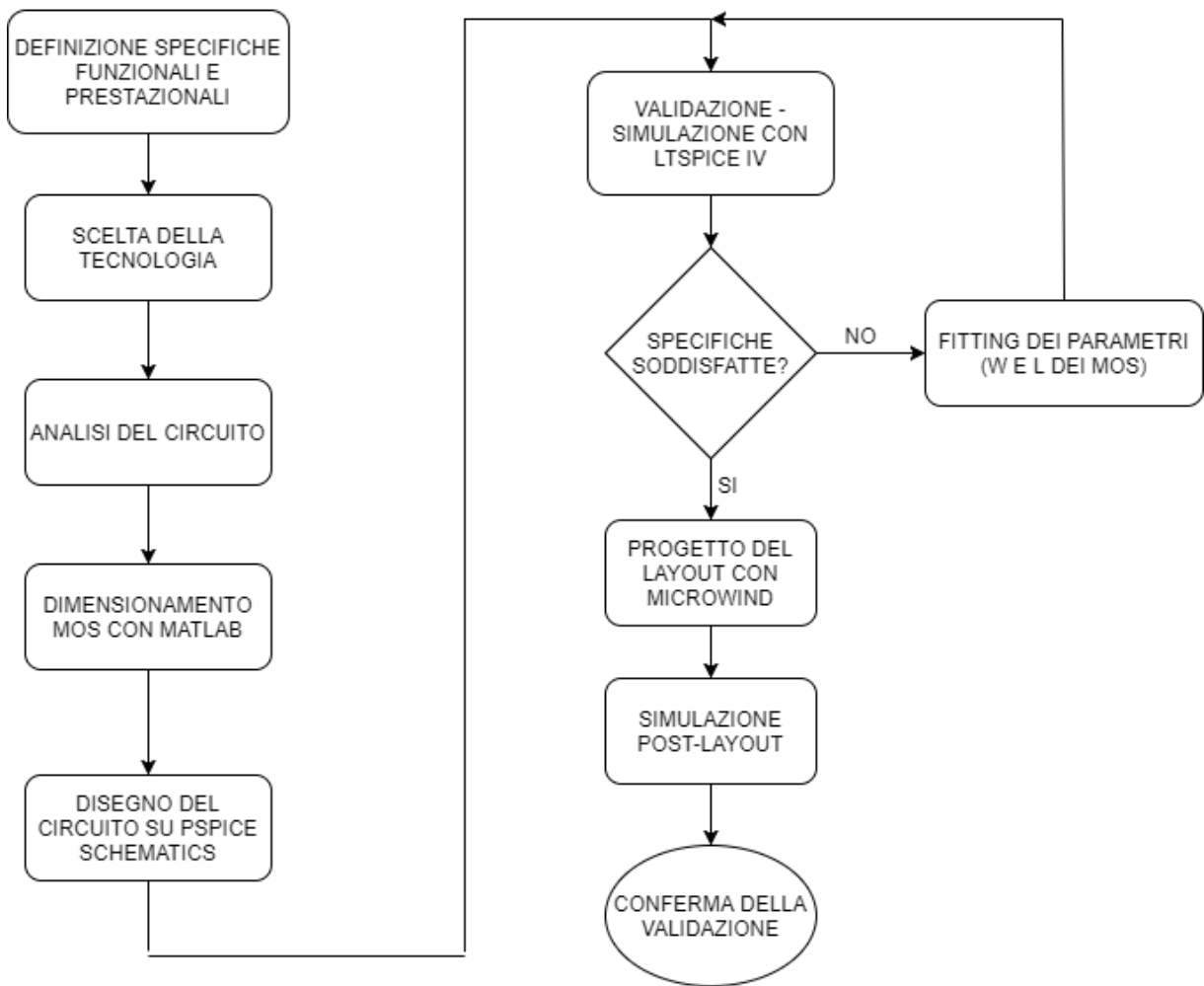


FIGURA 1.1: Flusso di progetto.

- *PSpice*: programma di simulazione circuitale;
- *LTspice IV*: anch'esso dedicato alla simulazione circuitale, lo abbiamo scelto in quanto il precedente PSpice nella versione gratuita presenta alcune restrizioni, in particolare sul numero massimo di transistor presenti nel circuito;
- *Microwind*: software per il disegno di maschere di produzione di circuiti integrati.

Procediamo quindi con la descrizione del flusso di progetto di Fig. 1.1 in relazione al nostro lavoro. Il punto di partenza è la definizione delle specifiche di progetto. Queste nel nostro caso ci sono state fornite come consegna e sono riassunte nel seguente elenco:

- Tensione di alimentazione  $V_{DD}$ : 1.2 V
- Capacità di carico  $C_{load}$  sulle uscite *SUM* e *CARRY*: 100 fF

- Frequenza operativa minima  $f_{min}$ : 2 GHz
- Tipologia di progettazione del circuito: *standard cell*
- Segnali di ingresso: tre generatori di tensione ideali, con tempi di salita e di discesa pari a  $25\ \mu s$

Anche il tipo di tecnologia ci è stato indicato nella consegna del progetto: tecnologia CMOS  $0.12\mu m$ . Questo dato è molto importante nel progetto di circuiti integrati, in quanto tra le altre cose indica la lunghezza minima di canale che possono avere i transistor MOS.

La terza fase prevede l'analisi dello schema circuitale del Full Adder presente nell'articolo citato nell'introduzione. Nella sezione ?? sarà illustrata l'analisi in dettaglio. A partire da quest'ultima, come vedremo, è stato possibile individuare le relazioni analitiche che ci hanno permesso di legare i nostri parametri di progetto, ottenuti a partire dalle specifiche funzionali e prestazionali, con i parametri liberi, ovvero le dimensioni dei transistor MOS presenti nel circuito.

Il dimensionamento dei MOS è per l'appunto la quarta fase del processo e ne rappresenta uno dei momenti più critici, in quanto getta le basi per il funzionamento del circuito finale. Esso tuttavia è basato sull'utilizzo di modelli analitici approssimati, per cui le dimensioni dei MOS trovati a questo passo non sono quelle definitive. Nel cap. 3, dedicato alla progettazione circuitale, parleremo in dettaglio di questo aspetto.

Ottenuta una prima approssimazione delle dimensioni dei transistor si procede con la quinta fase, la quale prevede il disegno del circuito su un software che ne permetta la simulazione. In particolare noi abbiamo disegnato il circuito su PSpice Schematics, ne abbiamo esportato la netlist, e abbiamo simulato quest'ultima con LTspice IV, per i problemi di cui abbiamo già parlato, impiegando per le simulazioni il modello del MOS fornito da Microwind e dipendente dalla tecnologia di processo scelta. Anche questo passaggio sarà esaurientemente descritto nel cap. 3.

Il passo successivo è uno dei più interessanti. La fase precedente ha infatti permesso di ottenere una simulazione del circuito dimensionato per via analitica, ma come abbiamo già detto non ci si deve stupire se il risultato non è soddisfacente. Occorre un'attenta analisi dei segnali presenti in ogni ramo del circuito così da individuare eventuali punti critici e perfezionare di conseguenza le dimensioni dei MOS. Inizia così una fase di *fitting dei parametri*, composta da un ciclo di analisi e ritocco delle dimensioni, che termina soltanto quando ci si ritiene soddisfatti della simulazione circuitale.

Identificate le dimensioni finali dei transistor si procede al progetto e disegno del layout di circuito su Microwind, secondo l'approccio *standard cell*. Questa fase sarà descritta nel Cap. 4 e, una volta terminata, è seguita da una simulazione finale post-layout che, se in accordo con la simulazione pre-layout, consente di validare il disegno finale.

# Capitolo 2

## Analisi

### 2.1 Il modello del MOS

Dato che il circuito trattato in questo progetto è basato su tecnologia CMOS è doveroso iniziare con l'analisi del *mattoncino base* che lo compone, ossia il transistor di tipo MOSFET.

In Fig. 2.1 il simbolo per un NMOS.

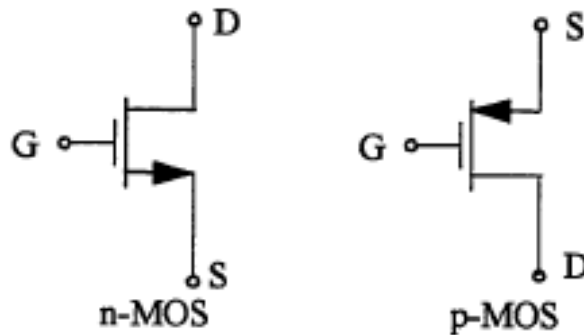


FIGURA 2.1: Simbolo NMOS (a sinistra) e PMOS (a destra)

L'eq. 2.1 descrive il comportamento di un MOS in zona di saturazione, impiegando un modello quadratico piuttosto semplificato:

$$I_D = \frac{1}{2} \mu_n C'_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2.1)$$

ed è valida quando  $V_{DS} > V_{GS} - V_{th}$ .

## 2.2 La caratteristica reale del MOS

Il modello del MOS mostrato nella sezione 2.1 è ben distante dalla realtà, perché si manifestano:

- *effetti di canale corto*, particolarmente visibili quando i transistor sono realizzati con la lunghezza minima disponibile per la tecnologia, come nel caso dei dispositivi digitali, in cui si vogliono minimizzare le dimensioni; ciò comporta la progressiva riduzione della velocità dei portatori di carica nel canale, diminuendo il fattore  $\mu$  e quindi il guadagno;
- *effetto body*, per il quale la  $V_{th}$  diminuisce all'aumentare della tensione  $V_{SB}$ ; nei dispositivi integrati spesso il source del MOS non è collegato al bulk (ovvero il substrato) e quindi  $V_{SB} \neq 0 \Rightarrow |V_{th}| < |V_{th0}|$  (con  $V_{th0}$  tensione di soglia per  $V_{SB} = 0$ ).

Utilizzando il software *Microwind* e il simulatore *LTspice* abbiamo ottenuto varie curve caratteristiche per confrontare il risultato più vicino alla realtà con quello aderente al modello teorico presentato in sezione 2.1.

## 2.3 Funzionamento dinamico dei circuiti CMOS

Per valutare le prestazioni dinamiche della tecnologia CMOS, consideriamo come caso di studio un inverter con carico capacitivo ed effettuiamo un'analisi temporale fornendo in ingresso un'onda quadra.

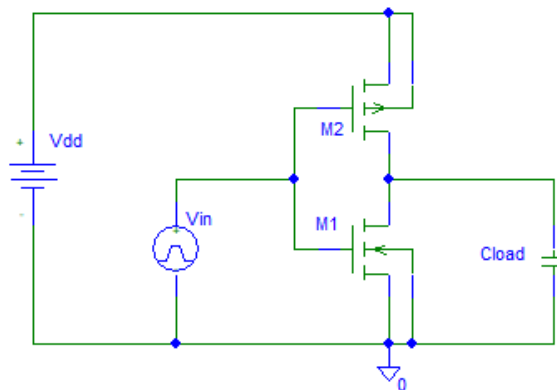


FIGURA 2.2: Inverter CMOS con capacità di carico.



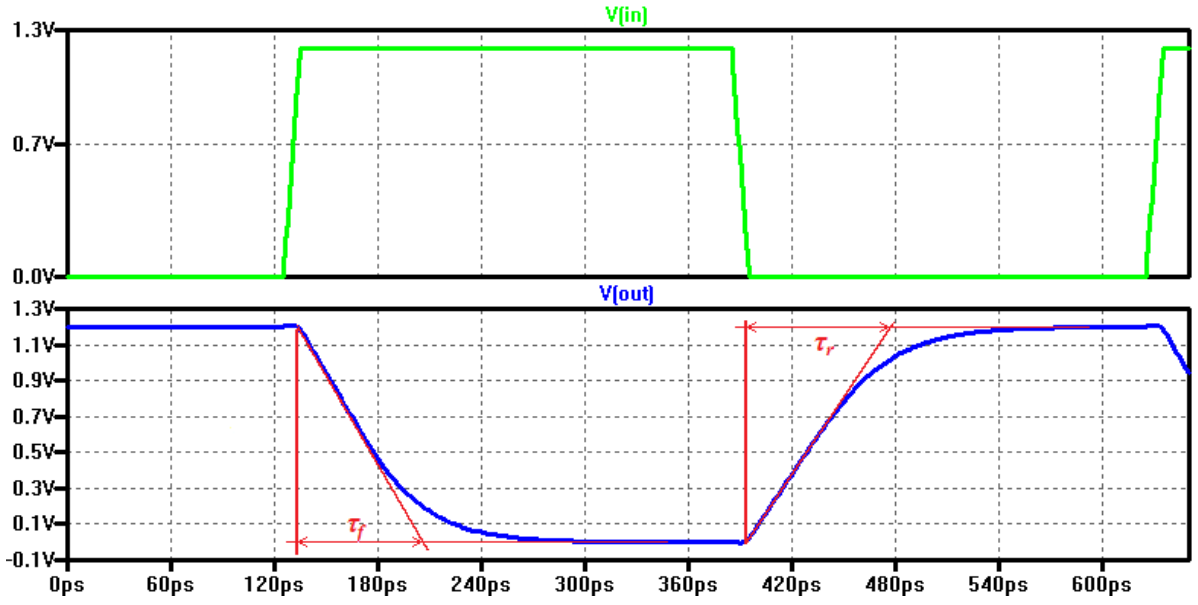


FIGURA 2.3: Simulazione temporale di un inverter CMOS con capacità di carico.

Consideriamo un fronte di discesa della tensione d'uscita: in questo caso il condensatore, precedentemente caricato a  $V_{DD}$  viene scaricato dal nMOS che funziona inizialmente in regime di saturazione ( $V_{DS} > V_{GS} - V_{thn}$ ) per poi concludere la scarica in zona lineare.

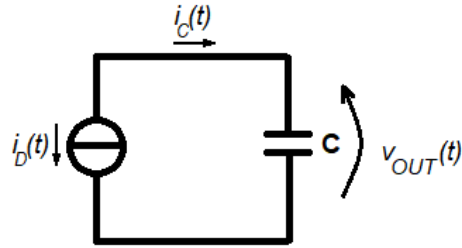


FIGURA 2.4: circuito equivalente per la scarica della capacità.

Questa situazione è schematizzata in figura 2.4. La corrente  $i_D(t) = -i_C(t)$  è quella che scorre nel canale del nMOS scaricando il condensatore. Si ha che:

$$i_C(t) = C \frac{d}{dt} v_{OUT}(t) \quad (2.2)$$

da cui, integrando tra  $t_0$  e  $t$ , si ottiene l'evoluzione temporale di  $v_{OUT}(t)$  a partire dalla condizione iniziale  $v_{OUT}(t_0)$ :

$$\int_{t_0}^t i_C(\xi) d\xi = C \int_{t_0}^t \frac{d}{d\xi} v_{OUT}(\xi) d\xi \quad (2.3)$$

ovvero, calcolando l'integrale a secondo membro e riordinando i termini:

$$v_{OUT}(t) - v_{OUT}(t_0) = \frac{1}{C} \int_{t_0}^t i_C(\xi) d\xi \quad (2.4)$$

Un'approssimazione valida per semplificare l'analisi si ottiene supponendo che il transistor operi solo in saturazione; esso si comporta quindi come un generatore di corrente costante e  $i_C(t) = -i_D(t) = -I_D$ ; in tal caso l'integrale a secondo membro diventa una retta in  $t$  e la scarica di  $C$  ha un andamento lineare:

$$v_{OUT}(t) - v_{OUT}(t_0) \approx -\frac{1}{C} \int_{t_0}^t I_D d\xi = -\frac{I_D}{C}(t - t_0) \quad (2.5)$$

Questa formula, chiaramente, ha senso fisico finché  $0 < V_{out}(t) < V_{DD}$ , ovvero per i  $t$  che soddisfano questo vincolo. Scegliendo un istante di tempo  $t_1 > t_0$ , si ha:

$$\Delta V = |v_{OUT}(t_1) - v_{OUT}(t_0)| \approx \frac{|I_D|}{C}(t_1 - t_0) \quad (2.6)$$

Nel caso del fronte di salita conduce il pMOS e si possono fare considerazioni analoghe; la 2.6 resta valida grazie agli operatori di valore assoluto.

Ai fini progettuali, in riferimento ai fronti di salita e discesa siamo interessati al tempo necessario per passare dal livello logico basso ( $0V$ ) a quello alto ( $+V_{DD}$ ) e viceversa. Nel caso di fronte di discesa, iniziamo l'analisi con  $C$  carico a  $v_{OUT}(t_0) = V_{DD}$  e scegliamo  $t_1$  t.c.  $v_{OUT}(t_1) = 0$ ; facciamo il viceversa con il fronte di salita. Otteniamo così una comoda formula approssimata, valida in entrambi i casi:

$$\Delta V = \frac{\tau |I_D|}{C} \quad \Leftrightarrow \quad |I_D| = C \frac{\Delta V}{\tau} \quad (2.7)$$

dove  $\Delta V = V_{DD}$  è (in modulo) il "salto" di tensione da compiere e  $\tau := t_1 - t_0$  è una stima del tempo di salita/discesa, ovvero il tempo di carica/scarica (lineare) della capacità  $C = C_{load}$ .

La validità di questa formula è discutibile: la stima del tempo di discesa è ottimistica ma è comunque utilizzabile come riferimento grossolano ai fini progettuali. Infatti, unendo questo risultato con l'equazione 2.1 (corrente di drain del MOS in saturazione) si ottiene una formula di progetto approssimata per determinare il rapporto d'aspetto necessario per avere i desiderati tempi di salita e discesa:

$$\frac{W}{L} = \begin{cases} \frac{2 C_{load} V_{DD}}{\tau \mu_n C'_{ox} (V_{DD} - V_{thn})^2} & nMOS \\ \frac{2 C_{load} V_{DD}}{\tau \mu_p C'_{ox} (V_{DD} - |V_{thp}|)^2} & pMOS \end{cases} \quad (2.8)$$

Una rappresentazione della carica/scarica lineare confrontata con l'andamento reale è visibile in figura 2.3.

## 2.4 Il Full Adder TSPC

# Capitolo 3

## Progettazione circuitale

### 3.1 Dimensionamento di massima

In Tab. 3.1 le dimensioni ottenute per ciascun transistor.

Id MOS	Rapporto d'aspetto	$W(\mu\text{m})$	$L(\mu\text{m})$
1	30	3.24	0.12
2	12	2.24	0.12

TABELLA 3.1: Tabella dimensioni MOS

### 3.2 Fitting dei parametri

# Capitolo 4

## Layout

In Fig. 4.1 il layout finale del Full Adder TSPC.

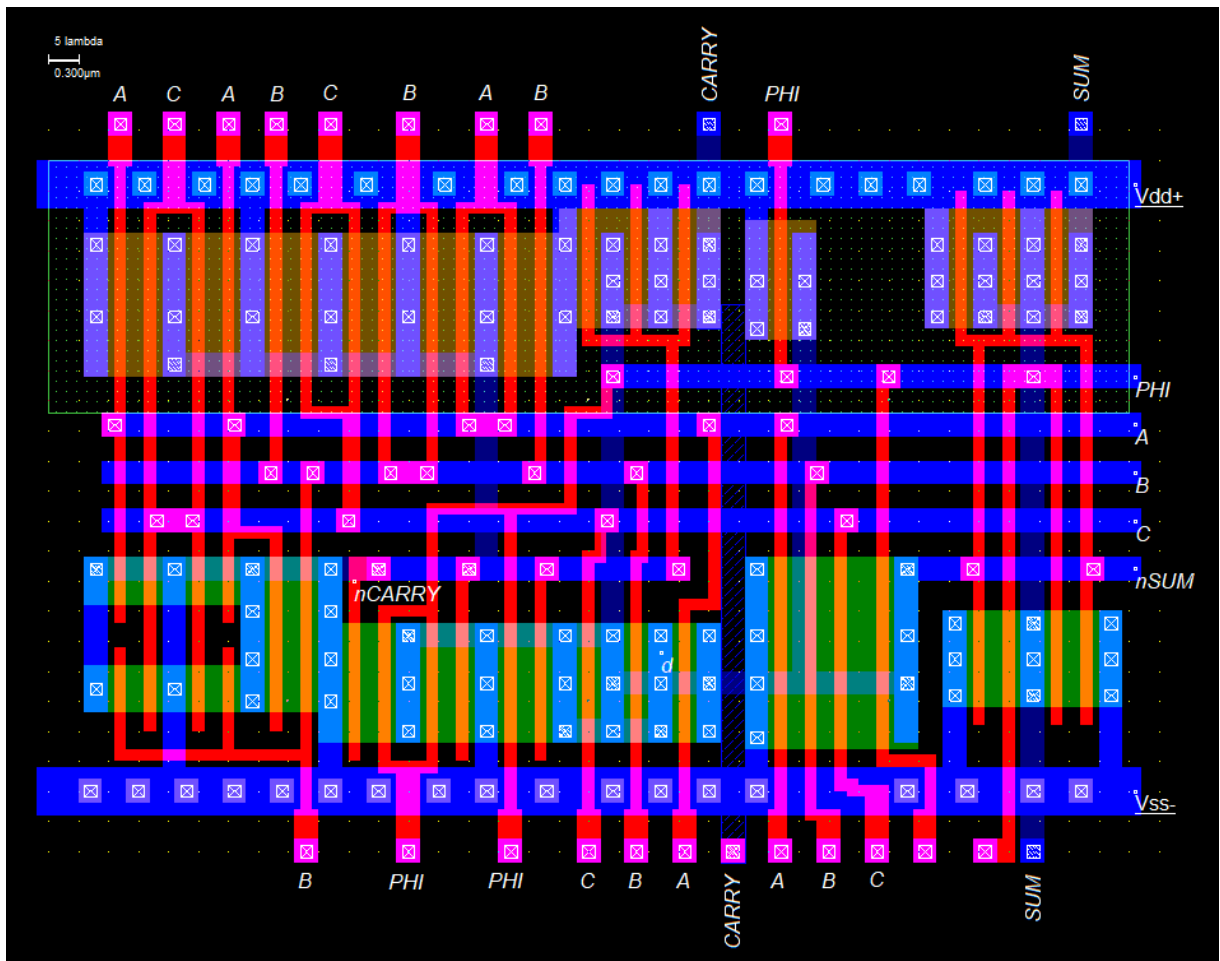


FIGURA 4.1: Layout finale.

## **4.1 Premessa**

## **4.2 Disegno dei singoli stadi**

## **4.3 Full design**

## Capitolo 5

## Conclusioni finali

# Bibliografia