

Diseño de amplificador de audio clase D

Informe final

99319	Cuenca Matilde	maticuenca84@gmail.com
99074	Gilces Duran Gonzalo	gonzalo.gilces@hotmail.com
99544	Turtula Emanuel Damián	emanuelturtula@gmail.com

13/12/2019

1. Introducción

El objetivo de este trabajo práctico es diseñar y armar un amplificador de audio clase D. En la figura 1.1 se puede observar el diagrama en bloques que va a permitir comprender el funcionamiento de dicho amplificador.

1.1. Introducción teórica

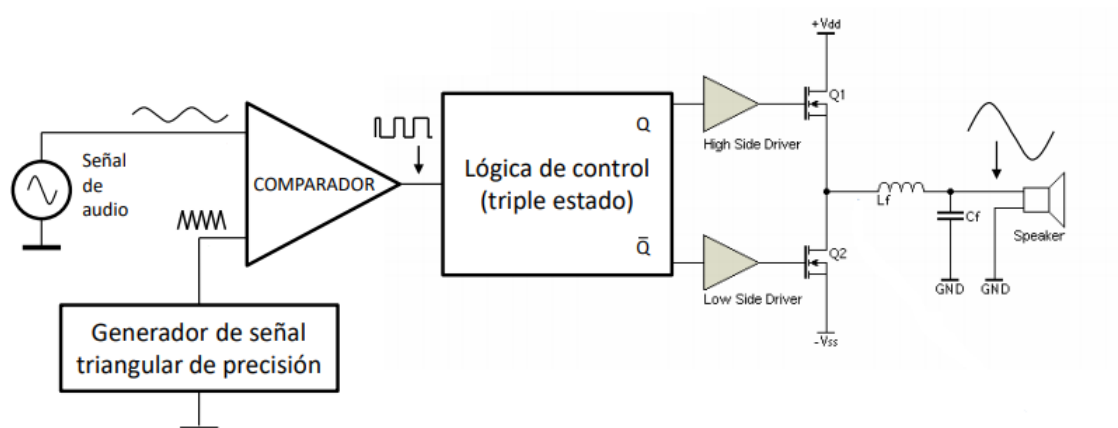


Figura 1.1: Diagrama en bloques de un amplificador clase D.



En primer lugar, se genera una señal PWM mediante la comparación entre la señal de audio de entrada y la señal triangular como puede observarse en la figura 1.2.

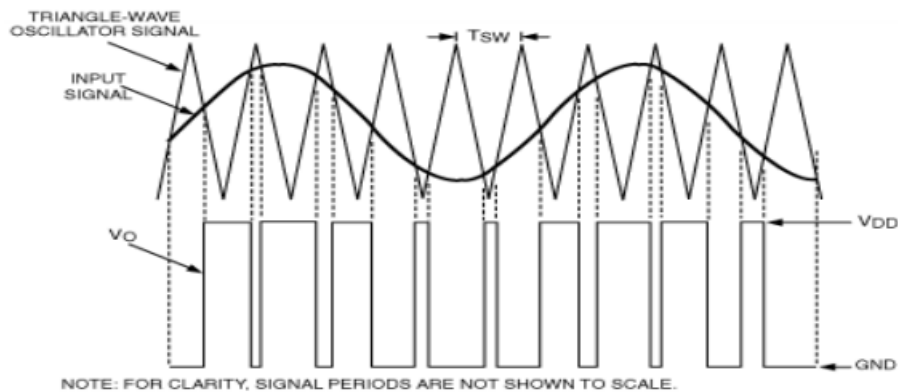


Figura 1.2: Señales del amplificador.



Luego, a partir de esta señal generada y su negada se prenden los transistores de conmutación, logrando una señal PWM con una amplitud mucho mayor. Finalmente, el filtro pasa bajos se ocupa de extraer el valor medio del PWM, obteniendo de este modo la señal de entrada amplificada.

1.2. Especificaciones

- Tensión de alimentación: 40 VDC $\pm 10\%$
- Potencia de salida nominal: 100 W RMS sobre la carga de 8Ω
- Eficiencia $>85\%$ @ $50W/8\Omega$
- Protección por cortocircuito y sobrecarga a la salida
- Protección por transitorio de encendido y apagado
- Protección por tensión continua a la salida
- Distorsión armónica entre 20Hz y 20kHz: $<10\%$ a $50W @ 8\Omega$
- Distorsión armónica a $1kHz$:
 - $<1\%$ @ $50W/8\Omega$
 - $<0.1\%$ @ $1W/8\Omega$
- Distorsión por intermodulación (medición con dos tonos puros de $100Hz$ y $5000Hz$ en relación 4:1):
 - $<1\%$ @ $50W/8\Omega$
 - $<0.1\%$ @ $1W/8\Omega$
- Respuesta en frecuencia ($\pm 0,5dB$): 20 Hz a 20 kHz @ $1W/8\Omega$
- Ancho de banda ($-3dB$): $>50kHz$ @ $50W/8\Omega$
- Giro de fase de la tensión de salida respecto a la entrada: <5 de 20 a 20kHz @ $1W/8\Omega$
- Factor de amortiguamiento: >100
- Ruido residual a la salida: <10 mVrms de 20 Hz a 20kHz
- Corrimiento de la tensión de salida (Offset DC): $<\pm 100$ mV

Ajusten la especificaciones a lo que van a poder lograr.

El valor medio local o instantáneo. El valor medio a secas es cero idealmente. En la realidad el valor medio será el offset.

- Entrada balanceada y no balanceada
- Impedancia de entrada: $50\text{ k}\Omega$ @20-20kHz
- Sensibilidad: 1 Vrms (tanto en entrada balanceada como en entrada no balanceada)
- Temperatura ambiente de operación: 10°C a 40°C
- Emisiones Electromagneticas: $<100\text{dBuV/m}$



2. Triangular

2.1. Análisis del circuito ideal

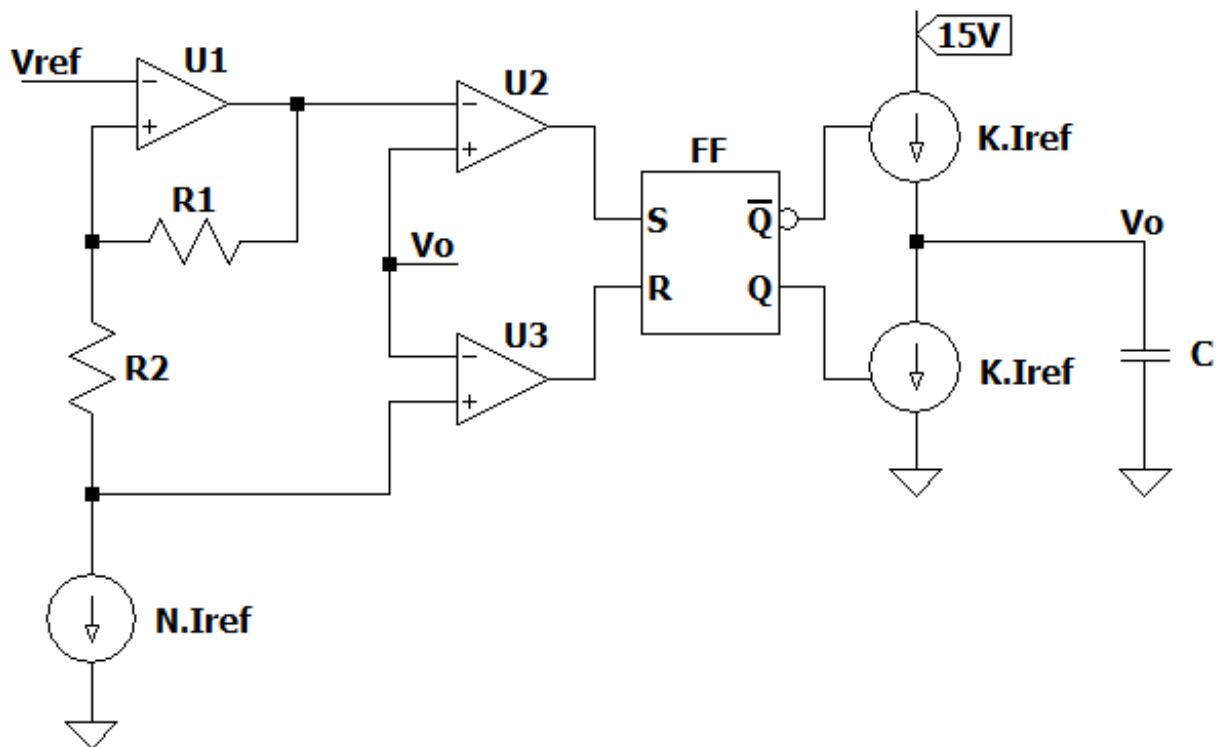


Figura 2.1: Circuito ideal

El circuito logra generar una señal triangular a partir de una señal cuadrada, que a su vez se obtiene de activar y desactivar las fuentes de corriente a la salida, de valor $K I_{ref}$. Así, en un ciclo se carga el capacitor, y en el siguiente se descarga. Dado que la impedancia vista por éste es muy grande (idealmente infinita), la tensión sobre el capacitor tiene pendientes constantes para ambos ciclos.

Se puede observar que la lógica de control está compuesta por 2 comparadores (U2 y U3), 1 amplificador operacional (U1) y un flip flop RS. Por un lado, U1 genera umbrales de comparación útiles para determinar los valores pico de la triangular obtenida. Los comparadores están constantemente monitoreando la tensión del capacitor y los valores de umbral, pudiendo describir los estados de las entradas y salidas del flip flop en 3 casos:

V_o	S	R	Q_n	$\overline{Q_n}$
$U_{3+} > V_o$	0	1	0	1
$U_{3+} < V_o < U_{2-}$	0	0	Q_{n-1}	$\overline{Q_{n-1}}$
$U_{2-} < V_o$	1	0	1	0



En resumen, se carga el capacitor hasta que $V_o = U_{2-}$ y luego se descarga hasta que $V_o = U_{3+}$, generando que este proceso se repita obteniendo la triangular. Sabiendo que a través de R_1 y R_2 circula $N.Iref$, se obtiene

$$U_{2-} = V_{ref} + R_1 N.Iref \quad (2.1)$$


$$U_{3+} = V_{ref} - R_2 N.Iref \quad (2.2)$$

Por otro lado, sabiendo que la onda a la salida se encuentra limitada por los umbrales de U_{2-} y U_{3+} y que resulta de integrar una señal constante, el período puede obtenerse como:

$$\frac{U_{2-} - U_{3+}}{\frac{T}{2}} = K.Iref \frac{1}{C} \quad (2.3)$$


Reemplazando (2.1) y (2.2) en (2.3) se llega a:

$$2 C (R_1 + R_2) \frac{N}{K} = T \quad (2.4)$$

A partir de esto se obtiene que la frecuencia de la triangular ($f = 1/T$) no depende del valor de $Iref$, el cual a su vez depende de la tensión V_{cc} con la que se va a alimentar el Amplificador Clase D. Este resultado tiene como gran ventaja que la tensión V_{cc} puede variar modificando proporcionalmente la tensión pico de la triangular sin afectar su frecuencia. 

Es de vital importancia que la amplitud de la triangular se modifique proporcionalmente con V_{cc} ya que estas tensiones están directamente relacionadas con la ganancia a lazo abierto del amplificador, descrita en una aproximación por la ecuación 2.5. Si estos valores no se movieran en conjunto, la ganancia del amplificador variaría ante cualquier perturbación de V_{cc} , lo cual no es un comportamiento deseado.

$$A_{ol} = \frac{V_{cc}}{V_{triangp}} \quad (2.5)$$

De esta ecuación se deduce que a menor tensión pico de la triangular, mayor ganancia, por lo que es deseable que reducir lo mayor posible esta amplitud. Para este diseño se optó por una triangular de tensión pico de 1.5 V, lo cual establece un punto medio entre una buena ganancia y posibilitar una mayor tensión de entrada de señal. 

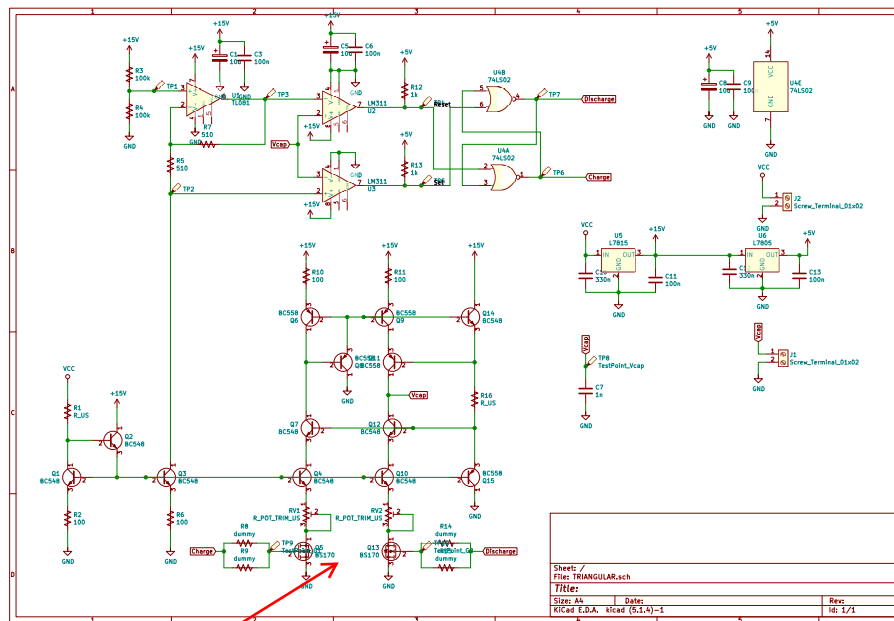
2.2. Análisis de las Simulaciones

A partir de lo analizado anteriormente, se desarrolló el circuito de la figura 2.2, en donde se reemplazaron las fuentes de corrientes ideales por fuentes de corriente espejo generadas con TBJ.

Debido a que los comparadores se alimentan con una tensión igual a 15 V, se optó por que la tensión de referencia en la entrada fuera de 7.5 V, obteniendo la mejor excursión a la salida con la triangular, teniendo

en cuenta que la tensión de referencia es idealmente el valor medio de la señal de salida si se utilizan iguales R_1 y R_2 . El valor de V_{CC} que se utilizó para la simulación fue de 30 V ya que serán la fuente a utilizar en el laboratorio y para el capacitor se optó por un valor para el cual la frecuencia de la triangular sea mayor a 100 kHz con el objetivo de que se encuentre aproximadamente a una década de las señales de audio. Luego con este circuito se simuló la tensión y corriente en el capacitor, para poder observar la calidad de la señal triangular que se obtuvo. Esto se muestra en las figuras 3 y 4, respectivamente.

En la simulación se observa otra frecuencia.



No agregaron resistencias en paralelo para evitar que los espejos de corriente se apaguen completamente?

Figura 2.2: Circuito Simulado

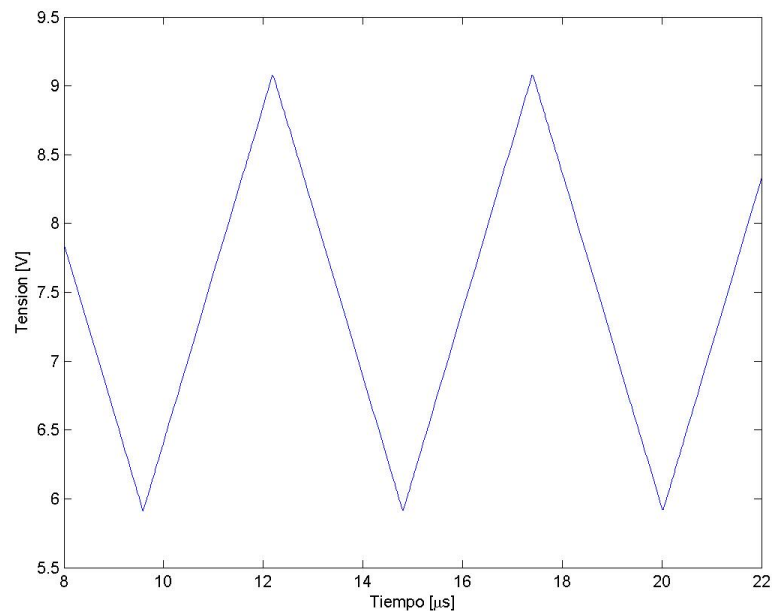


Figura 2.3: Simulación de la Señal Triangular

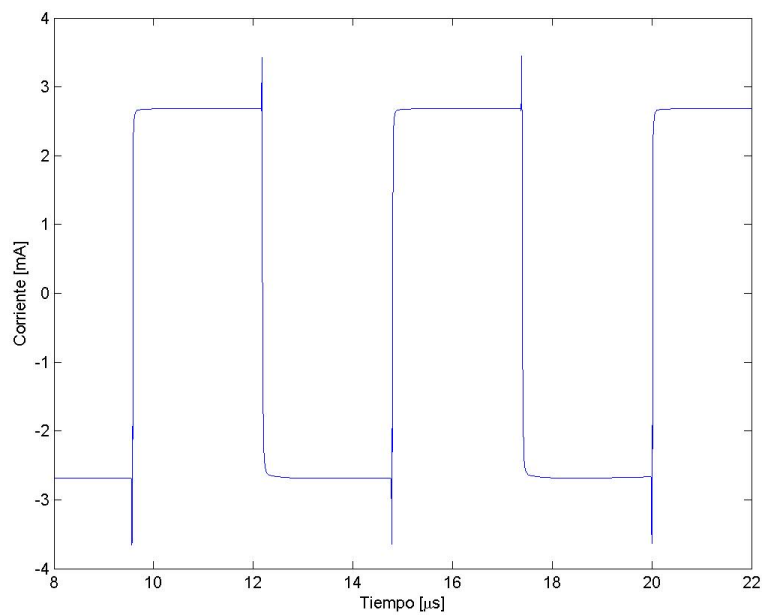


Figura 2.4: Simulación de la Corriente en el Capacitor



Como puede observarse en la Figura 2.3, la tensión pico a pico de la triangular es de aproximadamente 3 V, la cual luego de eliminar la continua, se corresponde con una tensión pico de 1.5 V.

2.3. Análisis de las Mediciones

Luego, se prosiguió a armar el circuito en un PCB para realizar las mediciones. Las modificaciones que se hicieron respecto al circuito simulado fue agregar reguladores de tensión para poder generar la tensión de alimentación de los operacionales y la tensión de referencia a partir de la tensión $V_{cc} = 30$ V. Además, se agregaron los capacitores de filtrado cerca de las alimentaciones de los integrados para obtener una señal atenuar posibles fluctuaciones.

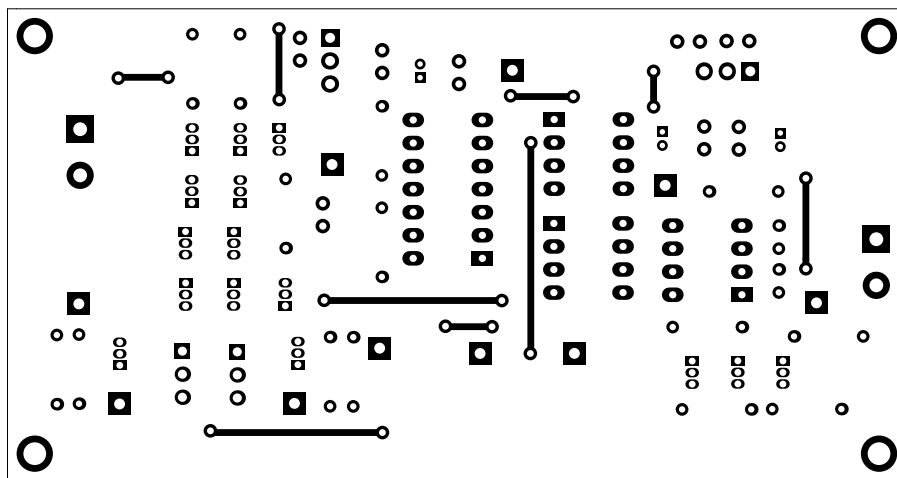
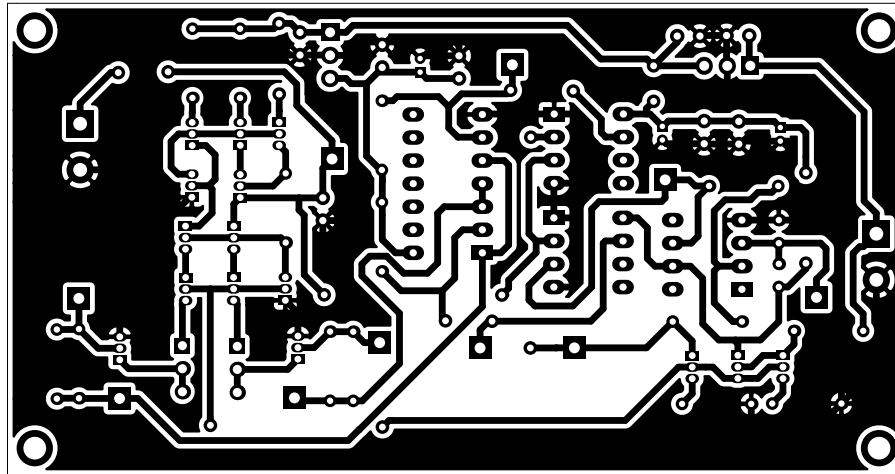


Figura 2.5: Vista superior del PCB de la triangular



Fijense que tienen un loop de masa en la placa. Como vieron en la clase de EMC con Edgardo, el loop (una bobina) puede captar ruido y mover la referencia.

Figura 2.6: Vista inferior del PCB de la triangular

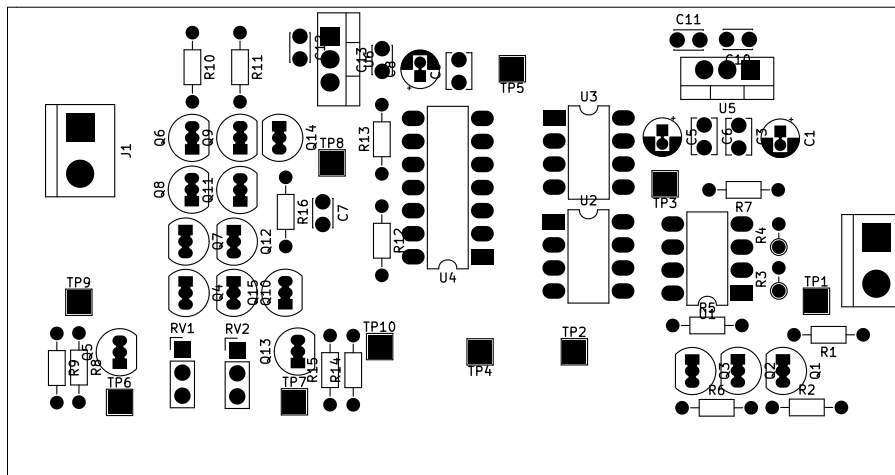


Figura 2.7: Vista de los componentes del PCB

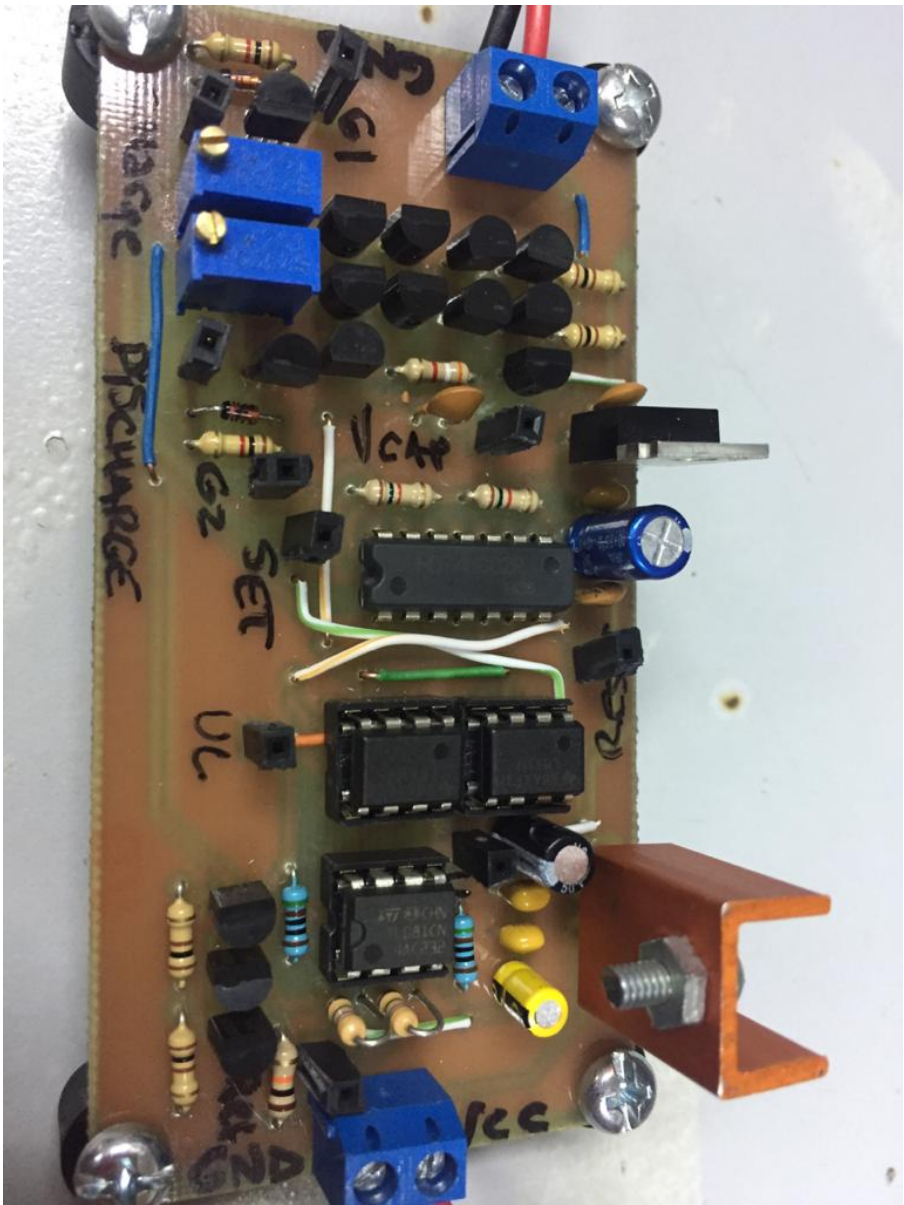


Figura 2.8: Circuito Generador de Triangular



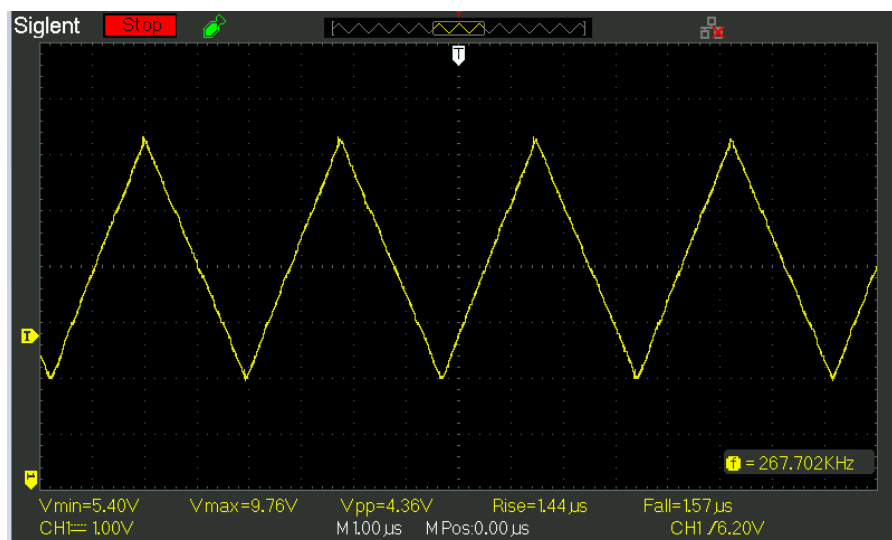


Figura 2.9: Medición de la Señal Triangular

Por último, se midió la misma señal de salida mediante un osciloscopio, como se ve en la Figura 2.9, para luego expresar los valores relevantes en la última tabla.

Señal Triangular	Simulaciones	Mediciones
Frecuencia [kHz]	190	267
V_{max} [V]	9.06	9.76
V_{min} [V]	5.93	5.40
Tensión de Continua [V]	7.50	7.56
T_{subida} [μs]	2.627	1.570
T_{bajada} [μs]	2.627	1.440

3. Etapa de salida

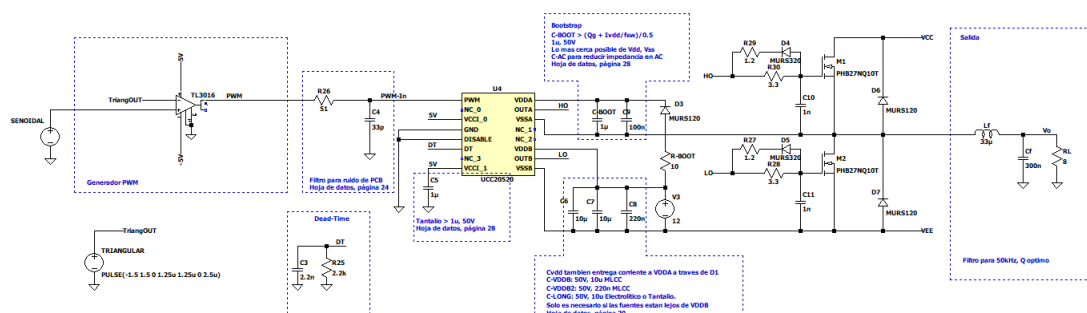


Figura 3.1: Circuito de etapa de salida a lazo abierto.

3.1. Bootstrap

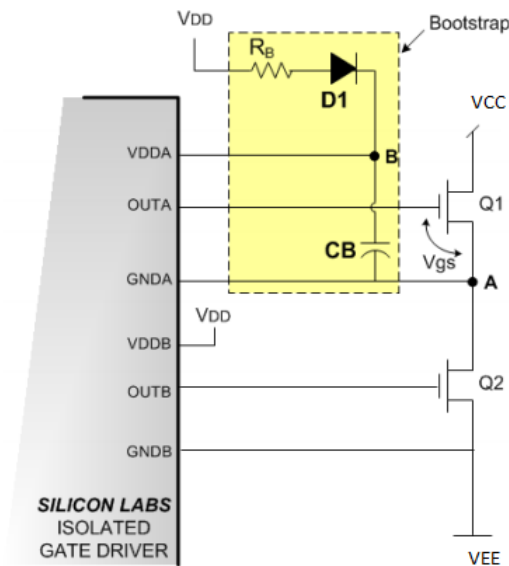


Figura 3.2: .

Para el cálculo del valor mínimo del capacitor del Bootstrap, se analizó la carga sobre este en el peor caso.

$$\begin{aligned} Q_{CB} &= Q_G + (D \cdot t_{CYC} \cdot I_B) \\ &= 12 \text{ nC} + (0,90 \cdot 10 \text{ } \mu\text{s} \cdot 2,5 \text{ mA}) = 34,5 \text{ nC} \end{aligned} \quad (3.1)$$

Considerando el ripple máximo permitido 5% de V_{DDA} , el valor mínimo del capacitor resulta

$$C_B = \frac{Q}{\Delta V_{CB}} = 58 \text{ nF} \quad (3.2)$$

Sin embargo, según la hoja de datos del UCC20520, el valor recomendable para el capacitor de Bootstrap es de $1\mu\text{F}$ en paralelo con un capacitor de bypass de 100nF para optimizar el desempeño del transitorio. Como este último valor sugerido supera al valor mínimo que se necesita, se optó por usarlo. ✓

3.2. Tiempo muerto

Se define al *dead time* o tiempo muerto como el tiempo en el cual se mantiene inactiva la salida del *gate driver* durante la transición para garantizar que no se enciendan ambos MOSFET de salida al mismo tiempo. Esto empeora la distorsión, pero evita cortocircuitos en la fuente que no solo pueden conducir a la destrucción de los transistores, si no que además la circulación de corrientes altas por los cables de alimentación a la frecuencia de trabajo generan una alta emisión electromagnética. Habrá por lo tanto un compromiso entre el beneficio de aumentar el tiempo muerto y su efecto en la distorsión. ✓

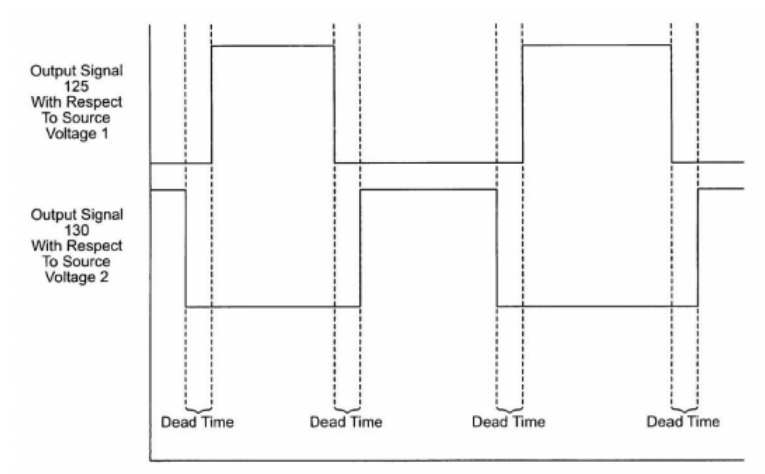


Figura 3.3: .

Al conectar una resistencia entre el pin de DT y el de GND del *gate driver* se ajusta el tiempo muerto según la ecuación 3.3.

$$DT[ns] = 10 \cdot R_{DT}[k\Omega] \quad (3.3)$$

Además la hoja de datos del UCC20520 recomienda poner en paralelo un capacitor cerámico de al menos $2,2 \text{ nF}$ para lograr una mejor inmunidad al ruido.

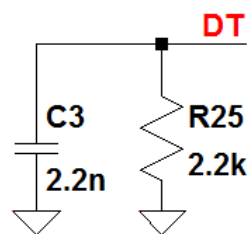


Figura 3.4: Configuración de Dead Time



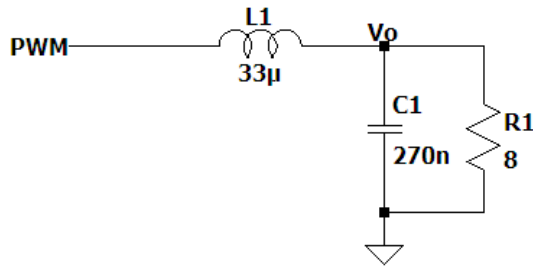
3.3. Filtro

Para filtrar la señal de PWM y obtener una reconstrucción de la señal de entrada, se colocó a la salida un filtro pasa bajos Butterworth. Este filtro se caracteriza por tener la respuesta lo mas plana posible hasta la frecuencia de corte f_c . Estableciendo entonces la frecuencia de corte en 50 kHz se logra que las frecuencias de audio prácticamente no se vean afectadas por este filtro, a diferencia de la triangular que se vera atenuada significativamente debido a que su frecuencia es mucho mayor. Para un filtro Butterworth el factor de calidad Q es de 0,701 y el valor del capacitor y del inductor se calculan de acuerdo a las siguientes formulas.

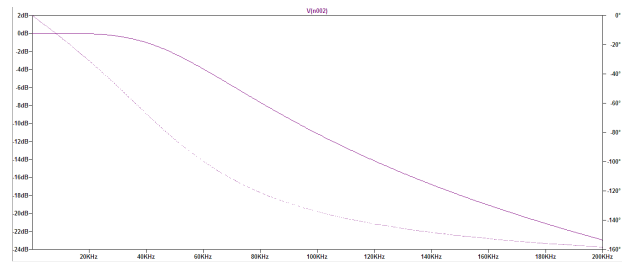
$$C = \frac{Q}{2\pi f_c R} = 281 \text{ nF} \quad (3.4)$$

$$L = \frac{R}{2\pi f_c Q} = 36 \mu H \quad (3.5)$$

Tomando los valores comerciales mas cercanos, puede observarse el filtro resultante en la Figura 3.5a y la respuesta en frecuencia obtenida para dicho filtro en la Figura 3.5b.



(a) Circuito resultante para filtro Butterworth



(b) Respuesta en frecuencia del filtro.

3.4. Realimentación

Una manera evidente de mejorar la distorsión es aplicar una realimentación negativa. Se optó por muestrear la tensión de la salida y sumar tensión a la entrada de la senoidal. Debido a que el circuito produce un retardo entre la entrada y salida, fue necesario además de ajustar la ganancia, aplicar un adelanto de fase para compensar dicho retardo. Para encontrar el realimentador ideal para el circuito, en primer lugar se simuló en Matlab y se calculó de manera tal que haya un margen de fase de 60 grados.

En la Figura 3.6 puede observarse el realimentador con su respectiva respuesta en frecuencia.

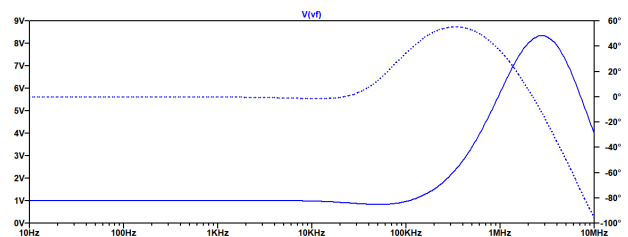
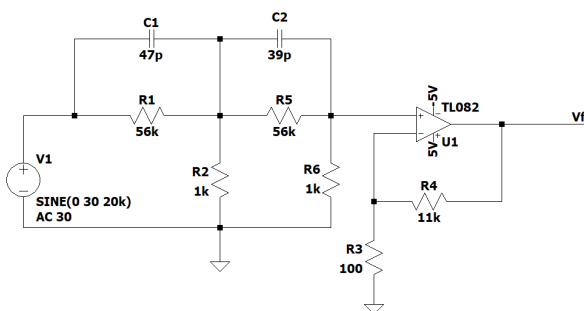


Figura 3.6: Realimentador y su respuesta en frecuencia

4. Simulaciones

Con el objetivo de verificar el cumplimiento de las especificaciones y la mejora obtenida gracias a la realimentación, se simularon a lazo abierto y a lazo cerrado la distorsión, el ruido residual, la impedancia de entrada y de salida del circuito.

4.1. Distorsión Armónica

Para simular la distorsión armónica, se simuló el circuito 3.1 junto con el generador de triangular que se diseñó (figura 2.2), para una entrada senoidal de amplitud 1. y variando la frecuencia desde 1kHz hasta 20kHz .

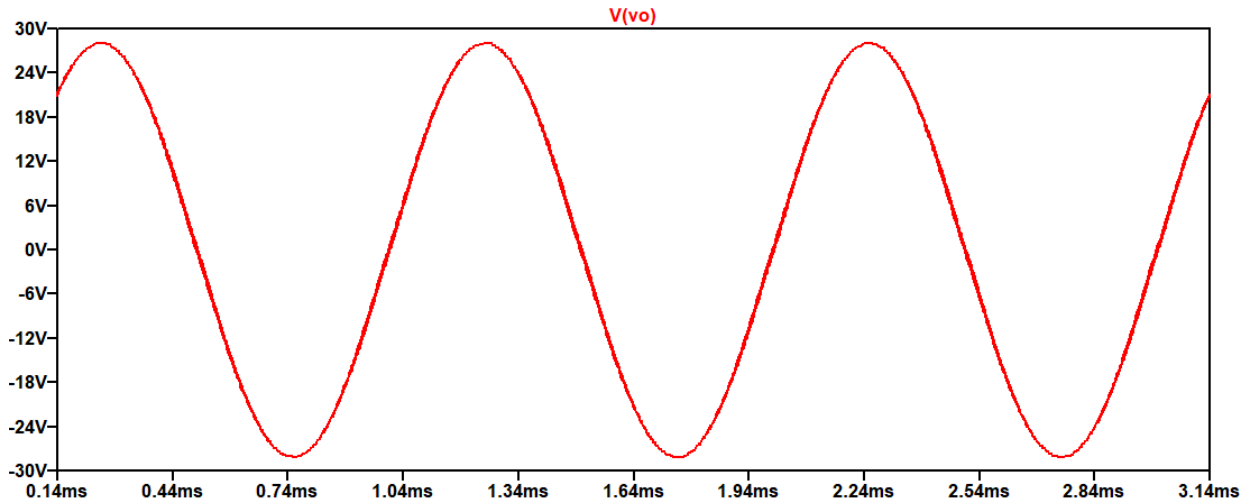


Figura 4.1: Resultado obtenido al simular a lazo abierto con $f = 1\text{kHz}$.

A partir de las figuras 4.1, ??, 4.2 y 4.3 se puede observar una gran mejora en la distorsión. Esto efectivamente se corrobora al observar las FFTs de las salidas. Luego, se simuló para una frecuencia $f = 1\text{kHz}$ para corroborar que efectivamente se alcanza una distorsión menor al 1% en esta frecuencia.

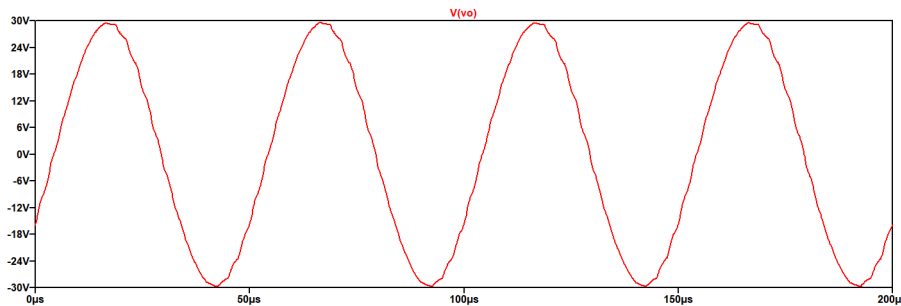


Figura 4.2: Resultado obtenido al simular a lazo abierto con $f = 20\text{kHz}$.

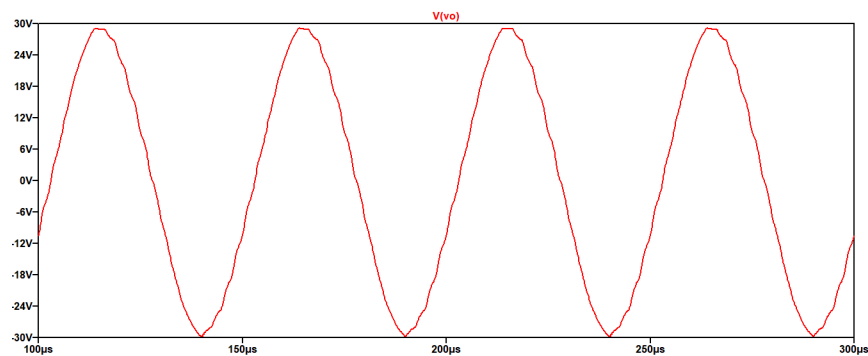


Figura 4.3: Resultado obtenido al simular a lazo cerrado con $f = 20\text{kHz}$.

Esto no se corrobora en las tablas 4.1 y 4.2. Tampoco muestran la FFT, que es importante para analizar cuáles son los armónicos mas altos. Las conclusiones del informe tienen que ser acorde a lo simulado y/o medido. Si no se tienen conclusiones, se tienen que listar las posibles causas. Y si no se tienen posibles causas, se tienen que listar acciones a seguir, para encontrar la razón del comportamiento (en este caso de la THD a lazo abierto y cerrado).

Para cada caso se calculo la THD (*Total Harmonic Distortion*) según la siguiente formula:

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + \dots}}{V_1}$$



Donde V_1 es la amplitud de la señal en la frecuencia fundamental y V_2, V_3, \dots , en los armónicos. Estos valores fueron extraídos de los gráficos de la FFT en cada caso. Efectivamente, se puede observar en la tabla 4.2 y 4.1 que para lazo cerrado la distorsión disminuye significativamente.

Se ve todo lo contrario.

Frecuencia [kHz]	1	5	10	15	20
Distorsión %	0.75	0.41	0.29	0.22	0.19

Tabla 4.1: Valores obtenidos de distorsión a lazo abierto

Frecuencia [kHz]	1	5	10	15	20
Distorsión %	0.85	0.97	1.18	1.43	1.57

Y cómo varía en función de la potencia de salida?

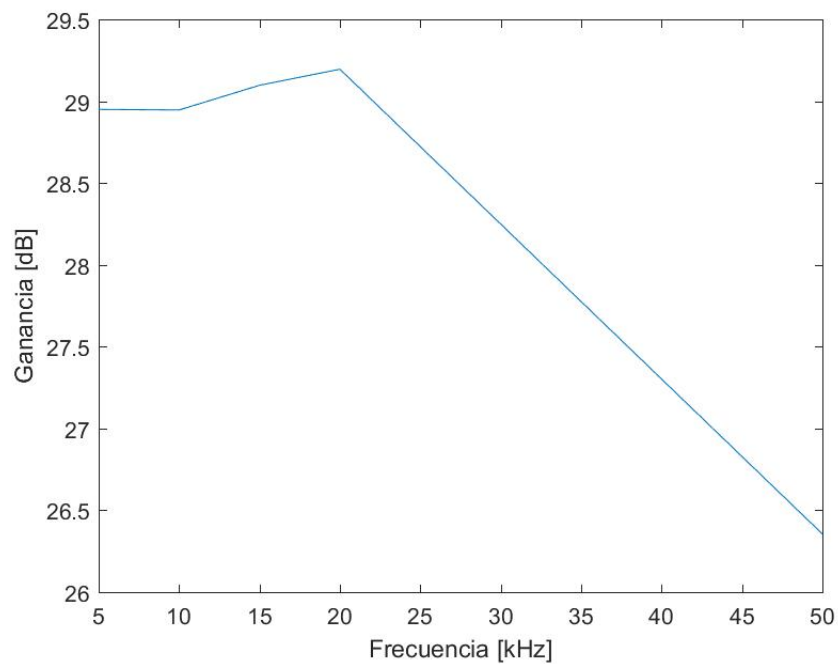
Tabla 4.2: Valores obtenidos de distorsión a lazo cerrado

Podemos observar en la tabla 4.1 que la distorsión mejora para las frecuencias más altas. Sin embargo, en la tabla 4.2 a lazo cerrado se puede notar que la distorsión empeora con respecto a lazo abierto. Esto puede deberse a que cuando se calculó en Matlab el cruce de ganancia por 0 dB no se tuvieron en cuenta los operacionales que se utilizan en el amplificador de error y en el realimentador. Los operacionales agregan un polo en la transferencia, desplazando así la frecuencia del cruce por 0 dB generando que el margen de fase estimado sea incorrecto. Esto puede corregirse considerando los polos de los operacionales en los cálculos de Matlab para obtener con mayor precisión la frecuencia a la cuál se genera el cruce por 0.

4.2. Respuesta en frecuencia

A partir de los resultados anteriores, se pudo reconstruir la respuesta en frecuencia.

Ok, esto es una posible causa, que el lazo no esté correctamente compensado. Ignoren (pero tenganlo presente) el comentario de mas arriba. Esto lo pueden corroborar viendo la FFT a lazo cerrado. Se ve algún tono que no sea armónico de la salida?



Podrían agregar la respuesta en frecuencia a lazo cerrado estimada con el modelo de Matlab. Quizá compararla con la respuesta a un impulso en LTSpice y ver si cualitativamente son iguales.

Figura 4.4: Respuesta en frecuencia a lazo abierto.

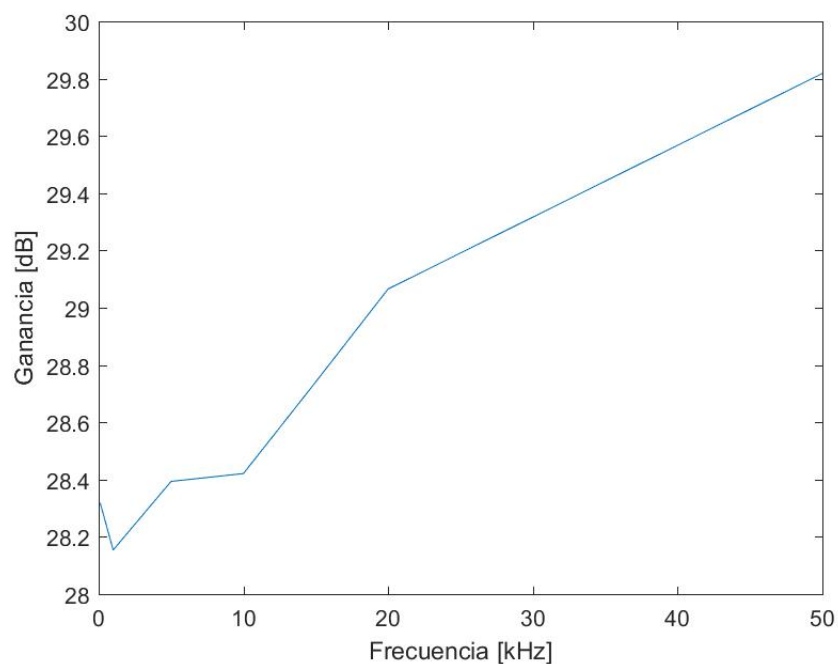


Figura 4.5: Respuesta en frecuencia a lazo cerrado.

4.3. Ancho de banda

Para corroborar que el ancho de banda sea superior a 50kHz , se simuló la respuesta para esta frecuencia. Observando la salida en la Figura 4.6, se remarca que aun no disminuyeron los 3dB . Para que se de esta

condición, la salida debe valer $21V_p$. Al simular para una frecuencia de $60kHz$ (Figura 4.7), la tensión de salida no logra alcanzar los $20V_p$. Por lo tanto el ancho de banda se encuentra entre 50 y 60 kHz, cumpliendo la especificación de ser superior a $50kHz$.

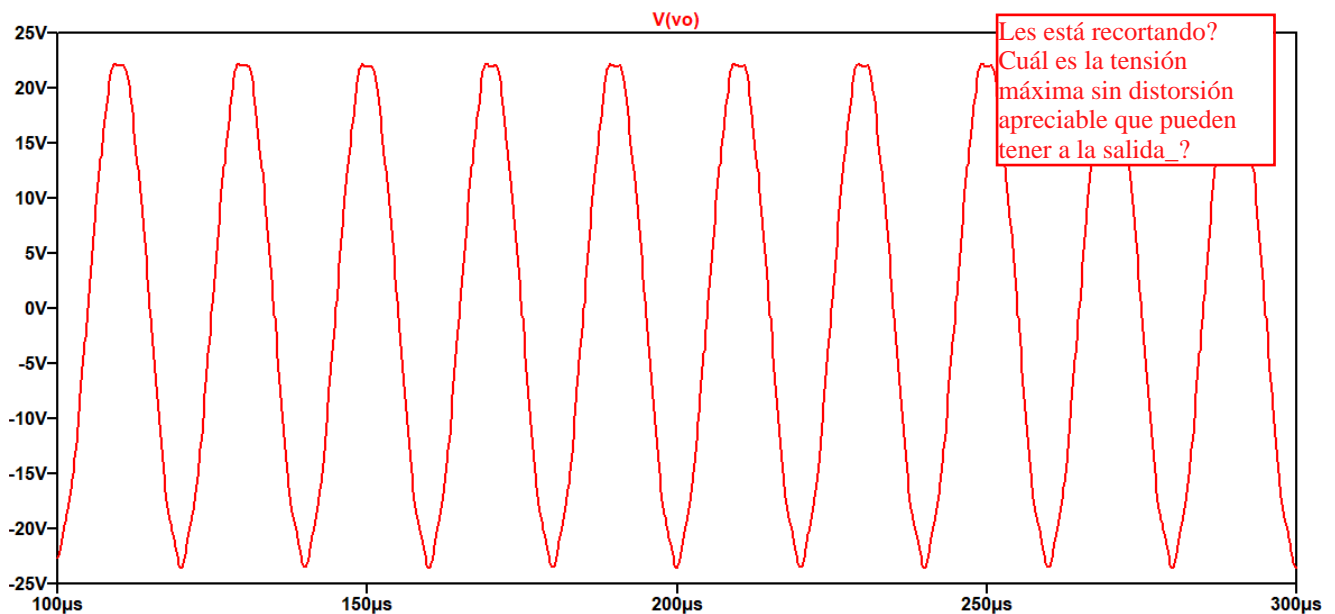


Figura 4.6: Salida para una frecuencia de 50kHz.

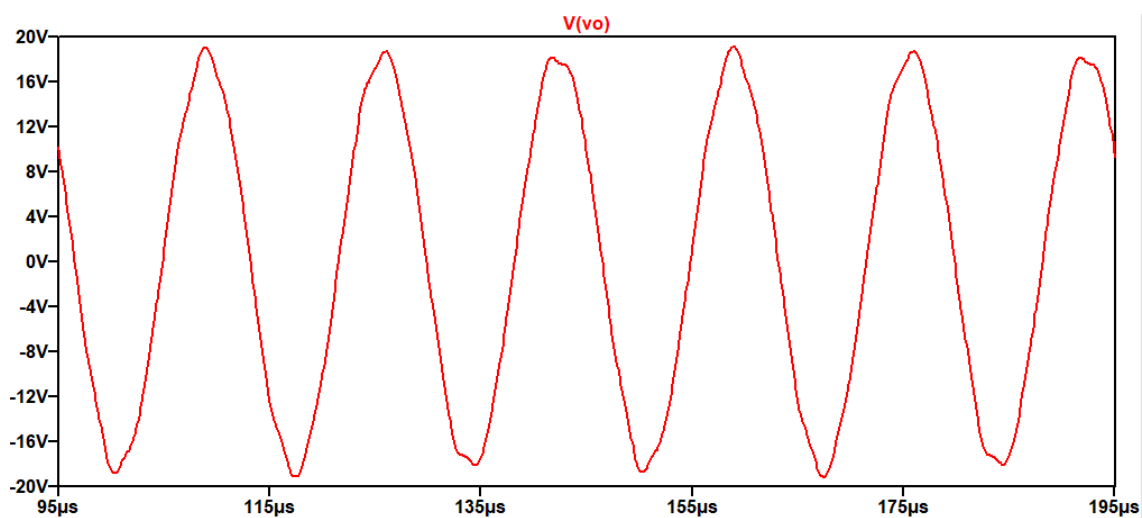


Figura 4.7: Salida para una frecuencia de 60kHz.

4.4. Distorsión por intermodulación

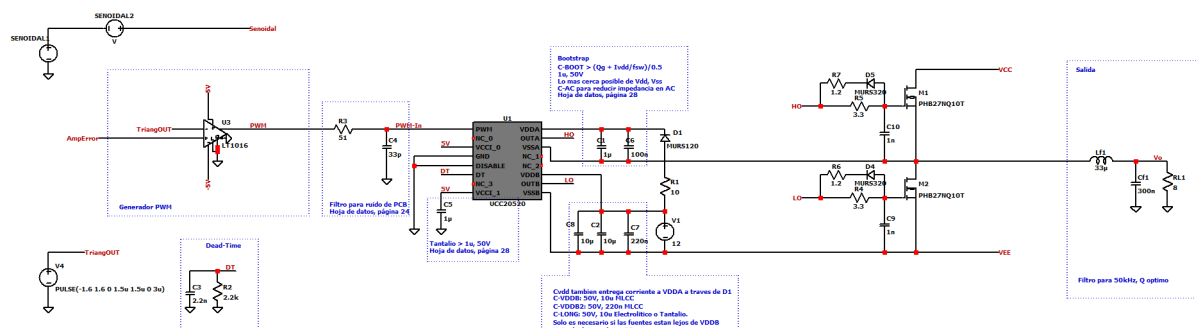


Figura 4.8: Esquemático para simular la distorsión por intermodulación a lazo abierto.

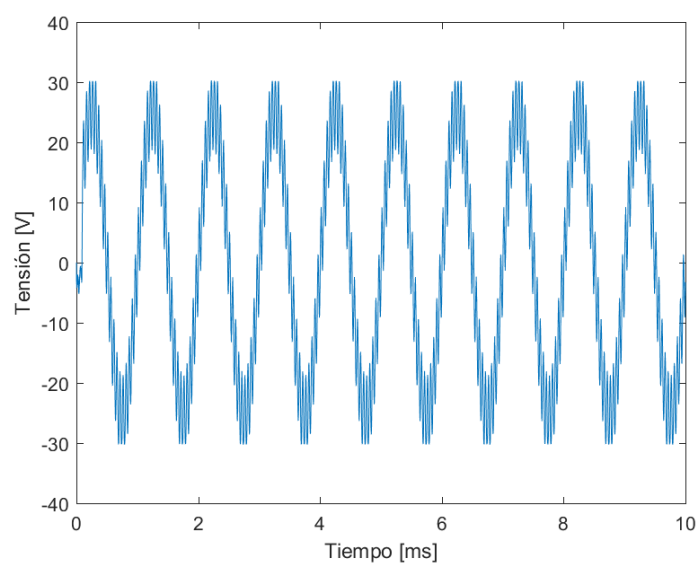
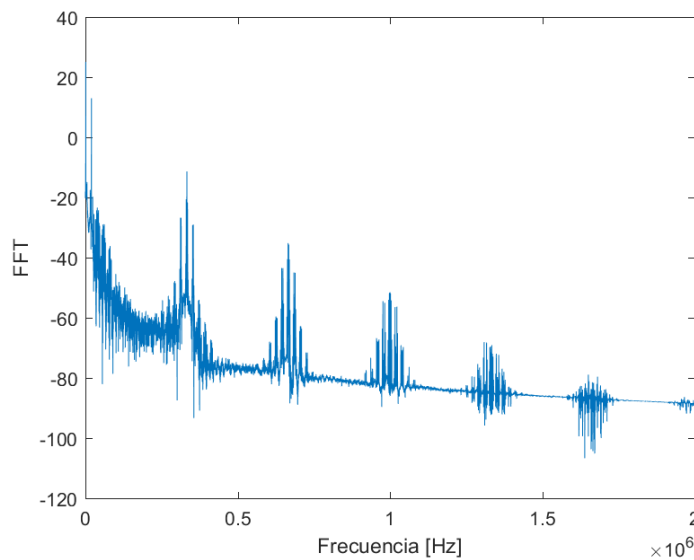
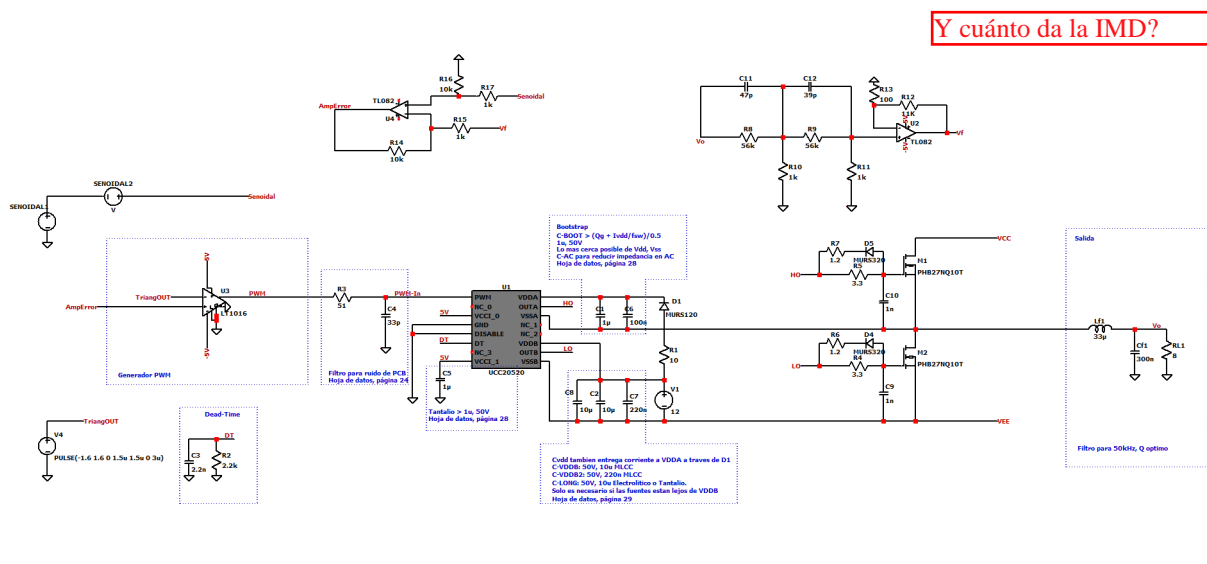


Figura 4.9: Resultado obtenido al simular la distorsión por intermodulación a lazo abierto.



Hacer un zoom en la portadora, es decir la frecuencia mas alta de las dos de entrada.

Figura 4.10: FFT de la salida obtenida al simular la distorsión por intermodulación a lazo abierto.



Y cuánto da la IMD?

Figura 4.11: Esquemático para simular la distorsión por intermodulación a lazo cerrado.

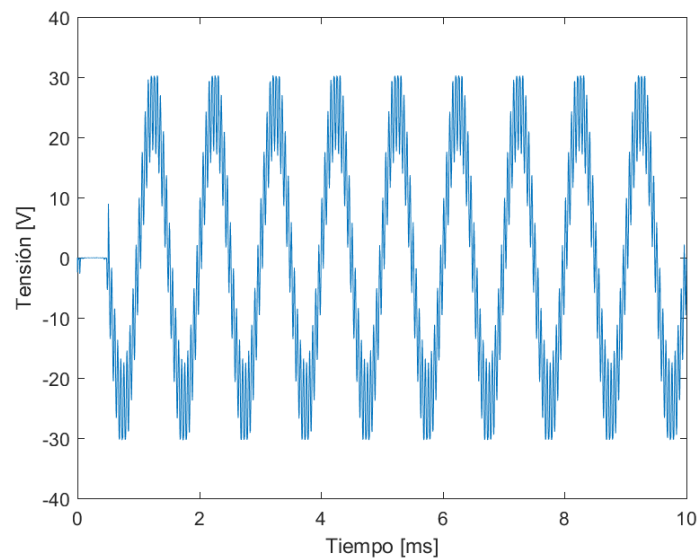
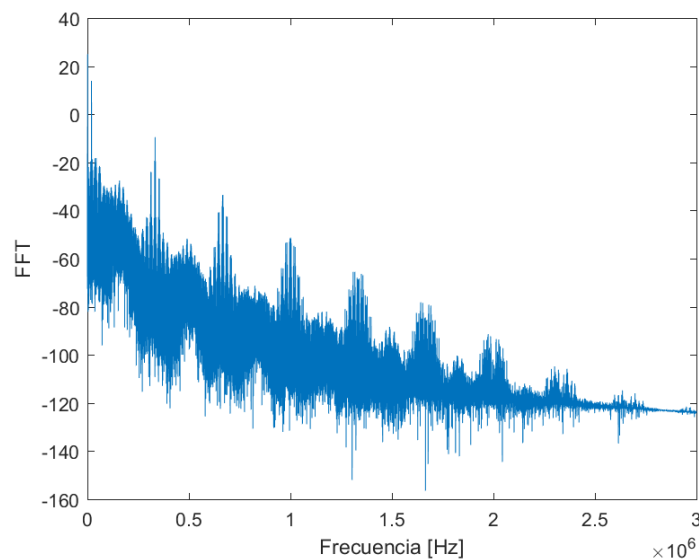


Figura 4.12: Resultado obtenido al simular la distorsión por intermodulación a lazo cerrado.



Y cuánto da la IMD?

Figura 4.13: FFT de la salida obtenida al simular la distorsión por intermodulación a lazo cerrado.

4.5. Potencia

Para cada simulación, se corroboró además la potencia disipada por la carga. No se logró alcanzar la especificación demandada debido a que para ello sería necesario tener una fuente partida de al menos 40V y que entregue 3,5A y el laboratorio no cuenta con dicho material.

$$P = \frac{V_o^2}{8} = I_o^2 * 8 = 100W \quad (4.1)$$

Entonces hacer los cálculos para los valores que saben pueden obtener.

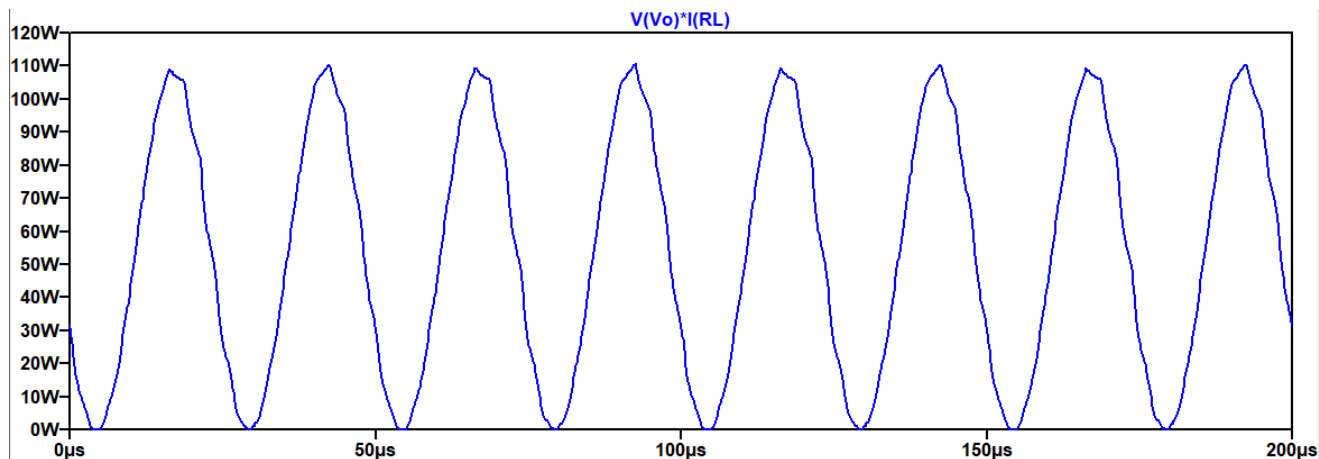


Figura 4.14: Potencia obtenida a lazo abierto.

Lazo	Abierto	Cerrado	Abierto	Cerrado
Frecuencia [kHz]	20	20	1	1
Potencia [W]	53,89	?	52.61	?

Tabla 4.3: Valores obtenidos de potencia para cada caso

4.6. Eficiencia

Para calcular la eficiencia se simuló el circuito a máxima potencia y se midió la potencia que entregaban las fuentes de VCC y VEE como se puede observar en el siguiente gráfico. A esto se le calculó el valor RMS a cada uno con lo que se obtuvo que las fuentes entregan $P_{VCC} = 28,36 \text{ W}$ y $P_{VEE} = 28,37 \text{ W}$.

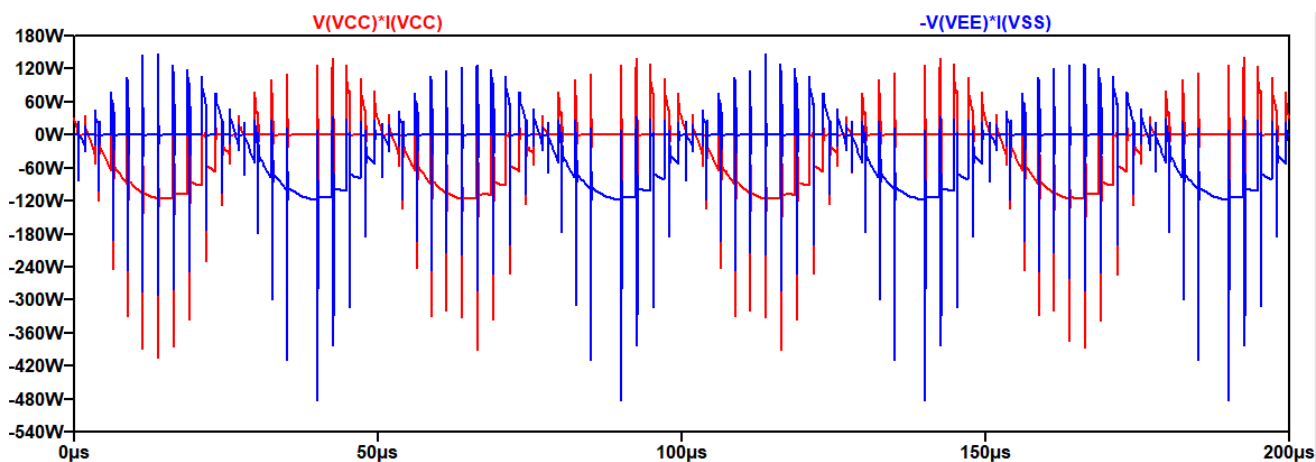


Figura 4.15: Eficiencia.

Luego para obtener la eficiencia se dividió la Potencia que consume la carga, que se simuló en el punto anterior, por la potencia total entregada por las fuentes, es decir, la suma de ambas:

$$\epsilon = \frac{P_{RL}}{P_{VCC} + P_{VEE}} = \frac{53,89 \text{ W}}{56,74 \text{ W}} = 94,9 \%$$

Simular la eficiencia en función de la potencia de salida.

4.7. Impedancia de salida

Para simular la impedancia de salida a lazo abierto, se colocó una fuente de tensión entre el gate y el source de cada uno de los mosfets de conmutación de manera tal de que uno esté encendido con el mismo valor con el que se enciende en el circuito para asegurar que la $R_{DS_{on}}$ sea la correcta y el otro mosfet se mantenga siempre apagado. Además, se agrega una fuente de corriente a la salida para realizar un barrido en frecuencia. Luego, se realiza la misma simulación cambiando el mosfet que se encuentra encendido y el que se encuentra apagado. Esto puede verse en la figura 4.16 donde se ven reflejados los dos casos. De esta manera se obtiene el rango posible de valores entre los cuales se encuentra la impedancia de salida a lazo abierto en función de la frecuencia.

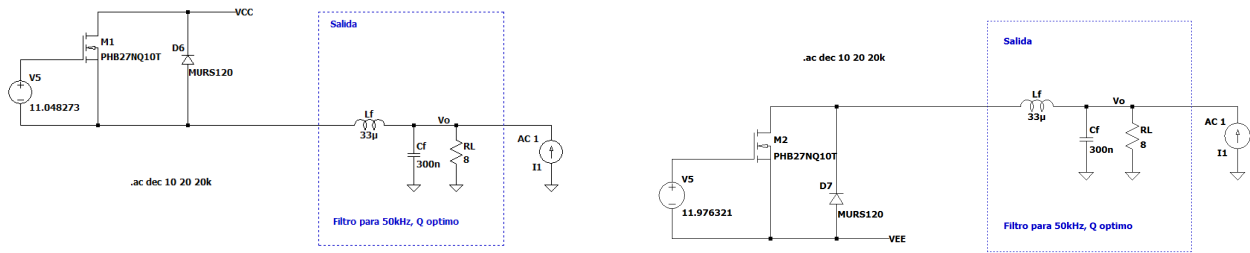


Figura 4.16: Circuitos para simulación de impedancia de salida

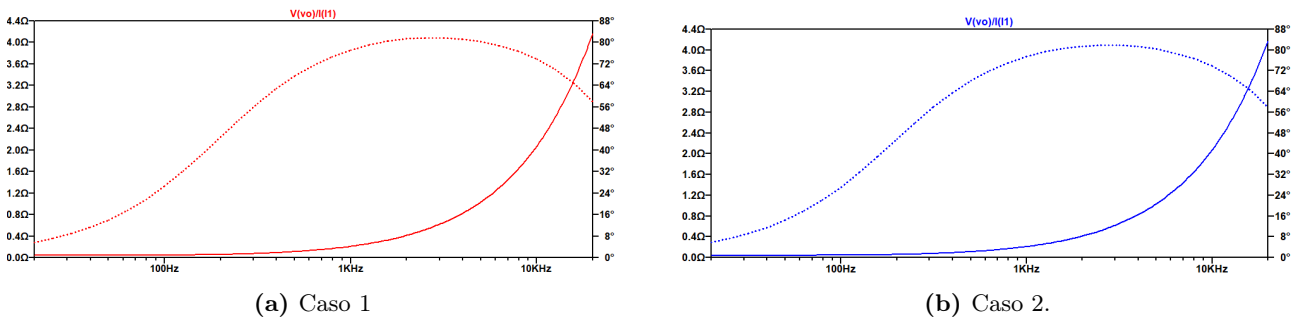


Figura 4.17: Impedancia de salida a lazo abierto

Luego, simplemente con un impulso de corriente a la salida puede estimarse la impedancia de salida a lazo cerrado realizando $FFT(V_o)/FFT(I_o)$. Al ser I_o una delta, su transformada de Fourier resulta constante por lo que la impedancia de salida es directamente lo que se observa a la salida.

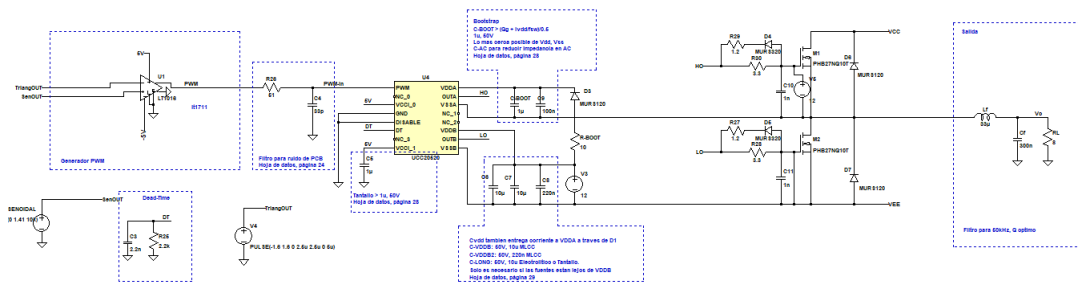


Figura 4.20: Simulación de ruido residual.

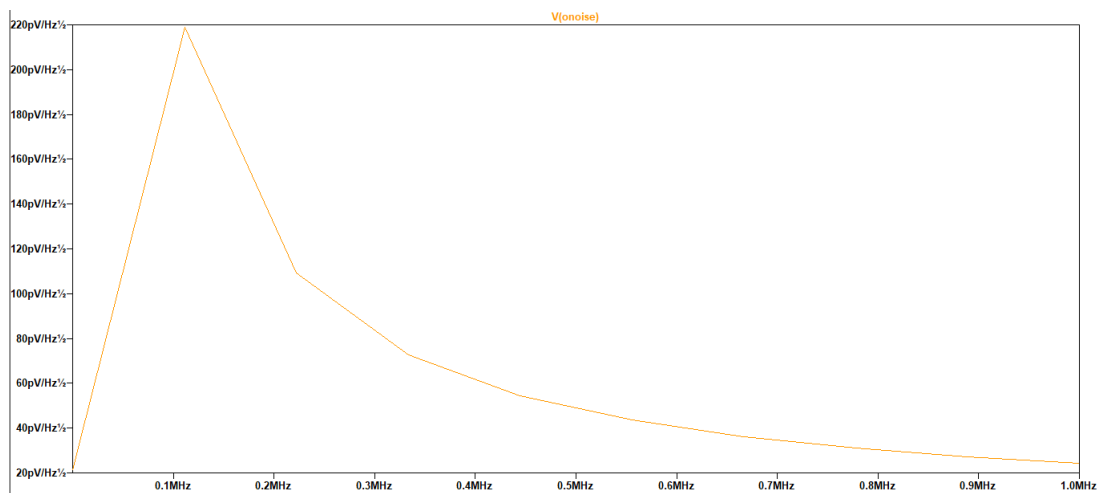


Figura 4.21: Resultado de ruido residual obtenido para uno de los casos.

En qué rango de frecuencias?

El valor RMS del resultado obtenido es de 84,84 nV. Al variar el mosfet que se encuentra encendido, la fuente de ruido o al cerrar el lazo se observa exactamente el mismo resultado.

5. Diseño de PCB

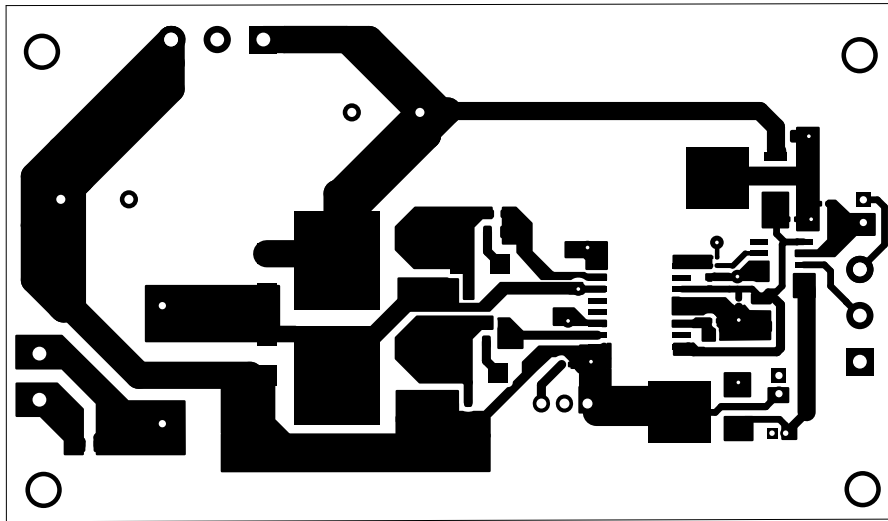
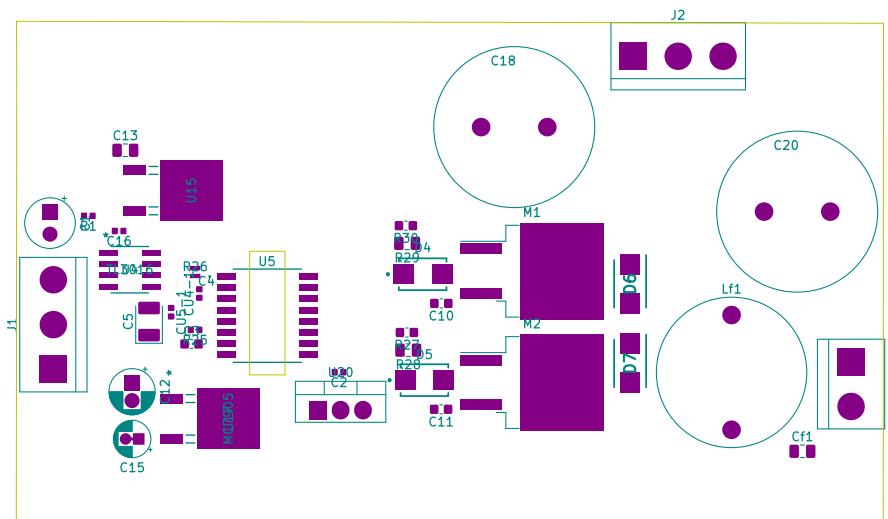


Figura 5.1: PCB vista superior.



Cuál es cada etapa?
Marcarlo sobre el layout
del PCB.

Figura 5.2: Vista superior del PCB

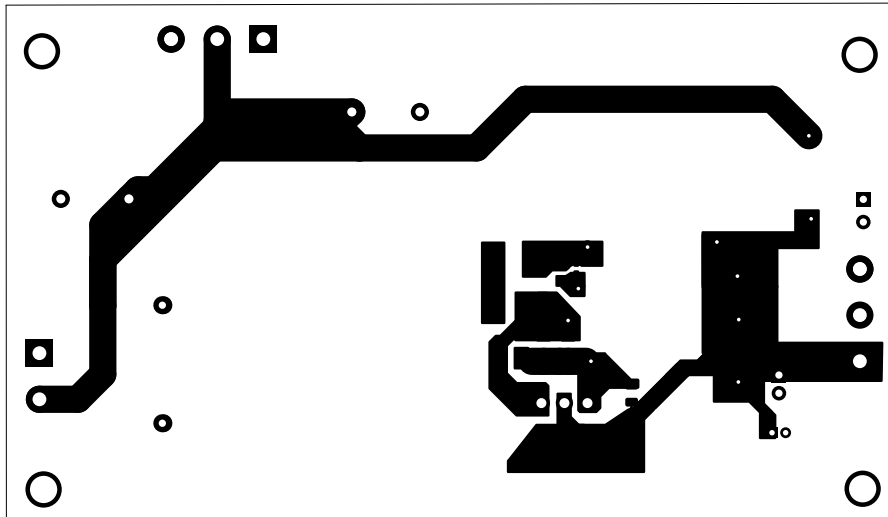


Figura 5.3: Vista inferior del PCB

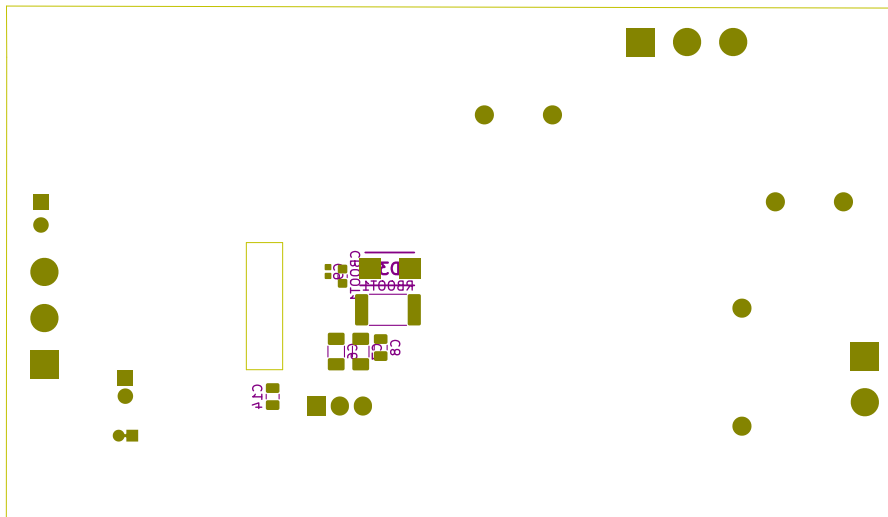


Figura 5.4: Vista inferior de los componentes del PCB

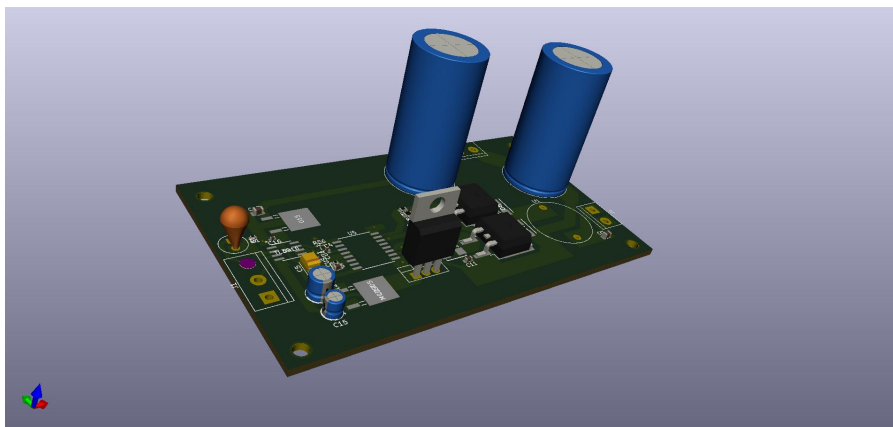


Figura 5.5: Vista 3D del PCB

6. Mediciones

6.1. PWM

En primer lugar, para corroborar el funcionamiento del circuito, se colocó la señal de entrada senoidal de entrada a tierra. Se midió entonces el PWM generado.



Figura 6.1: Medición del PWM.

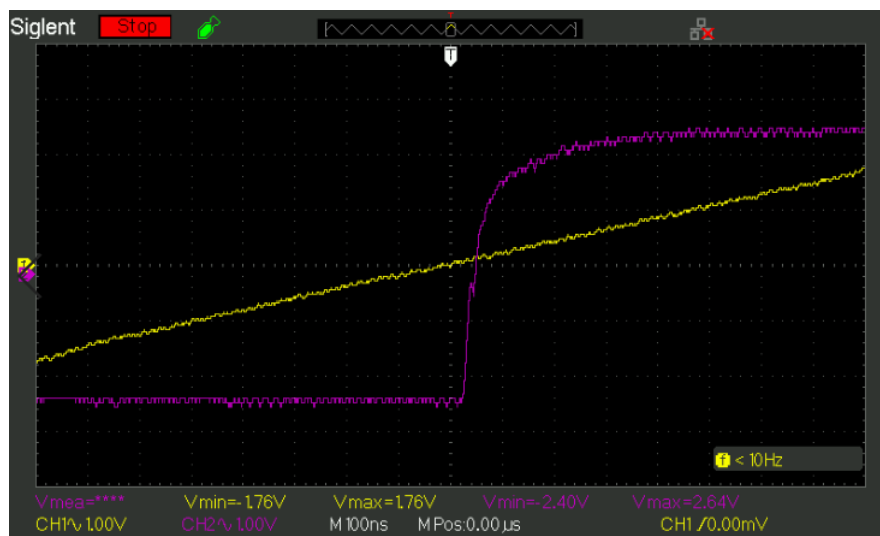


Figura 6.2: Medición del PWM.

6.2. Señales Gate Driver

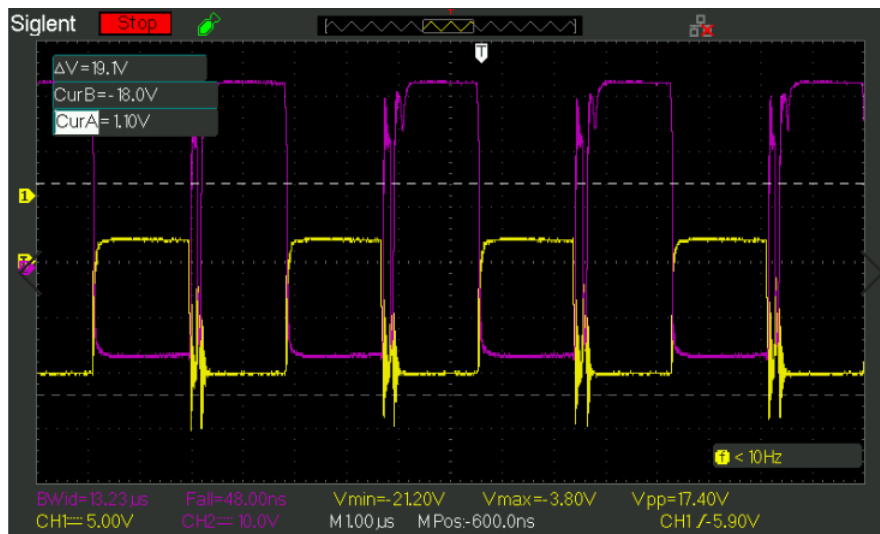


Figura 6.3: Medición de las señales del Gate Driver.

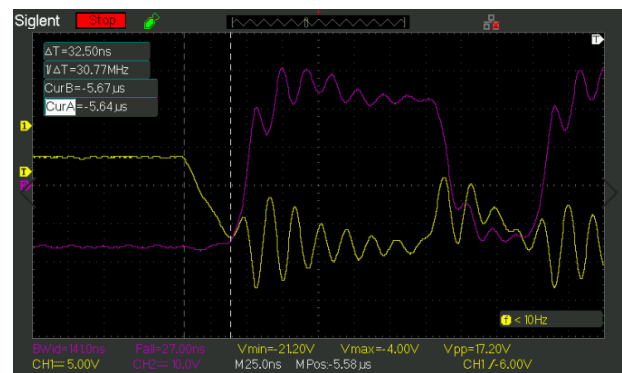
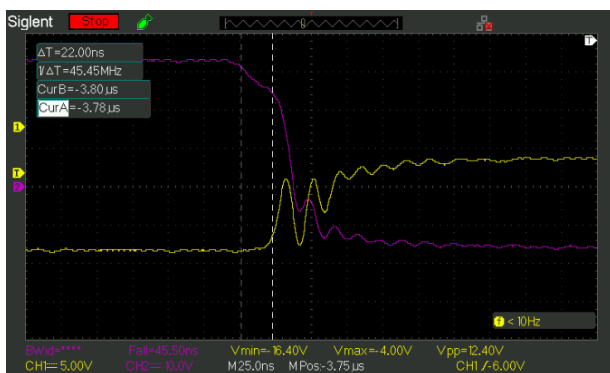


Figura 6.4: Medición del tiempo muerto

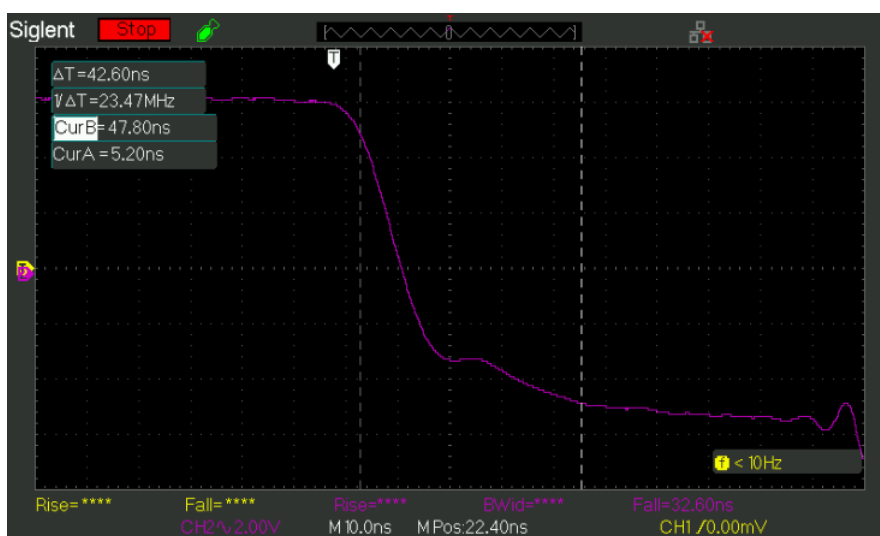


Figura 6.5: Tiempo de bajada de la señal.

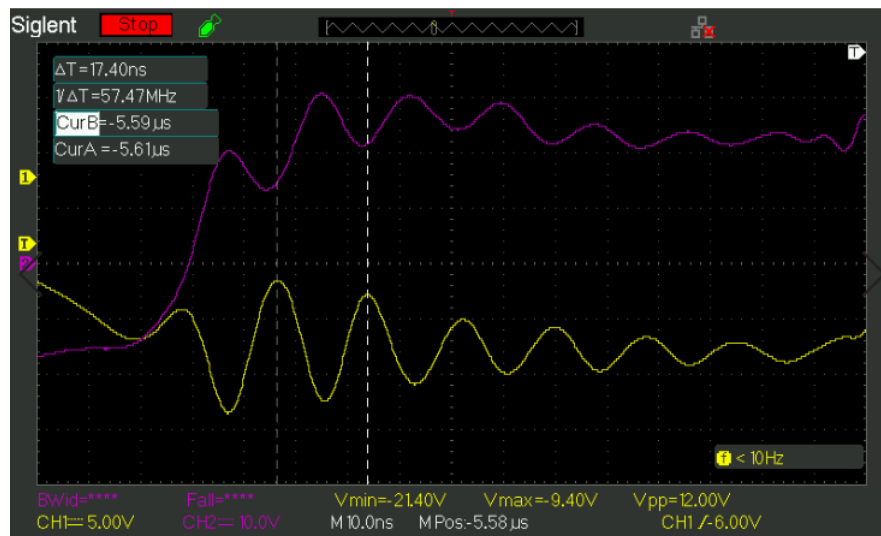


Figura 6.6: Oscilación de las señales.

6.3. Salida resistiva

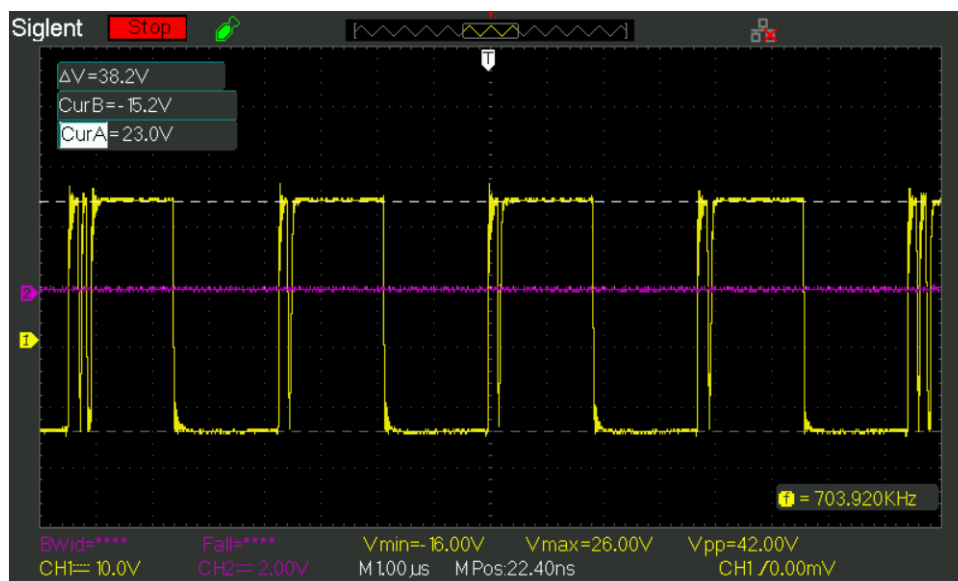


Figura 6.7: Resultado obtenido con salida únicamente resistiva.

En todos los casos explicar brevemente que se está midiendo, que se espera medir y por qué se aparta (si es que lo hace) lo medido de lo esperado.

6.4. Salida filtro

Para observar la respuesta del filtro, se insertó en la entrada una senoidal de frecuencia 1 kHz y de amplitud $0,8 V_{pp}$ a partir de un generador de funciones.

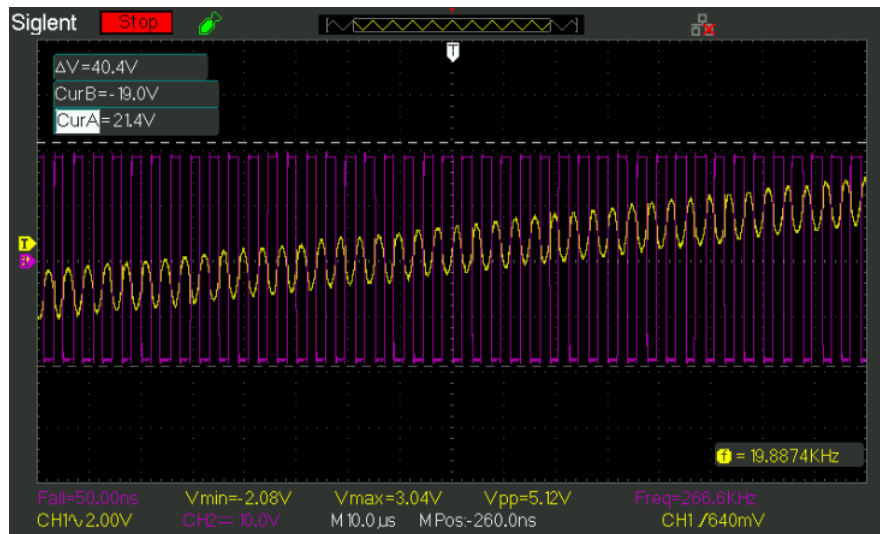


Figura 6.8: Salida filtro.

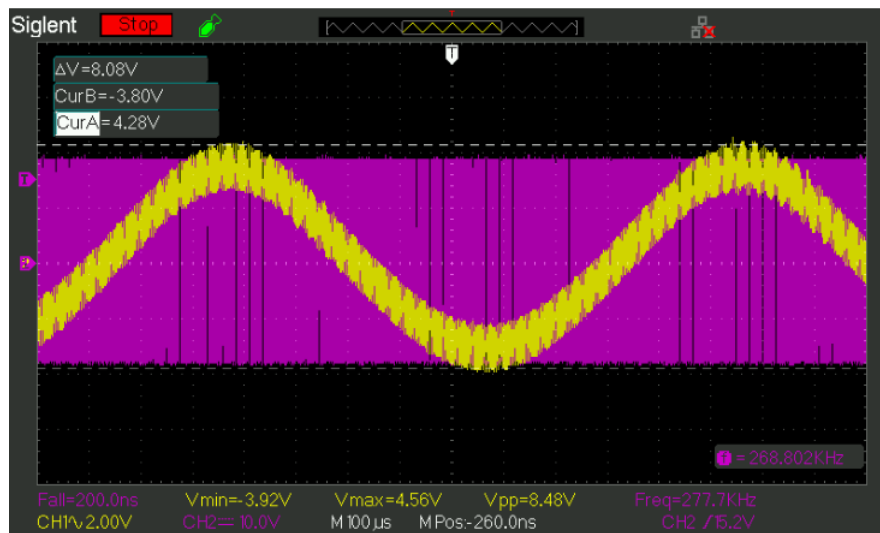


Figura 6.9: Salida filtro.



7. Listado de componentes

Tolerancia?
Tecnología?

Código esquemático	Componente	Valor	Digikey
R1	Resistor	12k @ 1/8W	A129762CT-ND
R2,R3,R14,R15,R16,R17	Resistor	100 @ 1/16W	311-100LRCT-ND
R4,R5	Resistor	510 @ 1/16W	RR08P510DCT-ND
R6,R7	Resistor	680 @ 1/16W	A129625CT-ND
R10,R11,R12,R13	Resistor	1k @ 1/16W	311-1.00KLRCT-ND
R18	Resistor	2.2k @ 1/16W	311-2.20KLRCT-ND
R8,R9	Resistor	2.8k @ 1/16W	YAG3106CT-ND
C1	Capacitor	680p @ 16V, pps	PCF1294CT-ND
Cx1, Cx2	Capacitor	100n @ 16V, ceram	1276-1004-1-ND
A1-A2	Dual NOR	SN74LVC2G02	296-13260-1-ND
U1	Generic Opamp	ADTL082	ADTL082ARMZ-REELCT-ND
U2,U3	Ultrafast Comparator	TL3016	296-41663-1-ND
Q16-Q14	Dual PNP	FFB2907A	FFB2907ACT-ND
Q13-Q15	Dual NPN	MMDT2222A	MMDT2222A-FDICT-ND
Q8-Q10	Dual PNP	BCM857BS	BCM857BS-7-FDICT-ND
Q1-Q2,Q4-Q5,Q6-Q7	Dual NPN	BCM847BV	1727-5457-1-ND
Q9,Q12	PNP	2N3906	MMBT3906-FDICT-ND
Q3,Q11	NPN	2N3904	MMBT3904-FDICT-ND
D1,D2	Generic Diode	1N4148	1N4148WTCT-ND

Tabla 7.1: Listado de componentes de la triangular con sus respectivas hojas de datos.

Código esquemático	Componente	Valor	Digikey
R19,R22	Resistor	1k @ 1/16W	311-1.00KLRCT-ND
R20,R21, R24	Resistor	5.1k @ 1/16W	311-5.10KLRCT-ND
R25	Resistor	2.2k @ 1/16W	311-2.20KLRCT-ND
R23	Resistor	4.7k @ 1/16W	311-4.7KLRCT-ND
R31	Resistor	22k @ 1/16W	BC4062CT-ND
R32	Resistor	1.2k @ 1/16W	311-1.20KLRCT-ND
R26	Resistor	51 @ 1/16W	YAG2288CT-ND
R-BOOT	Resistor	10 @ 1/8W	CRM2512-JW-100ELFCT-ND
R27,R29	Resistor	1.2 @ 1/8W	P1.2DCT-ND
R28,R30	Resistor	3.3 @ 1/8W	749-1639-1-ND
Cx3	Capacitor	0,1u @ 100V, ceram	478-7967-1-ND
C5	Capacitor	1u @ 50V, tantalio	399-14253-1-ND
C6, C7	Capacitor	10u @ 50V, ceram	490-12456-1-ND
C8	Capacitor	220n @ 50V, ceram	399-3491-1-ND
C-BOOT	Capacitor	1u @ 50V, low esr...	445-7425-1-ND
C9	Capacitor	100n @ 50V	490-13342-1-ND
C10, C11	Capacitor	1n @ 50V, low esr...	399-7833-1-ND
C4	Capacitor	33p @ 50V	311-1586-1-ND
C3	Capacitor	2.2n @ 16V, ceram	720-1666-1-ND
C2	Capacitor	270p @ 16V, ceram	587-6217-1-ND
Cf	Capacitor	300n @ 50V, filtro	445-7541-1-ND
D3, D6, D7	Diode	MURS120	MURS120T3GOSCT-ND
D4, D5	Diode	MURS320	MURS320T3GOSCT-ND
U4	Gate Driver	UCC20520	296-47679-1-ND
M1, M2	MOSFET N	PHB27NQ10T	1727-4763-1-ND
U5	Ultrafast Comparator	TL3016	296-41663-1-ND
U6,U7,U8	Generic Opamp	ADTL082	ADTL082ARMZ-REELCT-ND
L	Inductor	33u	811-3863-ND

Tabla 7.2: Listado de componentes de la etapa de salida con sus respectivas hojas de datos.

Código esquemático	Componente	Valor	Digikey
V1	Regulator 5V	MC78M05	MC78M05CDTRKGOSCT-ND
V2	Regulator -5V	MC79M05	MC79M05CDTGOS-ND
V3	Regulator -18V	MC7918	MC7918CTGOS-ND
Cout1	Capacitor	100n @ 16V, ceram	311-1352-1-ND
Cout2	Capacitor	1u @ 16V, ceram	1276-6524-1-ND
Cout3	Capacitor	1u @ 25V, electro	493-10461-1-ND
Cin	Capacitor	330n @ 50V, ceram	311-1888-1-ND
Cin3	Capacitor	2.2u @ 50V, electro	732-8852-1-ND

Tabla 7.3: Listado de componentes para las fuentes con sus respectivas hojas de datos.

Falta el esquemático completo, incluyendo las fuentes auxiliares diseñadas.