

基于 AHB 总线的 SRAM 控制器的集成需求

SRAM 控制器顶层信号描述

信号名称	信号位宽	输入/输出	有效电平/沿	信号功能描述
SRAM 控制器输入信号				
hclk	1	输入	上升沿	AHB 总线时钟信号
sram_clk	1	输入	上升沿	sram core 时钟信号
hresetn	1	输入	低电平	AHB 总线复位信号
hsel	1	输入	N/A	sram 控制器片选信号
hwrite	1	输入	高电平	写使能
hsize	[2:0]	输入	N/A	传输数据宽度: 2'b00 : 字节传输 2'b01 : halfword 传输 2'b10 : word 传输
htrans	[1:0]	输入	N/A	数据传输类型: 2'b10 : 单笔数据传输或第一笔数据开始传输 2'b11 : 支持 BURST 传输
hburst	[2:0]	输入	N/A	未用
hready	1	输入	高电平	sram 控制器工作使能
hwdata	[31:0]	输入	N/A	AHB 总线写数据
haddr	[31:0]	输入	N/A	AHB 总线发送的地址
dft_test	1	输入	高电平	DFT 测试使能
bist_test	1	输入	高电平	BIST 测试使能
SRAM 控制器输出信号				
hready_resp	1	输出	高电平	AHB 总线数据传输完成
hresp	[1:0]	输出	N/A	sram 控制器给 AHB 总线的应答信号 00 : 传输状态正常
hrdata	[31:0]	输出	N/A	AHB 总线读 slave 数据
bist_done	1	输出	高电平	1'b1 : BIST 测试结束标志
bist_fail[7:0]	8	输出	高电平	8 位分别表示 8 块 sram 的功能正确与否的标志

SRAM 控制器集成需求

SRAM 控制器 ahb slave 接口与 AMBA 总线相连，其中 hburst 输入信号未用到。另外在顶层还有几根独立于 AHB 接口的输入/出信号线如下：

信号名称	输入/输出	信号作用
sram_clk	输入	为 sram core 提供工作时钟
bist_en	输入	bist 测试使能
dft_en	输入	dft 测试使能
bist_done	输出	高电平时，表明 BIST 测试结束
bist_fail[7:0]	输出	8 位分别表示 8 块 sram 的功能正确与否的标志

附

参考文献