

基于 AHB 总线的 SRAM 控制器架构设计

SRAM 控制器功能列表

- 32 位 AHB Slave interface
- 支持 8 位、16 位和 32 位的 SRAM 数据读写操作
- 支持 SRAM 的单周期读写
- 支持低功耗工作(8 位/16 位操作): 在多块 SRAM 组成的存储器中, 根据不同地址, 系统选择一块或者多块 SRAM, 未被选中的 SRAM 片处在 low-power standby 模式
- 支持 DFT/BIST 功能

SRAM 控制器软硬件模块划分

无

SRAM 控制器的软硬件协同工作描述

无

SRAM 控制器模块功能描述 (硬件模块)

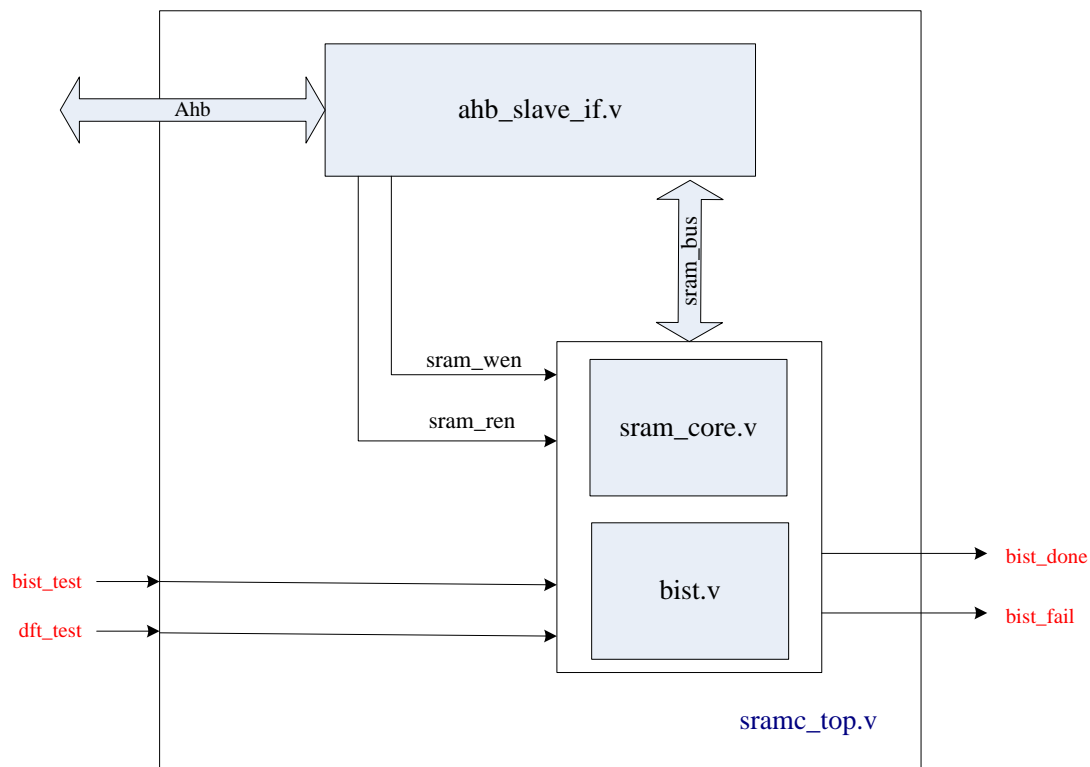


图 1 SRAM 控制器的模块层次划分框图

SRAM 控制器设计模块的划分框图如图 1 所示，最外层的框图为 `sramc_top.v` 模块，它包括了：`ahb_slave_if.v`、`sramc.v`、`sram_core.v`，其中 `sram_core.v` 里面有 `sram_core` 和 BIST 模块。

- `ahb_slave_if.v`：给 SRAM 控制器模块提供控制、数据信号、SRAM 片选地址的产生。
- `sram_core.v`：该模块包括两个部分，一个是 `sram` 核，用来存放数据；另一个是 BIST 模块，将其与 SRAM 核放在一个模块中，实现 SRAM 功能的自测。

针对系统中其他模块使用到 SRAM 类型的 FIFO，为了便于验证功能正确性（DFT/BIST 测试），我们可以把每个使用到的 SRAM 封装成如下一个形式，如图 2 所示。其中浅蓝色的为 BIST 测试所需要的信号，红色的线为 `sram bus`，其一方面在不进行测试模式时，会是 SRAM 的输入，而当 `sram` 控制器电路进行 DFT 测试时，`sram bus` 信息通过红色线经过多输入异或门，然后输出到 MUX 将黑盒子 SRAM bypass 掉。

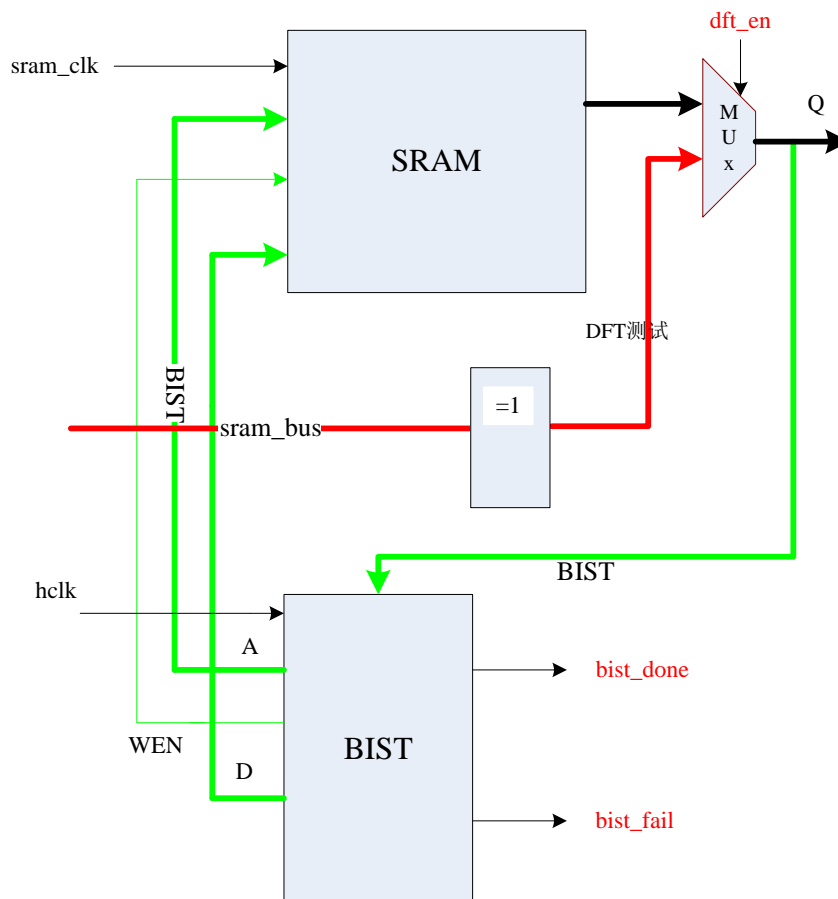


图 2 SRAM 块的 DFT/BIST 测试框图

附

附录为基于 AHB 总线的 SRAM 控制器的读写时序，如图 3 所示。

