

# 基于 AHB 总线的 SRAM 控制器设计的需求分析

## 需求分析

总的设计需求有如下几点：

- 支持低功耗
- 支持单周期读写
- 能够根据 AHB 总线的读写宽度进行相应的 SRAM 位宽选择
- 能够支持 DFT/BIST 测试

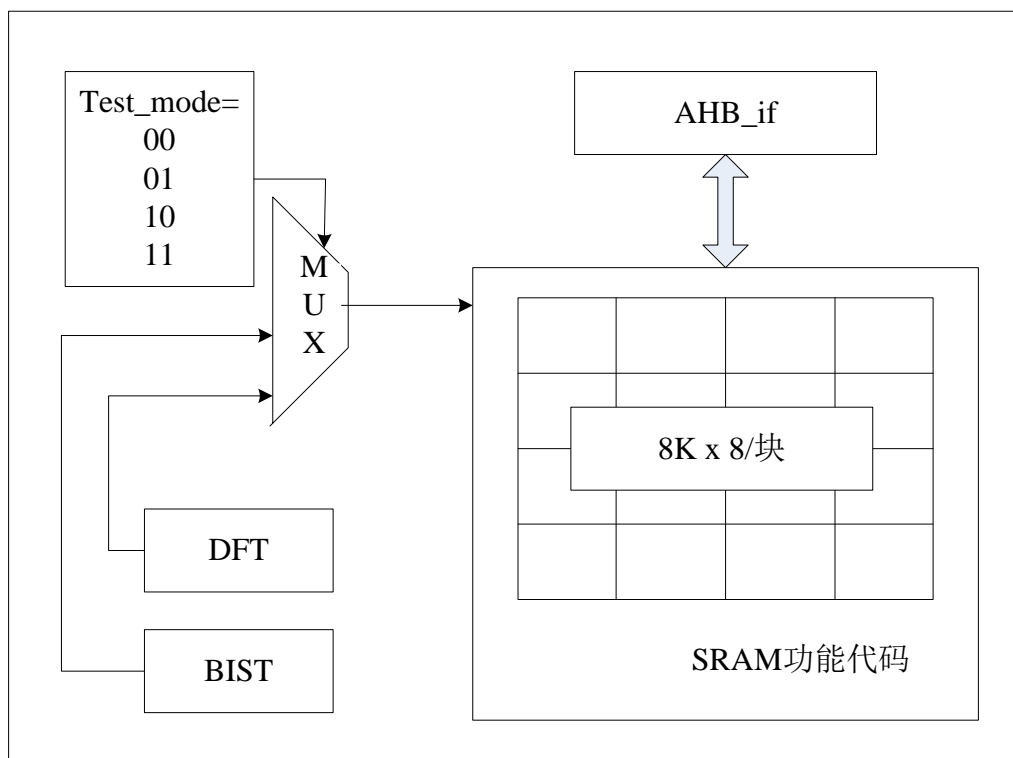
如图 1 所示为 sram\_50m\_8k\_m16 SRAM 的功耗表。在高速读写该 SRAM 数据时，电流分别为 3.414mA 和 4.030mA，而如果此时该 SRAM 被挂起时，其电流仅为 0.004mA。所以支持低功耗功能是有很大实用价值的，通过片选功能，选择需要工作的 SRAM 片。在多块 SRAM 组成的存储器中，根据不同地址，系统选择一块或者多块 SRAM，未被选中的 SRAM 块则处在 low power standby 状态，从而减少了整个芯片工作的功耗。

Power (current units = mA)

Pin	Fast Process 1.98V, 0°C	Typical Process 1.8V, 25°C	Slow Process 1.62V, 125°C
AC Current <sup>1,4</sup>	3.722	3.395	3.118
Read AC Current <sup>4</sup>	3.414	3.114	2.871
Write AC Current <sup>4</sup>	4.030	3.675	3.365
Peak Current <sup>4</sup>	135.983	96.699	54.009
Deselected Current <sup>2,4</sup>	1.030	0.919	0.817
Standby Current <sup>3</sup>	0.004	0.003	0.018

图 1 单片 sram\_50m\_8k\_m16 功耗表

总的设计分层如图 2 所示：



SRAM 控制器设计分层结构

如上图所示，结合 AHB\_IF 的地址信号可以进行 SRAM 的片选、以及读写宽度的选择，从而支持低功耗并能进行相应的 SRAM 位宽的选择。图中的 MUX 用来对测试模式的选择，在不同的测试模式下选择如 DFT/BIST 测试。

总的验证方案：

- (1) **BIST 模块功能的单独验证**，此时需要一个 SRAM 模型。通过在模型中某几位插入固定的值，通过 BIST 测试，监测 BIST 给出的结果正确与否，从而验证 BIST 模块的功能的正确性。
- (2) **SRAM 功能的整体测试**：对于 BIST 测试模式下，有两种选择，一个是分别对每一个 SRAM 片进行 BIST 测试，然后对每一片的 BIST 测试结果进行检测；另外一种方案类似于并行测试，将 BIST 测试信号同时分给由 SRAM 拼出的 MEMORY 块，对最后测试结果 `bist_test_passed` 进行“与”运算，从而检测 SRAM 功能的正确性。对于 DFT 测试模式，只需要将 SRAM 功能模块 by-pass 掉，对输入和输出寄存器连接进行测试。

## IP 功能列表

- 支持 8 位、16 位和 32 位的 SRAM 数据读写操作
- 支持 SRAM 的单周期读写
- 支持在多块 SRAM 组成的存储器中，根据不同地址，系统选择一块或者多块 SRAM，未被选中的 SRAM 块则处在 low power standby 状态。
- 支持 DFT/BIST 功能

## 附

参考文献

无