

Notatki do pracy inżynierskiej.
8-bitowy przetwornik cyfrowo-analogowy.
STAN : pre-alpha

Michał Czyż
student, WETI PG

2018

Spis treści

1	Preliminaria.	2
1.1	Abstract.	2
1.2	Abstrakt.	2
1.3	Podziękowania.	2
2	Przetworniki cyfrowo-analogowe.	3
2.1	Wstęp.	3
2.1.1	Zasada działania.	3
2.1.2	Podział konwerterów.	4
2.2	Przestrzeń projektowa.	4
2.2.1	Miary jakości i testy.	4
3	Schemat elektryczny.	5
3.1	Schemat/opis.	5
3.1.1	Dobór kryteriów prowadzących do tego rozwiązania.	5
3.1.2	Schemat.	5
3.2	Dowód poprawności działania.	5
4	Pomiary parametrów.	6
4.1	Środowisko.	6
4.2	Układ testujący do wyznaczenia x.	6
4.3	Układ testujący do wyznaczenia y.	6
4.4	Układ testujący do wyznaczenia z.	6
5	Realizacja topografii.	7
5.1	Środowisko.	7
5.2	Technologia.	7
5.3	Hierarchizacja projektu.	7
5.3.1	Moduł 1.	7
5.3.2	Moduł 2.	7
5.3.3	Moduł 3.	7
5.3.4	Moduł 4.	7
5.4	Pomiary parametrów po ekstrakcji.	7
5.4.1	Sposób pomiaru	7
5.4.2	Rozmiar układu, liczba tranzystorów.	7
6	Podsumowanie	8
6.1	Weryfikacja osiągniętych celów.	8
A	Synteza rejestru cyfrowego przy pomocy Cadence Virtuoso.	9
B	Badanie wzmacniacza (a może czegoś innego) analogowego z Cadence.	10

Rozdział 1

Preliminaria.

1.1 Abstract.

1.2 Abstrakt.

1.3 Podziękowania.

Rozdział 2

Przetworniki cyfrowo-analogowe.

2.1 Wstęp.

Tematem pracy jest przetwornik C/A, który:

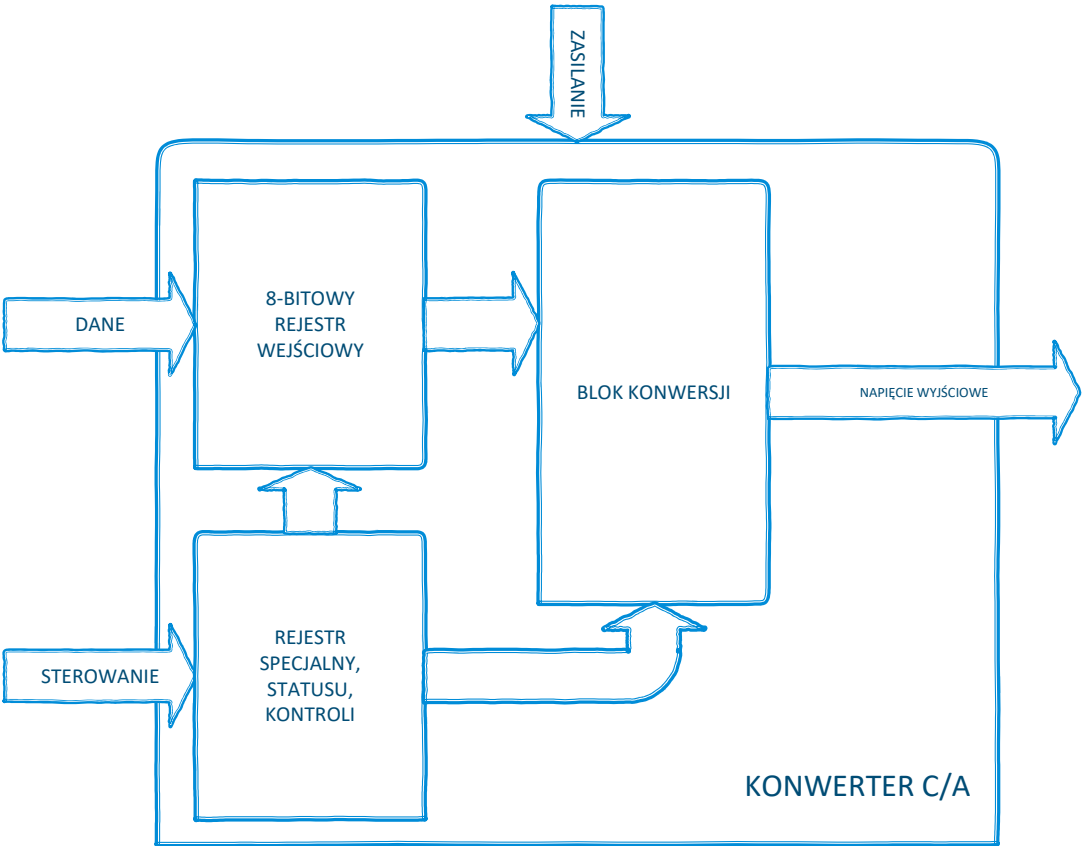
- zasilanie 1.8V
- CMOS 180nm
- czas konwersji poniżej 4ms
- 8bitowy

2.1.1 Zasada działania.

Zadaniem przetwornika cyfrowo-analogowego jest konwersja sygnału elektrycznego z dziedziny cyfrowej do analogowej. W tej pracy układ przetwarza 8-bitowe liczby na wartość napięcia od zera do zasilania.

Sygnał wejściowy to w ogólności N-bitowe słowo $B_{in} = b_{n-1}, b_{n-2}, \dots, b_0$. Wszystkie możliwe N-bitowe liczby tworzą przestrzeń D . Napięcie wyjściowe może przyjąć każdą wartość z zakresu napięć zasilania $V_{out} = f(B_{in})$, gdzie:

$$\mathcal{D} \ni \mathcal{B}_{in} \rightarrow \mathcal{V}_{out} \in (V_{gnd}, V_{ref}) \tag{2.1}$$



Rysunek 2.1: Blokowy schemat konwertera C/A.

Nie jest to pełny obrazek, może być potrzebny blok S&H na wyjściu, jeżeli konwersja mocno szumi i przechodzi przez wiele stanów.

2.1.2 Podział konwerterów.

Za [2] i [1] konwertery C/A dzieli się na:

- statyczne i dynamiczne
- równoległe i szeregowo
- nadprobkujące (w tym delta-sigma)
- rampfunction, dual-slope?

Stacyjny - po wpisaniu liczby do rejestru wejściowego napięcie wyjściowe jest utrzymywane do zaniku zasilania. Dynamiczny - przeciwnie niż statyczny, napięcie wyjściowe po pewnym czasie zanika, np. ze względu na rozładowanie kondensatorów, więc wymagają odświeżania. Równoległy przetwarza każdy bit rejestru wejściowego jednocześnie. Szeregowy przetwarza zawartość rejestru wejściowego bit po bicie. Nadprobkujący, rampfunction, dual-slope???

2.2 Przestrzeń projektowa.

Znając już mnogość klasyfikacji należy się zastanowić co powoduje, że dany konwerter będzie się lepiej nadawał w danej aplikacji, więc trzeba wprowadzić miary jakości i sposoby testowania/mierzenia.

2.2.1 Miary jakości i testy.

Konwerter może zostać scharakteryzowany przez

- Zakres napięć wyjściowych/zasilania
- STATIC
 - Rozdzielczość
 - efektywna liczba bitów 9.1-13 z [2] ???
- STATIC ERROR
 - offset error
 - gain error
 - quantization error
 - integral nonlinearity
 - differential nonlinearity
 - monotonicity
- DYNAMIC
 - conversion speed

Na poziomie symulacji można je wyznaczyć, więc trzeba przygotować stanowiska pomiarowe.

Tzw. test in-out wymaga stworzenia modelu generatora słów cyfrowych, dac jako dut, modelu adc do przetwarzania wyjścia dac i pomiaru różnicy liczby wejściowej z wyjściową adc. Problem: jak stworzyć model adc? Pomiar uznaje się za dobry, gdy adc jest n+2 bitowe. Model adc jest niepotrzebny, bo symulacja daje wynik jako 32-bitowe float.

Test widmowy - generator funkcji cyfrowy. wyjście na analizator widmowy - analiza transient dacia i potem fourier

Rozdział 3

Schemat elektryczny.

3.1 Schemat/opis.

3.1.1 Dobór kryteriów prowadzących do tego rozwiązania.

3.1.2 Schemat.

3.2 Dowód poprawności działania.

Rozdział 4

Pomiary parametrów.

- 4.1 środowisko.
- 4.2 Układ testujący do wyznaczenia x .
- 4.3 Układ testujący do wyznaczenia y .
- 4.4 Układ testujący do wyznaczenia z .

Rozdział 5

Realizacja topografii.

5.1 środowisko.

5.2 Technologia.

5.3 Hierarchizacja projektu.

5.3.1 Moduł 1.

5.3.2 Moduł 2.

5.3.3 Moduł 3.

5.3.4 Moduł 4.

5.4 Pomiary parametrów po ekstrakcji.

5.4.1 Sposób pomiaru

Jak przed ekstrakcją.

5.4.2 Rozmiar układu, liczba tranzystorów.

Rozdział 6

Podsumowanie

6.1 Weryfikacja osiągniętych celów.

Dodatek A

Synteza rejestru cyfrowego przy pomocy Cadence Virtuoso.

Dodatek B

Badanie wzmacniacza (a może czegoś innego) analogowego z Cadence.

Bibliografia

- [1] Jespers, Paul G.A.. (2001). *Integrated Converters - D to A and A to D Architectures, Analysis and Simulation*. Oxford University Press
- [2] Allen, Phillip E. Holberg, Douglas R.. (2012) *CMOS Analog Circuit Design (3rd Edition)*. Oxford University Press.
- [3] Das, Debaprasad. (2015). . *VLSI Design (2nd edition)* Oxford University Press.
- [4] R. Plassche (2001). *Scalone przetworniki analogowo-cyfrowe i cyfrowo-analogowe*, WKŁ 2001