

Notatki do pracy inżynierskiej.
8-bitowy przetwornik cyfrowo analogowy w technologii CMOS.
STAN : alpha

Michał Czyż
student, WETI PG

2018

Spis treści

1 Preliminaria.	2
1.1 Abstract.	2
1.2 Abstrakt.	2
1.3 Podziękowania.	2
2 Wstęp.	3
2.1 Architektury konwerterów C/A. [2] [4]	3
2.2 Parametry statyczne przetworników C/A.(Podać tylko te parametry, które będą mierzył.)	3
2.3 Parametry dynamiczne przetworników C/A.	4
3 Zaprojektowany konwerter.	5
3.1 Metodologia projektowania.	5
4 Schemat elektryczny.	7
4.1 Układ bandgap.	7
4.2 Sieć ważonych prądów.	7
4.3 Wyjściowy wzmacniacz transkonduktancyjny.	7
5 Symulacje i pomiary parametrów.	8
5.1 Układ testujący do wyznaczenia x.	8
5.2 Układ testujący do wyznaczenia y.	8
5.3 Układ testujący do wyznaczenia z.	8
6 Projekt fizyczny.	9
6.1 Hierarchizacja projektu.	9
6.2 Widok topografii układu bandgap.	9
6.3 Widok topografii układu 2.	9
6.4 Widok topografii układu 3.	9
6.5 Widok topografii układu 4.	9
7 Symulacje i pomiary po ekstrakcji.	10
8 Podsumowanie.	11
8.1 Rozmiar układu, liczba tranzystorów.	11
8.2 Porównanie parametrów przed i po ekstrakcji.	11
8.3 Weryfikacja osiągniętych celów.	11
9 Wnioski końcowe.	12

Rozdział 1

Preliminaria.

1.1 Abstract.

Goal of this thesis... **NA KONIEC UZUPEŁNIĆ.**

1.2 Abstrakt.

Celem niniejszej pracy jest zaprojektowanie schematu i topografii masek 8-bitowego przetwornika cyfrowo-analogowego w technologii CMOS AMS 180nm. **NA KONIEC UZUPEŁNIĆ.**

1.3 Podziękowania.

Dziękujemy wszystkim **NA KONIEC UZUPEŁNIĆ**

Rozdział 2

Wstęp.

Konwertery sygnałów z postaci cyfrowej na analogową (i odwrotnie) są niezbędną częścią systemów elektronicznych, ponieważ umożliwiają komunikację pomiędzy zewnętrznym, analogowym światem i cyfrowymi rdzeniami układów krzemowych [1]. Do przykładowych zastosowań konwerterów należą m.in. generowanie sygnału wizyjnego, fonicznego lub sygnałów sterowania np. dla układów radarowych czy konwerterów mocy.

Sygnałem wejściowym dla 8 bitowego przetwornika cyfrowo analogowego jest słowo cyfrowe $\mathcal{B} = \{b_7, b_6, \dots, b_0\}$. Bit b_7 nosi miano najstarszego bitu (MSB - Most Significant Bit), a bit b_0 to najmłodszy (LSB - Least Significant Bit). Sygnał wyjściowy to analogowe napięcie lub prąd \mathcal{S} przeskalowany przez sygnał referencyjny V_{ref} . Zależność pomiędzy sygnałem wyjściowym i wejściowym to wtedy:

$$\mathcal{S} = V_{ref} \mathcal{B} = V_{ref} \sum_{k=0}^7 b_k 2^k \quad (2.1)$$

2.1 Architektury konwerterów C/A. [2] [4]

Dokonyuje się kilku podziałów konwerterów. Ze względu na liczbę przetwarzanych bitów wyróżnia się: **szeregowe**, czyli takie, które dokonują konwersji słowa cyfrowego bit po bicie oraz **równoległe**, czyli takie, które dokonują konwersji całego słowa jednocześnie. Jeżeli sygnał wyjściowy przetwornika jest stały w czasie dla ustalonego i podtrzymywanego słowa cyfrowego, to nazywamy taki przetwornik **statycznym**, w przeciwieństwie do przetworników **dynamicznych**, których sygnał wyjściowy zanika i wymaga odświeżania.

Przetwornik z modulacją szerokości impulsów dokonuje porównania słowa cyfrowego z liniowo rosnącym cyfrowym słowem odniesienia. Wygenerowany w ten sposób impuls o szerokości zależnej od wartości przetwarzanego słowa poddawany jest filtracji dolnoprzepustowej. Do wad tego rozwiązania należą mała szybkość przetwarzania i konieczność stosowania filtrów o wysokim tłumieniu w paśmie zaporowym.

Przetwornik integracyjny z całkowaniem liniowym również wykorzystuje mechanizm porównywania liczb cyfrowych do wygenerowania sygnału o modulowanej szerokości, który jest poddawany całkowaniu, a następnie próbkowaniu przez układ próbkująco pamiętający. Celem zwiększenia szybkości działania układu dokonuje się podzielenia słowa bitowego na część starszą i młodszą, a przetwarzanie obu części odbywa się równoległe.

Przetworniki sieciowe ze skalowaniem dokonują zamiany słowa cyfrowego na napięcia, prądy lub ładunki proporcjonalne (ważone) do wartości tego słowa. Sygnały z poszczególnych gałęzi sieci są sumowane, a sygnał wyjściowy podlega konwersji i/lub kondycjonowaniu do zadanej formy. Uda się uzyskać rozdzielczość do 10-bitów.

Przetwornik z kształtowaniem szumu wykorzystuje filtry nadpróbkujące, układy kształtowania szumu, 1-bitowy przetwornik C/A i analogowy filtr wyjściowy. Uzyskuje się wysoką precyzję 16-18 bitów. **Czy przetworniki Nyquista, $\Sigma\Delta$ i nadpróbkujące to dokładnie to samo, bo tak to wygląda?**

Przetwornik szeregowy z redystrybucją ładunku wykorzystuje układ dwóch połączonych równoległe identycznych kondensatorów i kilka kluczy. Kondensator wejściowy jest ładowany lub rozładowywany w zależności od wartości kolejnych bitów, a następnie dołączany do kondensatora wyjściowego, co pozwala na dodanie lub odjęcie ładunku, a więc zwiększenie lub zmniejszenie wartości napięcia wyjściowego.

Przetwornik algorytmiczny potokowy składa się z sumatorów i bloków opóźnienia, które pozwalają na dodawanie przeskalowanych napięć referencyjnych w kolejnych blokach. **przepisać**

Przetwornik algorytmiczny iteracyjny w węźle układu próbkująco pamiętającego dodaje kolejne bity. **przepisać**

Przetworniki segmentowe to przetworniki składające się z połączenia dwóch lub więcej przetworników. Zazwyczaj łączone są przetworniki o małej liczbie bitów w większe, aby zwiększyć rozdzielczość.

2.2 Parametry statyczne przetworników C/A. (Podać tylko te parametry, które będą mierzył.)

Rozdzielczość określa minimalną zmianę sygnału wyjściowego dla kolejnych słów cyfrowych. Odpowiada stosunkowi pełnego zakresu napięcia wyjściowego do liczby poziomów (różnych słów cyfrowych).

Dokładność względna to odchylenie wartości sygnału wyjściowego w stanie ustalonym od teoretycznej prostej wyznaczonej przez pełny zakres przetwarzania.

Sygnał wyjściowy przetwornika **monotonicznego** nie zmniejsza się dla wzrostu wejściowego słowa cyfrowego.

Przesunięcie zera to wartość sygnału wyjściowego dla sygnału wejściowego o wartości zero.

Nieliniowość całkowita INL to wartość bezwzględna sumy błędów nieliniowości dodatnich (lub ujemnych).

Nieliniowość różniczkowa DNL to zmiana sygnału wyjściowego w stosunku do LSB przy przejściu o jedno słowo cyfrowe obliczone dla każdego przejścia osobno.

2.3 Parametry dynamiczne przetworników C/A.

Wymienić resztę.

- Stosunek sygnału do szumu.
- Maksymalna częstotliwość próbkowania,
- PSRR.

Rozdział 3

Zaprojektowany konwerter.

3.1 Metodologia projektowania.

Projekt układu scalonego rozpoczyna się od sformułowania wymagań (specyfikacji) urządzenia lub systemu. W temacie niniejszej pracy sformułowano następujące wymagania na przetwornik:

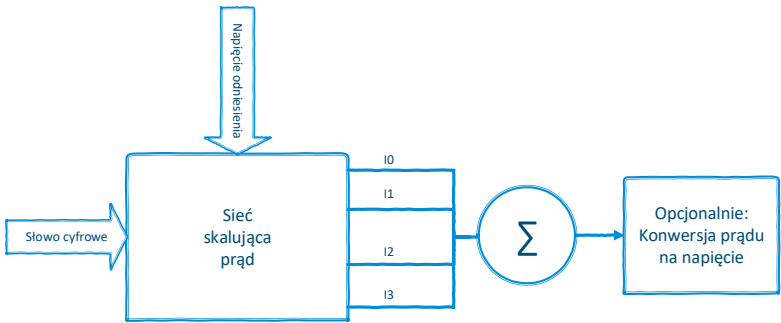
- zasilany ze źródła napięcia stałego o wartości 1.8V,
- zaprojektowany w technologii CMOS AMS 180nm,
- osiąga szybkość konwersji powyżej 4 milionów próbek na sekundę (MSPS),
- ma 8-bitów rozdzielczości.

Ponadto, projektant doprecyzował następujące parametry:

- sygnał wyjściowy to sygnał napięciowy o zakresie co najmniej od 0V do 1V,
- dopuszczalne obciążenie ma charakter rezystancyjny o minimalnej wartości 50Ω.

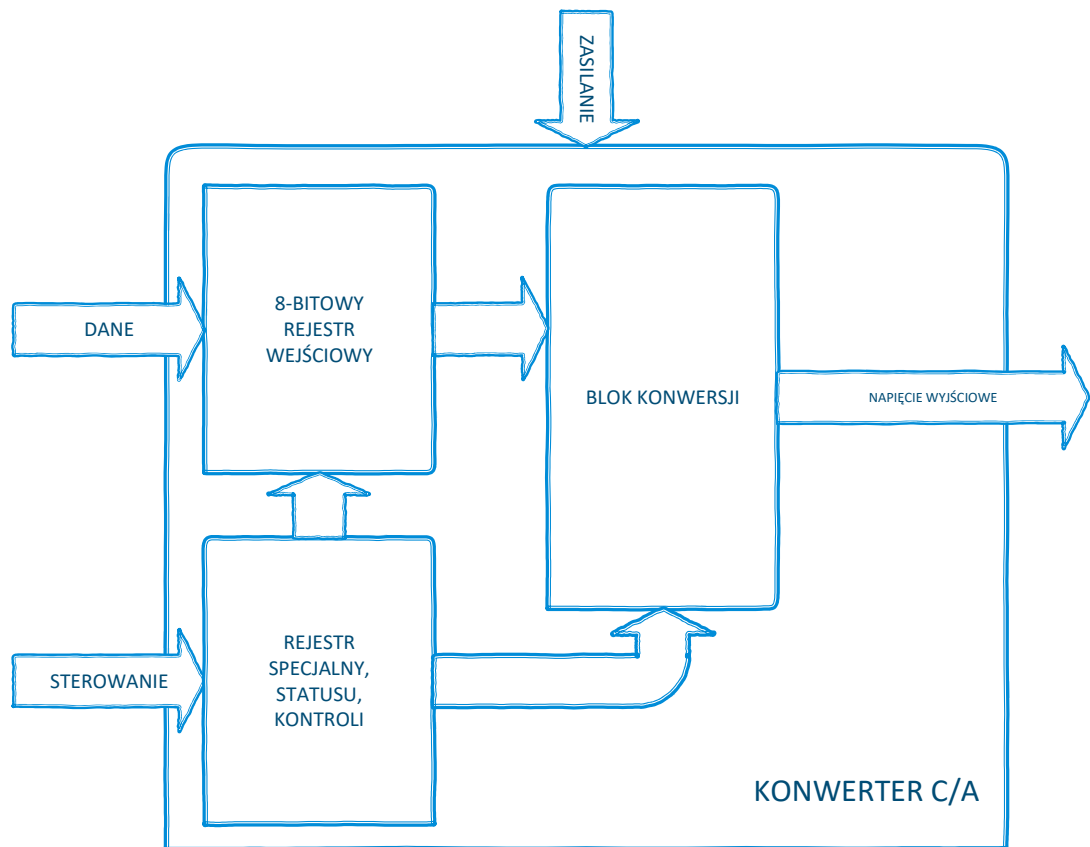
Na podstawie wymagań należy zaproponować architekturę urządzenia na podstawie analizy obecnego stanu wiedzy technicznej lub przeprowadzić zgrubne (często ręczne) obliczenia, potwierdzające spełnienie wymagań. Po zapoznaniu się z literaturą wybór padł na konwerter skalujący prąd. Najistotniejsze motywacje tego wyboru to prostota schematu, wysoka szybkość działania [2] oraz fakt, że poprzednie prace uzyskały do 10 bitów rozdzielczości [4]. Autorzy [2] jako główne wady podają duży rozmiar oraz duży rozstęp wielkości elementów.

Blokowy schemat konwertera skalującego prąd znajduje się na rysunku 3.1. **Na rysunku są 4 prądy, można uogólnić ten obrazek lub dostosować do 8-bit?** Zasada działania jest następująca: słowo cyfrowe jest sygnałem sterującym sieć, która może wytwarzać prądy o różnych wartościach. Typowo, przypisuje się prądom wagi dwójkowe, a kolejne bity słowa cyfrowego decydują o włączeniu/wyłączeniu gałęzi prądowej, co oznacza, że po zsumowaniu prądów wyjściowych otrzymujemy prąd o wartości bezwzględnej równej wartości zakodowanej w słowie cyfrowym. W zależności od wymagań na sygnał wyjściowy, dokonuje się konwersji prądu wyjściowego na napięcie.



Rysunek 3.1: Schemat blokowy konwertera skalującego prąd

Typową praktyką jest doposażenie konwertera w rejestr wejściowy, aby ułatwić integrację przetwornika z innymi, cyfrowymi blokami systemu. W przypadku projektowania przetworników, które samodzielnie tworzą układ scalony umieszcza się także standardowe interfejsy cyfrowe, np. SPI lub I2C. Ponadto, na rynku dostępne są konwertery wyposażone w rejestr kontrolny, który umożliwia wykorzystanie dodatkowych funkcjonalności np. programowania wzmocnienia sygnału wyjściowego, autotestowania lub autokalibracji. **Czy na pewno tak się pisze autocosie?**



Rysunek 3.2: Blokowy schemat konwertera C/A.

- Poprawnie zaprojektowane układy scalone charakteryzują się niewrażliwością na 3 istotne czynniki:
- rozrzut technologiczny (precyzja wykonania) parametrów elementów elektronicznych,
 - zmiana temperatury,
 - odchyłki napięcia zasilania od wartości nominalnej.

Weźmiemy bandgap, wyjaśnić po co i jak. Matching tranzystorów. Przepisać ten fragment.

Kluczowym dla poprawnego działania konwertera skalowanego jest stabilne źródło napięcia odniesienia. Układy wytwarzane w technologii CMOS są wrażliwe na rozrzut technologiczny parametrów elementów elektronicznych, zmieniają się ich właściwości pod wpływem zmian temperatury lub zmian wartości napięcia zasilania. Aby zapewnić stabilność napięcia odniesienia stosuje się układ bandgap.

Teoretyczne LSB u nas to 1/256 V. Zwrócić uwagę, czy po implementacji na wyjściu rejestru wyjściowego będą impulsy szpilkowe (glitch). Gdyby były one większe niż LSB to jest problem.

Rozdział 4

Schemat elektryczny.

4.1 Układ bandgap.

4.2 Sieć ważonych prądów.

4.3 Wyjściowy wzmacniacz transkonduktancyjny.

Rozdział 5

Symulacje i pomiary parametrów.

5.1 Układ testujący do wyznaczenia x .

5.2 Układ testujący do wyznaczenia y .

5.3 Układ testujący do wyznaczenia z .

Rozdział 6

Projekt fizyczny.

- 6.1 Hierarchizacja projektu.
- 6.2 Widok topografii układu bandgap.
- 6.3 Widok topografii układu 2.
- 6.4 Widok topografii układu 3.
- 6.5 Widok topografii układu 4.

Rozdział 7

Symulacje i pomiary po ekstrakcji.

Rozdział 8

Podsumowanie.

- 8.1 Rozmiar układu, liczba tranzystorów.
- 8.2 Porównanie parametrów przed i po ekstrakcji.
- 8.3 Weryfikacja osiągniętych celów.

Rozdział 9

Wnioski końcowe.

.

Bibliografia

- [1] Jespers, Paul G.A.. (2001). *Integrated Converters - D to A and A to D Architectures, Analysis and Simulation*. Oxford University Press
- [2] Allen, Phillip E. Holberg, Douglas R.. (2012) *CMOS Analog Circuit Design (3rd Edition)*. Oxford University Press.
- [3] Das, Debaprasad. (2015). *VLSI Design (2nd edition)* Oxford University Press.
- [4] R. Plassche (2001). *Scalone przetworniki analogowo-cyfrowe i cyfrowo-analogowe*, WKŁ 2001