

# Architektury systemów komputerowych

## Lista zadań nr 10

Na zajęcia 10 i 23 maja 2023

Przed przystąpieniem do rozwiązywania zadań należy zapoznać się z [1, §6.1], [1, §6.2] i [1, §6.3].

**UWAGA!** W trakcie prezentacji rozwiązań należy zdefiniować i wyjaśnić pojęcia, które zostały oznaczone **wytluszczoną** czcionką.

**Zadanie 1.** Rozważmy dysk o następujących parametrach: jeden **plater**; jedna **głowica**; 576 tysięcy **ścieżek** na powierzchni; 32000 **sektorów** na ścieżkę; 7200 obrotów na minutę; czas wyszukiwania: 1ms na przeskok o 24 tysięcy ścieżek. Odpowiedz na następujące pytania:

1. Jaki jest średni **czas wyszukiwania** (ang. *seek time*)?
2. Jaki jest średni **czas opóźnienia obrotowego** (ang. *rotational latency*)?
3. Jaki jest **czas transferu** (ang. *transfer time*) sektora?
4. Jaki jest całkowity średni czas obsługi żądania?

**Zadanie 2.** Rozważmy napęd dyskieta 3 $\frac{1}{2}$  o następujących parametrach: 300 obrotów na minutę, 512 bajtów na sektor, 18 sektorów na ścieżkę, 80 ścieżek na powierzchnię<sup>1</sup>. Dysk sygnalizuje dostępność danych zgłaszając **przerwanie** na każdy przeczytany bajt, a wykonanie **procedury przerwania** zajmuje 16 $\mu$ s<sup>2</sup>. Następnie do systemu dodajemy **kontroler DMA**, więc przerwanie będzie generowane tylko raz po wczytaniu sektora do pamięci. Ile czasu zostanie procesorowi na pozostałe czynności w trakcie czytania  $n$  sektorów (a) bez użycia (b) przy użyciu kontrolera DMA? Należy zignorować czas wyszukiwania ścieżki i sektora. W jaki sposób dodanie DMA do systemu poprawiło jego wydajność?

**Wskazówka:** Przerwania omówiono w [1, §8.1.2]. Przyjrzymy się im bliżej na przedmiocie *Systemy Operacyjne*.

**Zadanie 3.** 32-bitowa **magistrala** ma **przepustowość** (ang. *throughput*) 10 milionów transferów na sekundę. Do magistrali podpięty jest prosty procesor RISC bez pamięci podręcznej, kontroler dysku twardego z DMA i pamięć operacyjna. Wszystkie instrukcje są 32-bitowe, a ich wykonanie zajmuje dwa **cykle magistrali**. W pierwszym cyklu następuje pobranie instrukcji z pamięci i jej zdekodowanie, a w drugim jej wykonanie. Dla instrukcji wykonujących dostęp do pamięci w drugim cyklu nastąpi odwołanie do pamięci. Dla pozostałych instrukcji w drugim cyklu procesor nie odwołuje się do magistrali.

Moduł DMA kontrolera dysku do transferu danych używa techniki **podkradania cykli** (ang. *cycle stealing*<sup>3</sup>). Procesor wykonuje ciąg instrukcji, z których 40% robi dostęp do danych w pamięci. Moduł DMA może transferować dane z dysku z prędkością 5MB/s. Ile instrukcji przetworzy w ciągu sekundy procesor, gdy transfer danych z dysku jest (a) nieaktywny (b) aktywny. Zastanów się, co złego mogłoby się stać, gdyby kontroler dysku dostawał wyłącznie cykle magistrali nieużywane przez procesor?

**Uwaga:** Zauważ, że scenariusz rozważany w punkcie (b) wymaga doprecyzowania. Możesz to zrobić na jeden z kilku sposobów.

**Zadanie 4.** Rozważamy umiarkowany nowoczesny procesor x86-64 (np. i7-6700<sup>4</sup>), o częstotliwości taktowania 2.5GHz, z trzema poziomami **pamięci podręcznej**. Niech funkcja  $A(k)$  wyznacza czas, w cyklach procesora, w którym pamięć  $k$ -tego poziomu odpowiada na pytanie czy przechowuje dany **blok** pamięci. Niech funkcja  $H(k)$  wyznacza prawdopodobieństwo z jakim blok znajduje się na  $k$ -tym poziomie **hierarchii pamięci**, pod warunkiem, że nie znajduje się na wcześniejszych poziomach. Dla rozważanego systemu mamy:  $A(L1) = 4$ ,  $A(L2) = 12$ ,  $A(L3) = 40$ ,  $A(DRAM) = 200$ ;  $H(L1) = 0.9$ ,  $H(L2) = 0.95$ ,  $H(L3) = 0.98$ ,  $H(DRAM) = 1.0$ . Jaki jest (a) średni (b) pesymistyczny czas dostępu do pamięci w nanosekundach?

**Pamiętaj!** Dostęp do pamięci na poziomie  $k + 1$  zachodzi tylko wtedy, gdy chybiłmy w pamięć na poziomie  $k$ .

<sup>1</sup>Q75131: Standard Floppy Disk Formats Supported by MS-DOS

<sup>2</sup>Około 128 cykli procesora w komputerze IBM PC/AT taktowanego zegarem 8MHz

<sup>3</sup>[https://en.wikipedia.org/wiki/Cycle\\_stealing](https://en.wikipedia.org/wiki/Cycle_stealing)

<sup>4</sup><https://www.7-cpu.com/cpu/Skylake.html>

**UWAGA!** W trakcie rozwiązywania poniższych zadań proszę korzystać wyłącznie ze źródeł starannie wybranych przez prowadzącego wykład. W sieci Internet jest dużo źródeł o miernej jakości opisujących poniższe zagadnienia.

**Zadanie 5.** Przebieg operacji dostępu do **pamięci dynamicznej** przedstawiono zgrubnie w [1, §6.1.1]. Zapoznaj się z [2, §2] po czym odpowiedz na następujące pytania. Co musi się stać przed zleceniem **wyboru wiersza**? Wyjaśnij zasadę działania **wzmacniaczy odczytu** (ang. *sense amplifiers*). Czemu otwarty wiersz musi zostać wczytany do bufora przed zleceniem **wyboru kolumny**? Co musi się wydarzyć w trakcie zamykania wiersza? Czemu pamięć dynamiczna musi być **odświeżana** w przeciwieństwie do **pamięci statycznej**? W jaki sposób przeprowadzane jest odświeżanie całej pamięci?

**Wskazówka:** Więcej informacji na temat wewnętrznej organizacji pamięci dynamicznych można znaleźć w [3, §8].

**Zadanie 6.** Na podstawie [2, §2.2] zreferuj protokół komunikacji kontrolera pamięci z modułami **synchronicznej pamięci DRAM**. Posłuż się diagramami czasowymi przebiegu stanów logicznych. Wyjaśnij kroki jakie musi podjąć kontroler by odczytać jedno lub kilka kolejnych słów pamięci. Wyjaśnij źródło występowania opóźnień **bramkowania kolumny**  $t_{CAS}$ , **wyboru wiersza**  $t_{RCD}$ , **wstępnego ładowania wiersza**  $t_{RP}$  i **bramkowania wiersza**  $t_{RAS}$ .

**Wskazówka:** Dokładne omówienie diagramów czasowych można znaleźć w [3, §11.1].

**Zadanie 7.** Blok pamięci podręcznej procesorów x86-64 ma 64 bajty. Dla uproszczenia przyjmijmy, że w jednym cyklu zegarowym między pamięcią a procesorem można przesłać 64 bity danych. Ile nanosekund, w pesymistycznym przypadku, zajmie sprowadzenie bloku pamięci podręcznej z pamięci DRAM dla poniżej scharakteryzowanych modułów:

- DDR4-1600,  $t_{CLK} = 800$  MHz,  $t_{CAS} = 10$ ,  $t_{RCD} = 10$ ,  $t_{RP} = 10$ ,  $t_{RAS} = 25$ ,
- DDR4-2133,  $t_{CLK} = 1066.67$  MHz,  $t_{CAS} = 15$ ,  $t_{RCD} = 15$ ,  $t_{RP} = 15$ ,  $t_{RAS} = 36$ .

Powtórz obliczenia zakładając, że pamięć działa w trybie sekwencyjnym (ang. *burst mode*), tj. podaje na kolejnych zboczach zegara szesnaście 64-bitowych słów bez czekania na polecenie zmiany kolumny.

**Zadanie 8.** Program czyta sekwencyjnie jednowymiarową tablicę o rozmiarze 4GiB położoną pod adresem podzielny przez  $2^{20}$ . W komputerze zainstalowano dwa moduły pamięci DDR4-2133 o parametrach:  $t_{CAS} = 15$ ,  $t_{RCD} = 15$ ,  $t_{RP} = 15$ ,  $t_{RAS} = 36$ , maksymalny rozmiar transferu sekwencyjnego to 16 słów, długość wiersza (ang. *DRAM page size*) wynosi 8KiB. Ile czasu zajmie sprowadzenie danych do procesora? Należy pominąć rozważanie opóźnień wynikających z działania pamięci podręcznej i kontrolera pamięci.

Powtórz obliczenia dla systemu dysponującego pamięcią w konfiguracji dwukanałowej (ang. *dual-channel*).

**Zadanie 9 (bonus).** Nagraj na przenośny dysk USB program **memtest86**<sup>5</sup> i uruchom go z poziomu wbudowanego oprogramowania UEFI. Podaj parametry systemu pamięci w swoim komputerze. Jaka jest przepustowość poszczególnych poziomów pamięci podręcznej i pamięci DRAM? Oszacuj, w taktach procesora, średni czas dostępu do pamięci podręcznej L1, L2, L3 i pamięci DRAM.

## Literatura

- [1] „*Computer Systems: A Programmer’s Perspective*”  
Randal E. Bryant, David R. O’Hallaron; Pearson; 3rd edition, 2016
- [2] „*What Every Programmer Should Know About Memory*”<sup>6</sup>  
Ulrich Drepper, November 21, 2007
- [3] „*Memory Systems: Cache, DRAM, Disk*”  
Bruce Jacob, Spencer W. Ng, David T. Wang; Morgan Kaufmann, 2008

<sup>5</sup><https://www.memtest86.com/download.htm>

<sup>6</sup><https://www.akkadia.org/drepper/cpumemory.pdf>