

Ejercicio 1

Un circuito combinacional tiene cuatro entradas y una salida. Los cuatro bits de entrada representan 2 números enteros sin signo, de dos bits cada uno (A_1, A_0 y B_1, B_0). La salida P toma valor '1' si la multiplicación ($A \cdot B$) da como resultado un número distinto de cero.

- Construir la tabla de verdad del circuito.
- Encontrar la expresión minimizada de P utilizando mapas de Karnaugh.
- A partir de la expresión minimizada como suma productos, obtener una expresión equivalente para su implementación con compuertas NAND.
- Implementar la expresión obtenida en el punto (c) utilizando sólo compuertas NAND, de la cantidad de entradas necesarias.

Ejercicio 2

Se requiere la implementación del bloque *RX Buffer* de un puerto serial a partir de un shift register de 4 bits con entrada serie (INs) y salida en paralelo ($OUT_{3:0}$) a partir del siguiente diagrama. Este bloque posee además dos entrada de control (RX y CLR).

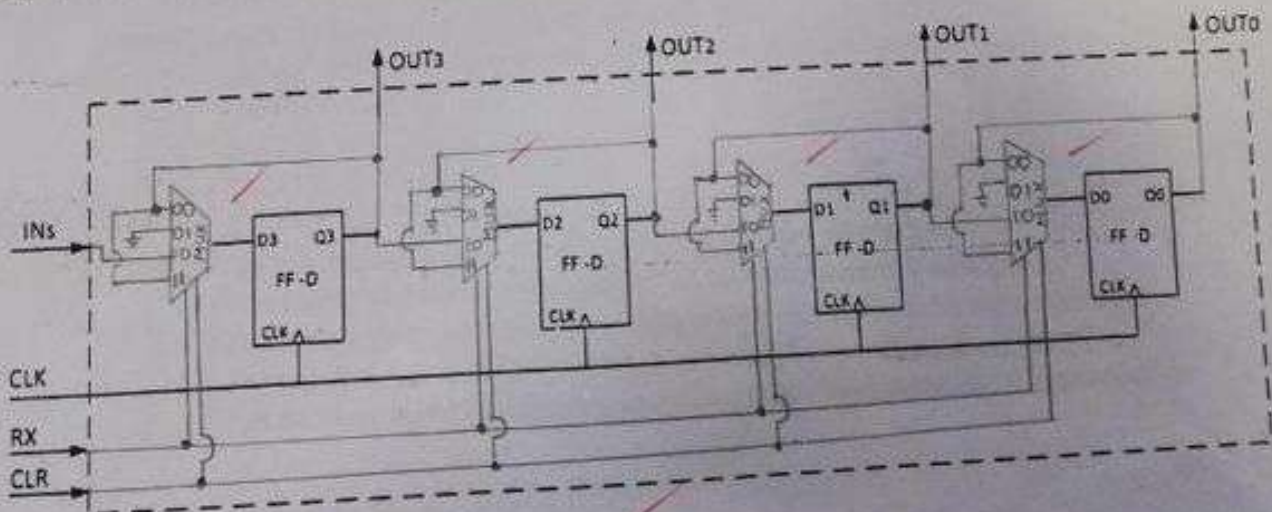
FUNCIONAMIENTO: Mientras las entradas de control sean $RX = '0'$ y $CLR = '0'$, el registro permanece en estado de **retención**, es decir que no debe variar el valor almacenado en las salidas de los FF-D ante la ocurrencia de ciclos de CLK.

Si $RX = '1'$ y $CLR = '0'$: Fase de **recepción**, el registro debe comportarse como un shift register, desplazando 1 bit hacia la derecha en cada ciclo de CLK la información recibida a través de la entrada INs .

$RX = '0'$ y $CLR = '1'$: Fase de **post-lectura**, este ciclo se utiliza una vez que el registro es leído a través de las salidas OUT . En este ciclo de CLK, las salidas de cada FF-D deben tomar el valor '0'.

Si bien la combinación $RX = '1'$ y $CLR = '1'$ no está permitida, por cuestiones de seguridad el sistema debe comportarse como si estuviera en estado de retención.

Para realizar su implementación es posible agregar cualquier circuito combinacional o compuerta lógica, sin embargo, no está permitido alterar las conexiones existentes en el diagrama.



En los MUX los señales de selección son

RX y CLR

donde $RX=1$

$CLR=0$



RX y CLR