

1)

- a) Transformar el número de punto flotante formato IEEE754 (expresado en hexadecimal) a decimal: **0xFFDA3200**

NaN

- b) Transformar el número decimal a punto flotante formato IEEE754 y expresarlo en hexadecimal:

**-1745.5625**

a)  $0xFFDA3200 = 0b \overset{S}{1} \overset{Ex}{11111111} \overset{Mantisa}{110110100011001000000000}$

S 1  $\Rightarrow -$

Ex = 11111111

Mantisa  $\neq 0 \Rightarrow NaN$

b)  $-1745.5625$

S 1

$1745/2 \Rightarrow 1$   
 $872/2 \Rightarrow 0$   
 $436/2 \Rightarrow 0$   
 $218/2 \Rightarrow 0$   
 $109/2 \Rightarrow 1$   
 $54/2 \Rightarrow 0$   
 $27/2 \Rightarrow 1$   
 $13/2 \Rightarrow 1$   
 $6/2 \Rightarrow 0$   
 $3/2 \Rightarrow 1$   
 $1/2 \Rightarrow 1$   
 $0/2 \Rightarrow 0$

Parte entera

$-1001$

$0.5625 \times 2 = 1.125$   
 $0.125 \times 2 = 0.25$   
 $0.25 \times 2 = 0.5$   
 $0.5 \times 2 = 1.0$

Normalizamos:  $110110100011001 \Rightarrow 1.10110100011001 \cdot 2^{10}$

Exp =  $127 + 10 = 137 = 0b \ 10001001$

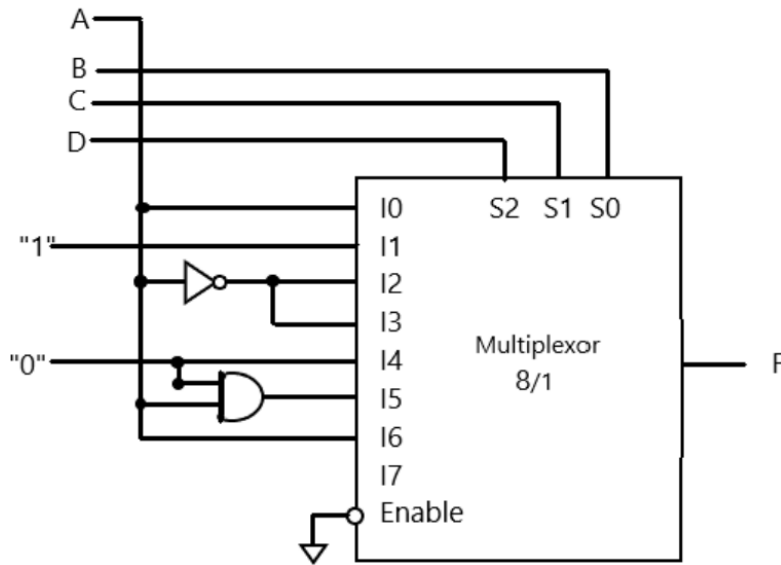
$\therefore$  1 10001001 1011010001100100000000

- 2) A partir de la expresión de la función F obtener una expresión equivalente para su implementación con compuertas NAND (No implementar las compuertas) Completar la tabla con el postulado o teorema correspondiente. No puede tomar más pasos que la tabla (podría tomar menos)

Px/Tx	F
Distributividad	$F = B(A + C * D) + (A * B * D)$
Morgan	$F = (BA + BCD) + ABD$
Morgan	$F = \overline{BA} \overline{BCD} + ABD$
	$F = (\overline{BA} \overline{BCD} \cdot ABD)'$

$(BA + BCD)$   
 $= (\overline{BA} \overline{BCD})'$

- 3) Evaluar el circuito y completar la función canónica de F como suma de productos. Hacer el análisis considerando el siguiente orden de las entradas: DCBA.



D	C	B	A	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	X
1	1	1	1	X

$$\bar{D}\bar{C}\bar{B}A + \bar{D}\bar{C}B\bar{A} + \bar{D}C\bar{B}A + \bar{D}C\bar{B}\bar{A} + \bar{D}CB\bar{A} + DC\bar{B}A = F$$

		A			
		00	01	11	10
D\C	00	0	1	0	1
	01	1	1	1	0
	11	0	1	0	0
	10	0	0	0	0

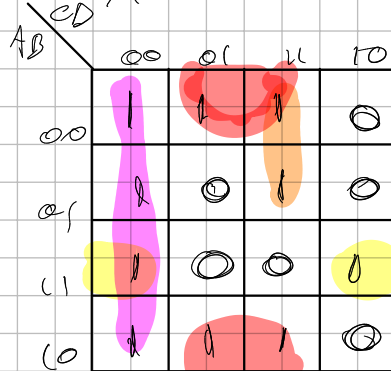
$$\bar{D}\bar{B}A + \bar{D}C\bar{B} + C\bar{B}A + \bar{D}CA + \bar{D}C\bar{B}\bar{A}$$

- 4) A partir de la tabla obtener:
- La función canónica de F1 como producto de maxitérminos.
  - La función minimizada de F1 mediante el método de Karnaugh como suma de minitérminos.
  - La función canónica de F2 como suma de minitérminos.

ABCD	F1	F2
0000	1	0
0001	1	0
0010	0	0
0011	1	0
0100	1	0
0101	0	1
0110	0	0
0111	1	0
1000	1	1
1001	1	0
1010	0	0
1011	1	1
1100	1	0
1101	0	0
1110	1	0
1111	0	1

F1 como producto de Maxitérminos

$$(A+B+C+D)(A+B+C+D)(A+B+C+D)(A+B+C+D)(A+B+C+D)(A+B+C+D) \quad a)$$



suma de minitérminos

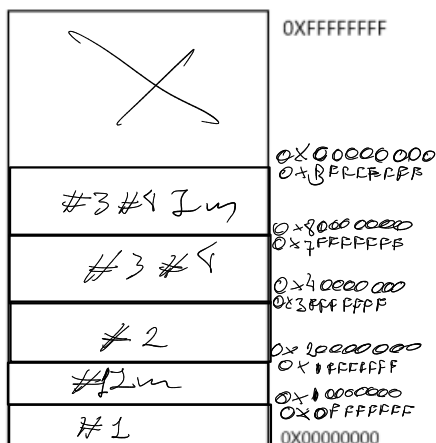
$$b) A\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{C}\bar{D} + \bar{B}\bar{D}$$

c) F2 como suma de minitérminos

$$A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C}D$$

5) Considerando el sistema de memoria implementado en la figura de la siguiente página:

- Completar las líneas de puntos del diagrama con la cantidad de señales involucradas y su denominación.
- Dibujar el mapa de memoria especificando la dirección de inicio y en cada segmento. Indicar cuando se trata de segmentos imagen o espejo.



- Calcular el espacio direccionable en palabras de 32 bits.
- Responder V o F

El sistema presenta posiciones imagen o espejo V

El sistema solo posee conexiones en serie F

La memoria Flash está ubicada en las posiciones más bajas de la memoria V

El decodificador manejado por A29 divide un segmento de 512M palabras en dos segmentos de 256M palabras c/u F

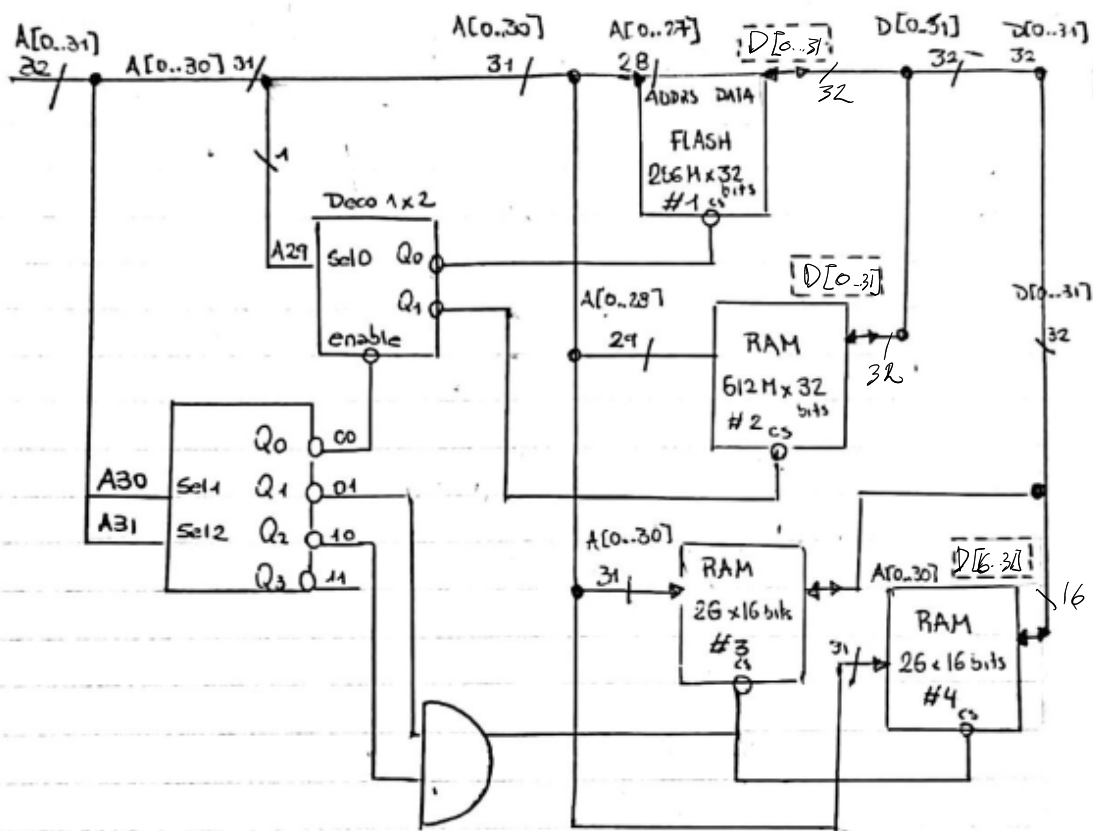
$$2^{32} = 4294967296$$

Pero hay espacios no direccionables:

El espacio direccionable va de 0x00000000 a 0xBFFFFFFF

$$= 1066112000 \text{ palabras}$$

$$= 3221225972 \text{ palabras}$$

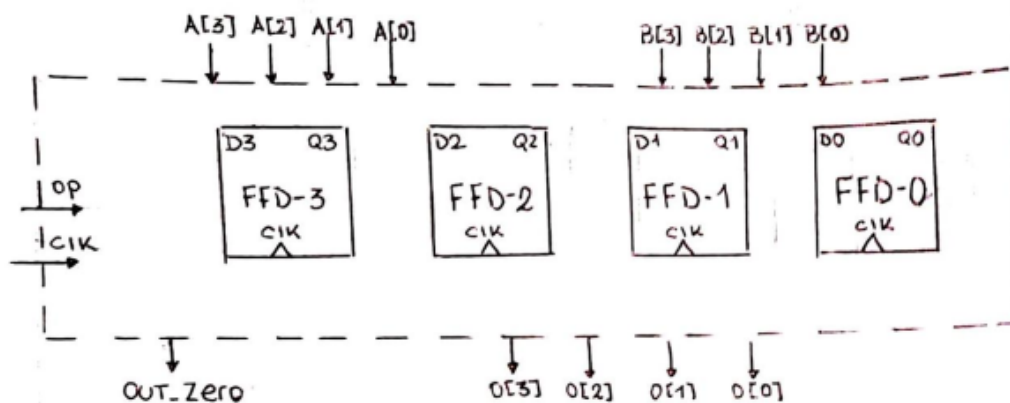


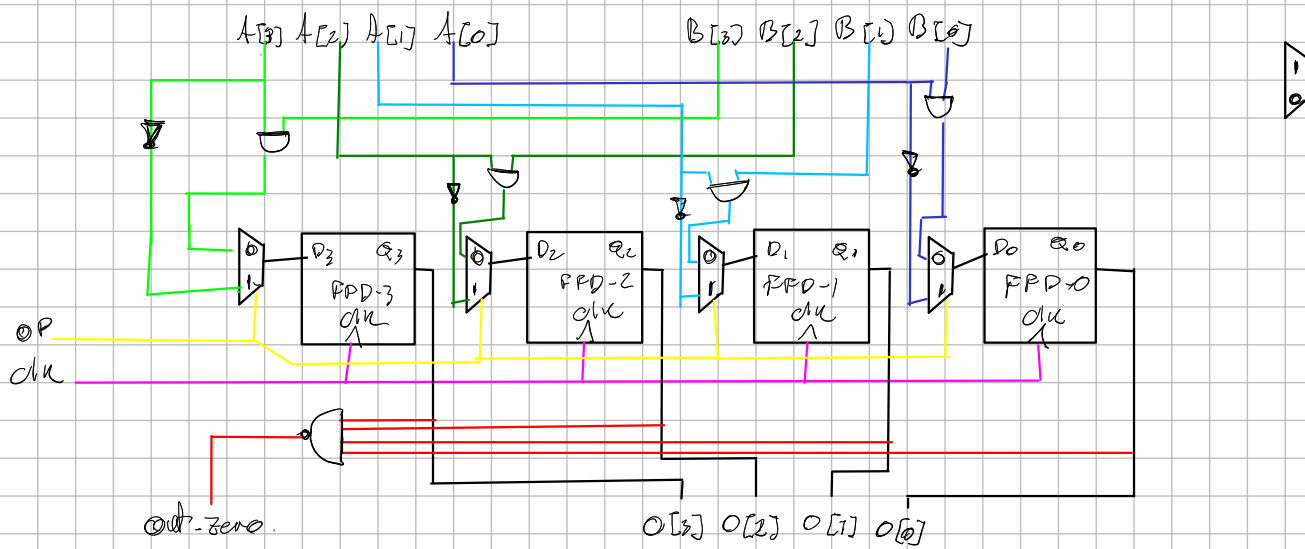
0000 #1  
 0001 #1 Sum  
 0010 #2  
 0100 #3, #4  
 1000 #3, #4 Sum  
 11

- 6) Se pretende diseñar una unidad lógica cuya salida se almacene en un registro de 4 bit, de entrada y salida en paralelo. Se cuentan con dos entradas de 4 bits: A y B, mediante la señal **op** (de un bit) se debe seleccionar y en los registros se debe almacenar:
- $\_op = 0$ : **A and B** (Out0 =  $A0 * B0$ ; Out1 =  $A1 * B1$ ; ... etc.)
  - $\_op = 1$ : **Not A**

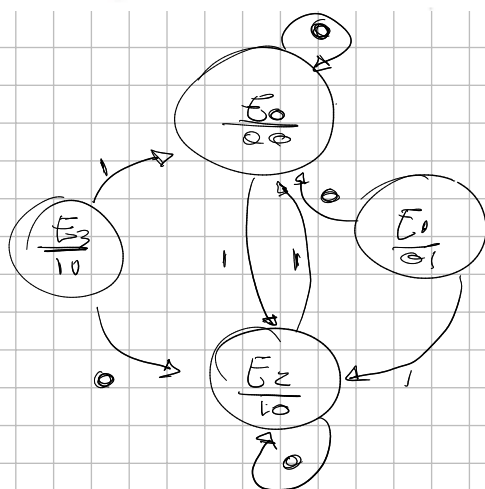
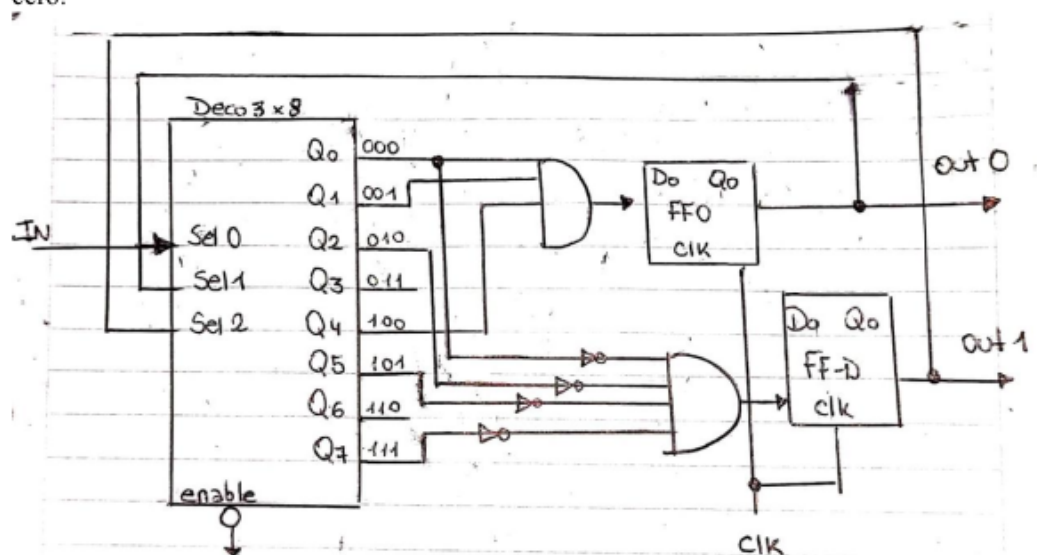
Además, debe generarse una salida extra que se ponga en uno cuando todos los bits almacenados sean ceros.

Aclaraciones: Todas las operaciones lógicas son bit a bit. El diagrama debe realizarse a continuación; agregar las entradas y las salidas que considere necesarias.





- 7) En la figura se muestra la implementación de un circuito secuencial usando flip-flops tipo D. Dibujar en el recuadro el diagrama de estados a partir del cual se obtuvo esta implementación usando el modelo de Moore. Tené en cuenta que los estados están codificados en binario, en orden, comenzando en cero.



$Q_1$	$Q_0$	$In$	$D_1$	$D_0$
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	1	0
1	1	1	0	0