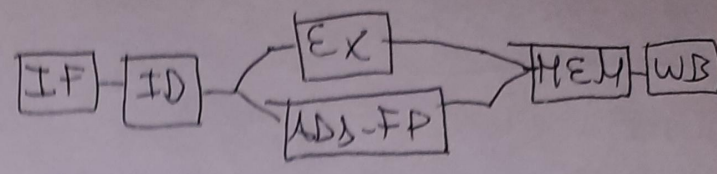


# Riesgo Estructurales:

Caso A:

add r4, r0, r2  
add r4, r0, r2  
add r6, r2, r0

Latencia = 4

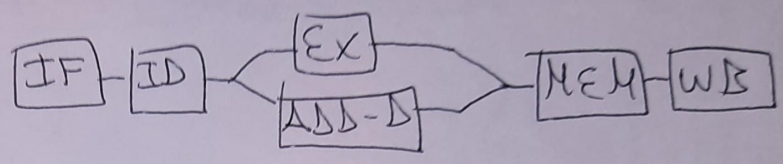


adelantamiento de resultados  
Se producen riesgos estructurales.

IF	ID	ADD	ADD	ADD	ADD	MEM	WB										
	IF	X	X	X	ID	ADD	ADD	ADD	ADD	MEM	WB						
					IF	X	X	X	ID	ADD	ADD	ADD	ADD	MEM	WB		

Caso B:

add r4, r0, r2  
add r1, r2, r3  
add r1, r2, r3  
add r1, r2, r3



Las fases EX y ADD-D se pueden ejecutar de forma paralela. Para la fase MEM, se ejecuta secuencialmente según demanda, priorizando las fases más antiguas.

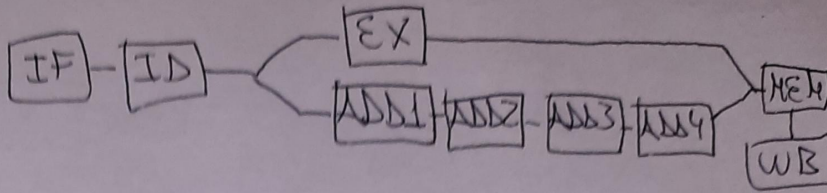
IF	ID	ADD	ADD	ADD	ADD	MEM	WB										
	IF	ID	EX	MEM	WB												
		IF	ID	EX	MEM	WB											
			IF	ID	EX	X	MEM	WB									

Previdencia:

$$1^{\circ} \text{ Inv. MEM} > 4^{\circ} \text{ Inv. MEM}$$

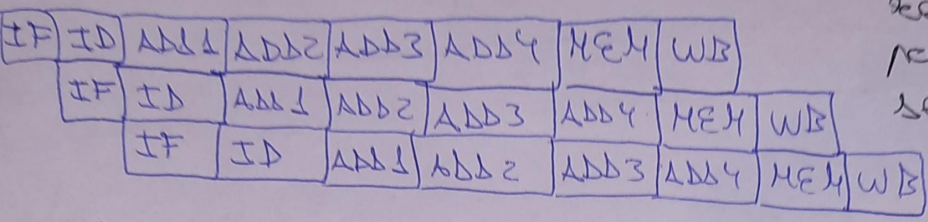
# Segmentación de UF:

SIN DEPENDENCIAS:



add f4, f0, f2  
add f4, f0, f2  
add f6, f2, f0

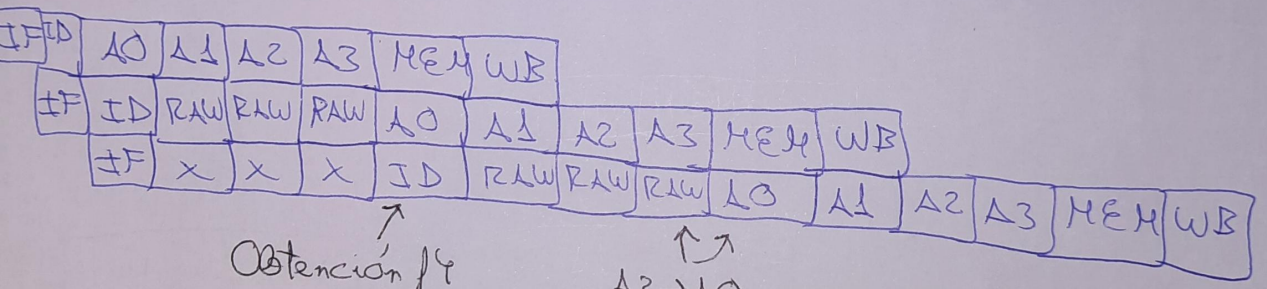
Simultánea, ya que la ejecución se realiza de forma paralela gracias a la segmentación.



## Con RAW:

add f4, f0, f2  
add f6, f4, f2  
add f8, f6, f4

9 paralelos → 6 RAW  
→ 3 R. Estructurales



Obtención f4

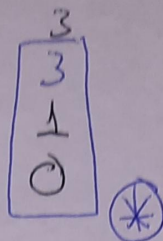
A3 → A0  
A DELANTAMIENTO DE RESULTADOS para f6



# Análisis de Riesgo RAW:

Productor:	Consumidor:
FP ALU	FP ALU
FP ALU	store
LOAD	FP ALU
LOAD	store

Cada parada



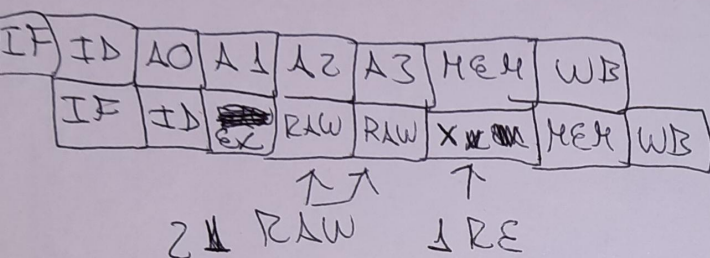
Ejemplo:

0  
1  
2  
3

## Ejemplo 1:

add fx, fa, fb  
store x(r0), fx

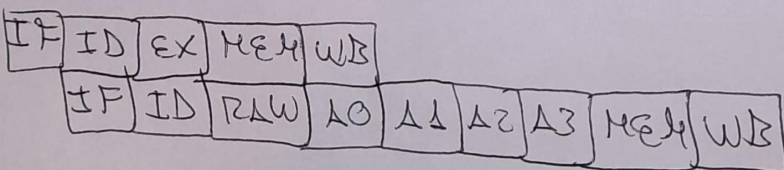
2 paradas RAW, 1 parada Extraordinaria



## Ejemplo 2:

ld fx, x(r0)  
add fa, fb, fx

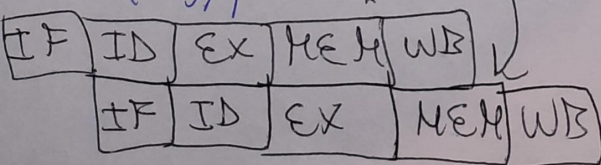
1 parada RAW



## Ejemplo 3:

ld fx, x(r0)  
ld x(r0), fx

0 paradas debido a:



adelantamiento de operandos

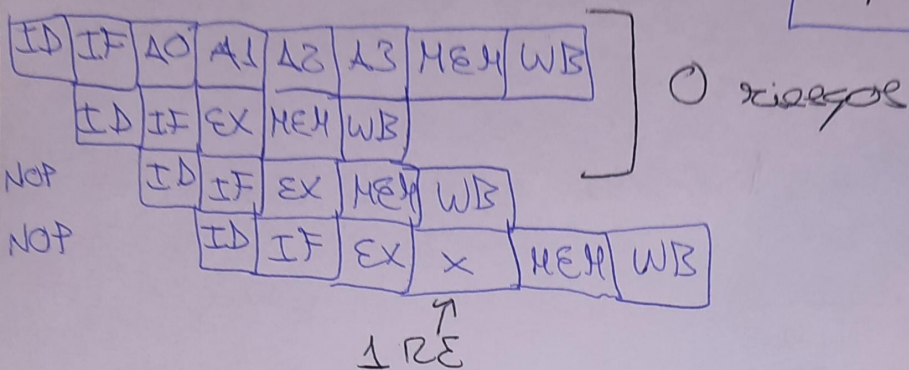
## Riesgo WAW:

### Caso 1:

add r4, r0, r2  
ld r6, a(r0)

- Debido a que la 2ª instrucción es más rápida que la primera, no se produce ningún riesgo;

0 paradas

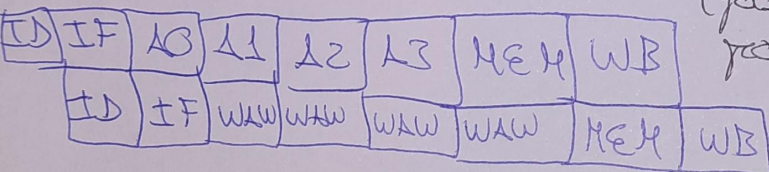


### Caso 2:

add r4, r0, r2  
ld r4, a(r0)

- La 2ª instrucción es más rápida que la 1ª, y debe esperar a que la 1ª escriba (fase MEM), por lo que se produce riesgo WAW con

4 paradas.



- Si no se detecta, se corromperían los datos por condicional de carrera de lectura y escritura de datos en los registros del procesador y la memoria.