## Gebze Technical University Computer Engineering

**CSE 433 - 2020 Spring** 

**Project 1 REPORT** 

EMİRHAN KARAGÖZOĞLU 151044052

Course Assistant: Fatma Nur Esirci

## C Code

```
void gcd(int arr[],int n_i,int go){
int x,y,i,n,gcd;

while(1){
    while (!go);
    i=1;
    x=arr[i];    //number
    n=n_i;

while(i<n){
    y=arr[i];    //number
    ++i;

while(x!=y){
    if(x<y)
        y=y-x;
    else
        x=x-y;
}

gcd = x;
}

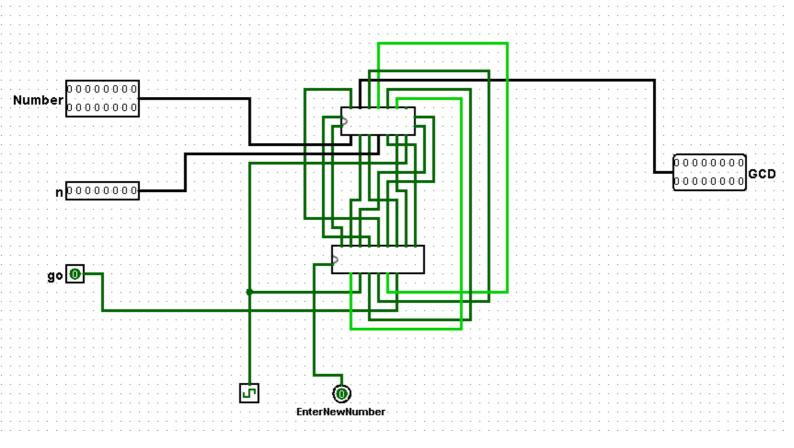
gcd = x;
}</pre>
```

State Diagram diggram State 190 90 001 14; SX 14× X = number Idn n = n-i 90, !(i<n) > !a GCD (icn) Datapath Catrol Si Unit Idy Subl CLK X = X - Y Sans ssubl 124 90d = X

## State Transition Table and Boolean Expressions

```
Inputs
P2 P1 P0
                                              N2 N1 N0
                      !a a b c d
    0
         0
                 0
                        x \times x \times x
0
0
0
0
1
1
1
1
    0
                                              0
                                                  0 1
         0
                        x \times x \times x
                                              0
                                                  1 0
                           0
                        0 1 x x x
         0
                                              0
                                                 1 1
    1
                       x x x x x
x x 1 0 0
         0
     0
                        x x 0
                                 1 0
                                                      0
                                              0
    0
         0
                        x x 0 0 1
                                                       0
                        x \times x \times x
                                              0
                                                  0
                                                       0
N2 = (P2.P1'.P0) + (P2.P1.P0') + (P2'.P1.P0) + (P2.P1'.P0'.(b+c)) + (P2'.P1.P0'.!a)
N1 = (P2'.P1.P0') + (P2'.P1'.P0) + (P2.P1'.P0'.(c+d))
N0 = (P2'.P1.P0') + (P2'.P1'.P0'.go) + (P2.P1'.P0'.b)
                                                                                                                                          -> S5 + S6 + S3 + (S4.(b+c)) + (S2.!a)
-> S2 + S1 + (S4.(c+d))
                                                                                                                                           -> S2 + S0.go + S4.b
 sx = S1
sy = S3
si = S3
ssub1 = S5
ssub2 = S6
1dx = S1+S6
ldy = S3+S5
ldn = S1
1di = S1+S3
```

## **Testing**



Logisim 2.7.1 versiyonu ile .circ uzantılı GCD dosyasını açıyoruz. Bu devre içerisinde datapath (üstteki kutu) ve control unit (alttaki kutu) Logisim library olarak kullanılıp bağlantıları ayarlanmıştır. Adım adım uygulanması gereken test süreci aşağıdaki gibidir;

- 1. GCD'si hesaplanmak istenen sayılardan ilki number inputuna girilir.
- 2. Kaç tane sayının GCD'si hesaplanıcaksa n inputuna bu değer girilir.
- 3. go sinyali 1 yapılır.
- 4. Clock bir kez tetiklenir ve go sinyali 0 yapılır.
- 5. Bu aşamadan sonra her clock tetiklendiğinde "EnterNewNumber" outputu takip edilmeli ve bu değer 1 olduğu zaman sırada yeni number girilip clock ondan sonra tetiklenmeye devam edilmeli.
- 6. İşlemler bittikten sonra GCD outputunda girilen sayıların gcd değeri gözlenebilir.

Çalışma prensibi olarak girilen 2 sayının gcd'si hesaplanıyor ve bu değer ilk sayı olan x register'ına kaydediliyor. Ardında sıradaki sayı y registerina okunuyor ve bu işlem sayılar tamamlanana kadar devam ediyor. Örneğin;

GCD(48,8,16,4)

$$1.step -> gcd(x=48,y=8) = 8$$

$$2.step->gcd(x=8,y=16) = 8$$

Herhangi iki sayının gcd'sini hesaplandığı süreçte (içerdeki while döngüsü) yeni bir number girilirse y registerı o anda girilen değeri içerisine yazamaz. Ancak o iki sayının gcd'si hesaplandıktan sonra içerdeki döngüden çıkar ve sıradaki sayıyı okuması için control unitten gerekli sinyaller geldiği zaman yeni gelen sayıyı okuyabilir. Bu süreç numberları doğru zamanda gelmesi için "EnterNewNumber" output eklenerek görsel kolaylık sağlanması hedeflendi. Bu sinyal 1 olmadan gelen numberın değiştirilmesi anormal sonuçlar ortaya çıkartabilir.

Her clock tetiklemesi yapıldığında datapath ve control unit içerisine girilip sinyallar, present stateler, register değerleri gözlenebilir ve state diagramdaki değerler ile karşılaştırılıp doğruluğu kontrol edilebilir. İşlem tamalandıktan sonra başlangıç state'ine döndüğü için 1. adımdan başlayarak tekrar test işlemi uygulanabilir. Test işlemi esnasında herhangi bir nedenden testi sonlandırıp başa dönmek için Simulate->Reset Simulation yapılmalıdır.