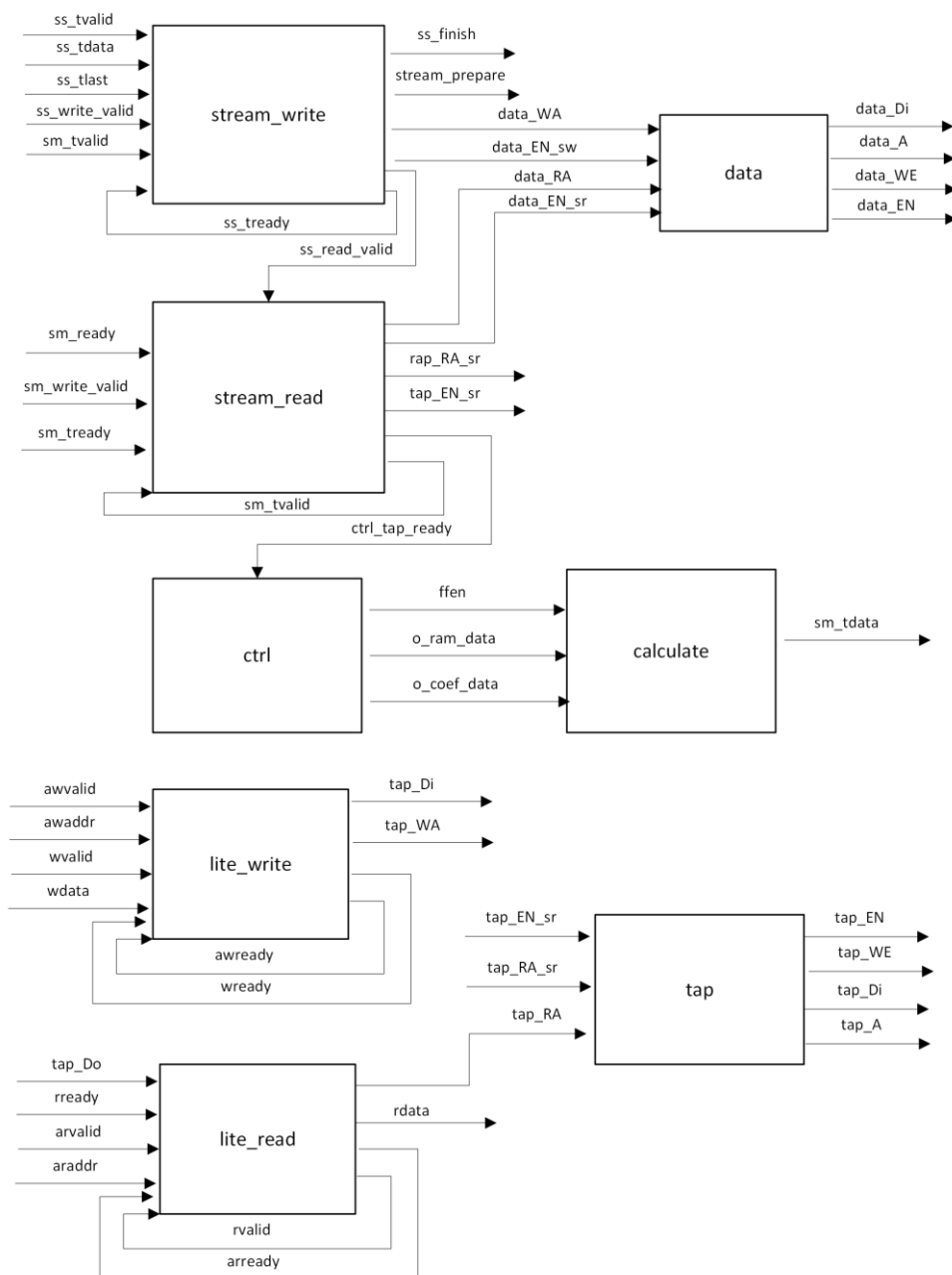


Lab#3 – Verilog FIR design with XSIM & GTKWave simulation

台科大 M11107426 廖千慧

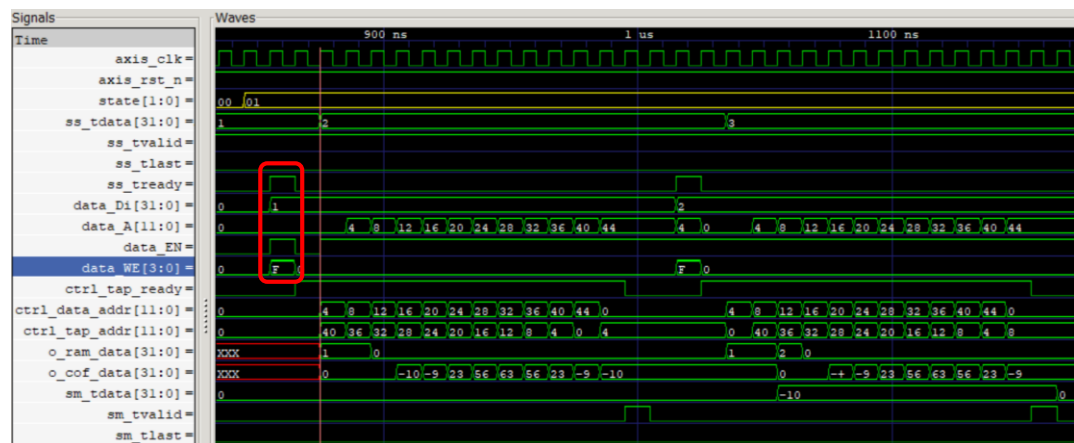
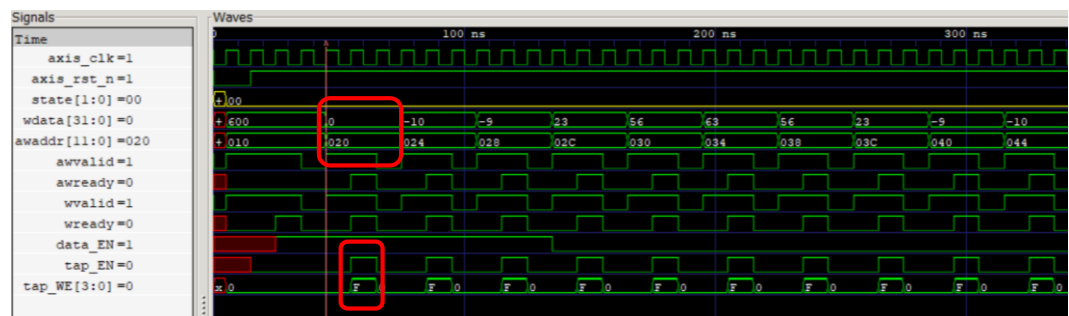
1. Block Diagram



2. Describe Operation

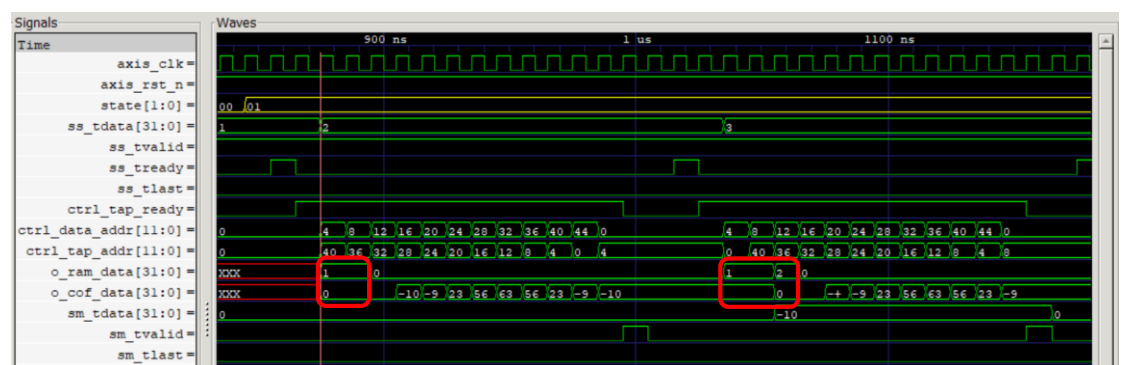
- How to receive data-in and tap parameters and place into SRAM

當 tap_EN (enable)和 tap_WE (write enable)皆為 1 時便會根據 awaddr[11:0] 的位置將 wdata[31:0]的 tap parameters 寫進去；當 data_EN (enable)和 data_WE (write enable)皆為 1 時便會將 ss_tdata (samples_triangular_wave) 寫進去 data_A 中。



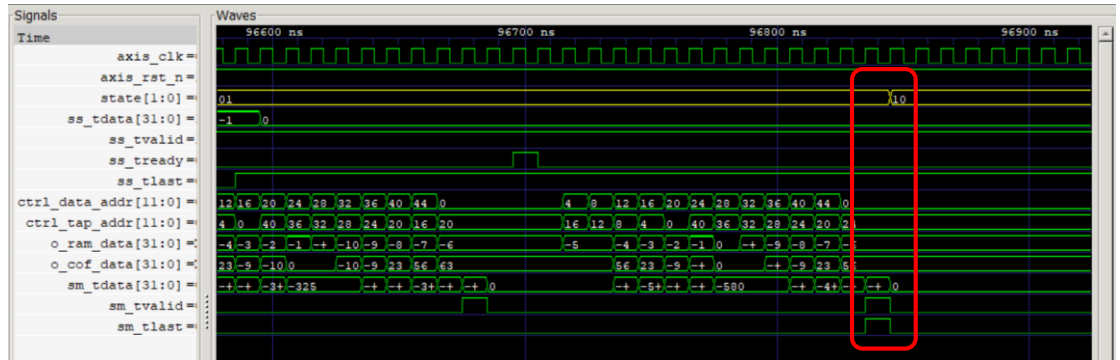
- How to access shiftRAM and tapRAM to do computation

原先 RAM 裡面的值皆為 0，之後依序將 RAM 裡的值 shift 進來，因此收到的值依序為 1,0,0,...,0，經過一個 clk 之後的值為 1,2,0,0,...,0，再下個 clk 之後的值為 1,2,3,0,0,...,0，依此類推。tapRAM 裡的依序排列好，再和 shiftRAM 的值做 convolution 就能得到結果了。



➤ How ap_done is generated

當傳送到最後一筆資料(ss_tlast=1)且對方也接收到最後一筆後(sm_tlast=1)，即會變成 ap_done 狀態(state=3)。



3. Resource Usage

Name	Constraints	Status	WNS	TNS	WHS	THS	WPWS	Total Power	Failed Routes	Methodology	QoR Score	QoR Suggestions	LUT	FF	BRAM	URAM	DSP	Start	Elapsed	Run Strategy
synth_1	consts_1	Synthesis Out-of-date											285	310	0	0	3	10/18/23, 2:05 PM	00:01:32	Vivado Synthesis Defaults
impl_1	consts_1	Not started																		Vivado Implementation De

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	284	0	0	53200	0.53
LUT as Logic	284	0	0	53200	0.53
LUT as Memory	0	0	0	17400	0.00
Slice Registers	310	0	0	106400	0.29
Register as Flip Flop	310	0	0	106400	0.29
Register as Latch	0	0	0	106400	0.00
F7 Muxes	0	0	0	26600	0.00
F8 Muxes	0	0	0	13300	0.00

4. Timing Report

Name	Waveform	Period (ns)	Frequency (MHz)
axis_clk	{0.000 8.000}	16.000	62.500

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 4.586 ns	Worst Hold Slack (WHS): 0.070 ns	Worst Pulse Width Slack (WPWS): 7.500 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 500	Total Number of Endpoints: 500	Total Number of Endpoints: 311

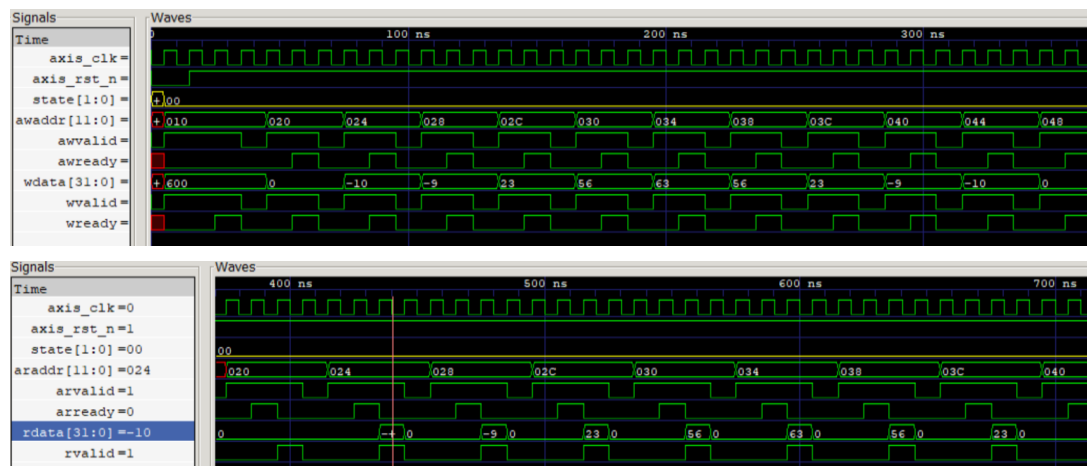
All user specified timing constraints are met.

Path	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception	Clock Uncertainty
Path 1	4.586	10	11	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[29]D	11.309	8.452	2.857	16.0	axis_clk	axis_clk		0.035
Path 2	4.592	10	11	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[31]D	11.303	8.446	2.857	16.0	axis_clk	axis_clk		0.035
Path 3	4.667	10	11	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[30]D	11.228	8.371	2.857	16.0	axis_clk	axis_clk		0.035
Path 4	4.691	10	11	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[28]D	11.204	8.347	2.857	16.0	axis_clk	axis_clk		0.035
Path 5	4.703	9	10	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[25]D	11.192	8.335	2.857	16.0	axis_clk	axis_clk		0.035
Path 6	4.709	9	10	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[27]D	11.186	8.329	2.857	16.0	axis_clk	axis_clk		0.035
Path 7	4.784	9	10	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[29]D	11.111	8.254	2.857	16.0	axis_clk	axis_clk		0.035
Path 8	4.808	9	10	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[24]D	11.087	8.230	2.857	16.0	axis_clk	axis_clk		0.035
Path 9	4.933	8	9	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[21]D	10.962	8.114	2.848	16.0	axis_clk	axis_clk		0.035
Path 10	4.939	8	9	129	ctrl_isapflen_r_reg/C	sm_tdata_r_reg[23]D	10.956	8.108	2.848	16.0	axis_clk	axis_clk		0.035

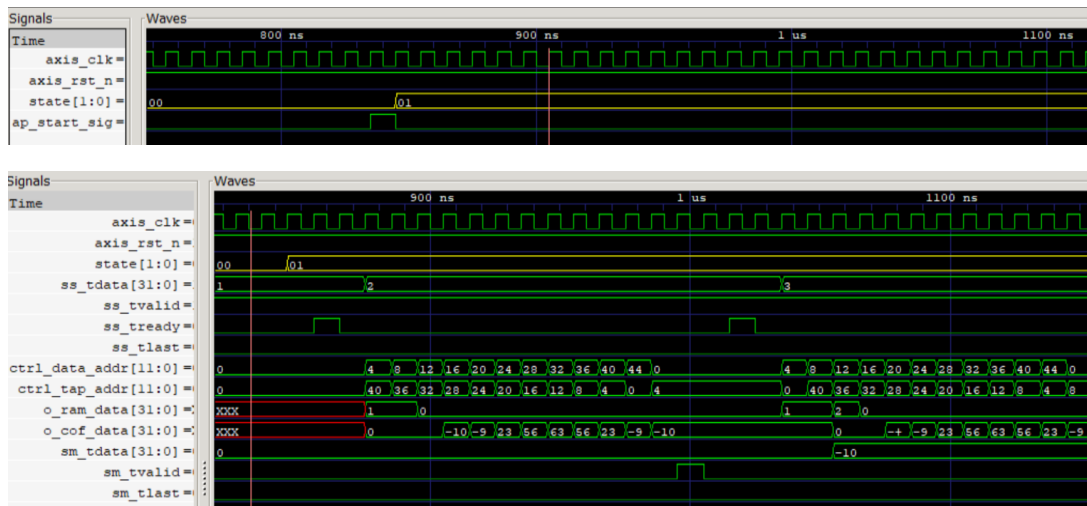
Check Type	Corner	Lib Pin	Reference Pin	Required	Actual	Slack	Location	Pin
Low Pulse Width	Fast	FDRE/C	n/a	0.500	8.000	7.500		FSM_onehot_state_reg[0]C
Low Pulse Width	Fast	FDRE/C	n/a	0.500	8.000	7.500		ap_start_sig_reg/C
Low Pulse Width	Fast	FDRE/C	n/a	0.500	8.000	7.500		aready_r_reg/C
High Pulse Width	Slow	FDSE/C	n/a	0.500	8.000	7.500		FSM_onehot_state_reg[0]C
High Pulse Width	Slow	FDRE/C	n/a	0.500	8.000	7.500		FSM_onehot_state_reg[1]C
High Pulse Width	Slow	FDRE/C	n/a	0.500	8.000	7.500		FSM_onehot_state_reg[2]C
High Pulse Width	Slow	FDRE/C	n/a	0.500	8.000	7.500		ap_start_sig_reg/C
High Pulse Width	Slow	FDRE/C	n/a	0.500	8.000	7.500		aready_r_reg/C
Min Period	n/a	BUFGI	n/a	2.155	16.000	13.845		axis_clk_IBUF_BUFG_instI
Min Period	n/a	FDSE/C	n/a	1.000	16.000	15.000		FSM_onehot_state_reg[0]C
Min Period	n/a	FDRE/C	n/a	1.000	16.000	15.000		FSM_onehot_state_reg[1]C
Min Period	n/a	FDRE/C	n/a	1.000	16.000	15.000		FSM_onehot_state_reg[2]C
Min Period	n/a	FDRE/C	n/a	1.000	16.000	15.000		ap_start_sig_reg/C
Min Period	n/a	FDRE/C	n/a	1.000	16.000	15.000		aready_r_reg/C

5. Simulation Waveform

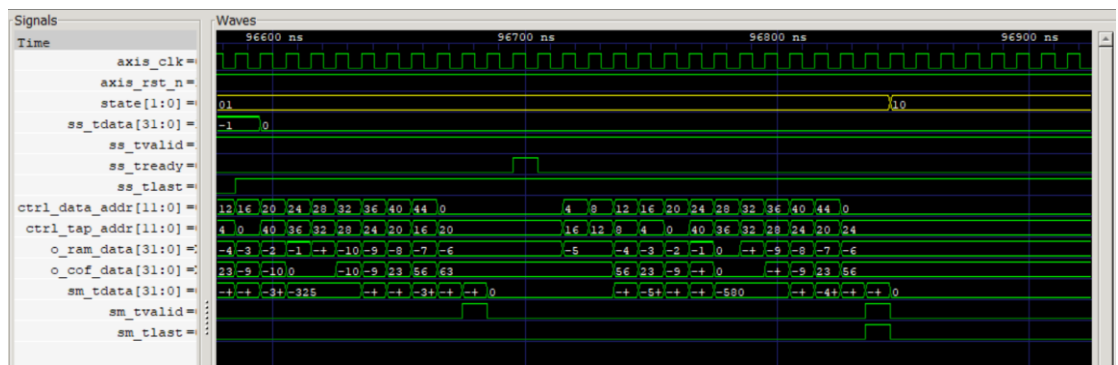
在 ap_idle (state=0)時先將 tap parameter 存進 RAM 中，在 testbench 中將值讀出並檢查值是否正確。



當 parameters 都 program 好之後，testbench 會發送 ap_start 訊號，當 fir module 接收到此訊號後便會將 module 內部設定的 ap_start_sig 升起，且狀態會從 idle(state=0) 轉為 start(state=1)，之後 ss_tdata (samples_triangular_wave)會寫進 RAM 中。此時 ctrl module 可以根據 data_addr 和 tap_adder 的選擇，在 RAM 中讀出對應的值並做 convolution，得到結果之後將 sm_tvalid 拉為 1。



當傳送到最後一筆資料(ss_tlast=1)且對方也接收到最後一筆後(sm_tlast=1)，即會變成 ap_done 狀態(state=3)。



心得:

這次的 lab 真的很不簡單，要知道 lab2 中的 ip 是如何透過 axis-lite 和 axis-stream 來和其他裝置做 communication，因此要熟悉 axis-lite 的 portocal 和 axis-stream 的 portocal，再透過 verilog 控制訊號，使 data 能夠正確的傳輸。