



**TRAVAUX PRATIQUES**  
**ELECTRONIQUE A COMPOSANTS DISCRETS**  
**KEAFPN05 – EEA3-ELN1**  
**L3EEA**  
**Salle 304 Bât. U4**



## MODALITES

La mise en pratique des connaissances et des compétences acquises en cours et en travaux dirigés d'électronique analogique va se faire au travers d'un mini-projet de 9h :

- Conception d'un circuit intégré à base de transistors bipolaires

Ce mini-projet est guidé et permet à l'étudiant de prendre en main le matériel à disposition dans la salle de travaux pratiques. Le mini-projet devra être préparé avant la séance de TP. Il est demandé de répondre aux questions de l'énoncé qui sont annotées d'un astérisque. Les contenus du cours et des travaux dirigés devront être maîtrisés par les étudiants et les rappels en séance de TP seront l'exception.

**Le compte-rendu du mini-projet sera rendu une semaine après la dernière séance (un seul compte-rendu par binôme).** Ces compte-rendus seront évalués. Il est demandé de soigner les réponses aux questions et d'apporter des éléments pertinents d'interprétation des résultats en vous appuyant sur le cours, les travaux dirigés et tout autre support à votre disposition. Il est très fortement recommandé, même si ce n'est pas toujours explicitement demandé dans l'énoncé, de préparer la simulation de chacun des montages étudiés sous le logiciel PSpice avant chaque séance (un ordinateur par binôme est à disposition pendant la séance pour effectuer les simulations).

L'évaluation du compte-rendu constitue la note de l'épreuve 1 de l'UE (coefficient 15%). L'évaluation de TP est individuel est une des deux évaluations de l'épreuve 3 (Seconde chance) et comptera pour 30% de la note de cette épreuve (coefficient 45%).



## MINI-PROJET

### **Objectif du TP :**

- **Comprendre à partir d'un exemple concret la philosophie de conception d'un circuit intégré à base de transistors bipolaires.**

**Les questions préliminaires (recherche dans les datasheet, calculs analytiques...) à effectuer avant la séance de TP sont incluses dans le texte et annotées d'un astérisque\*. Les enseignants vérifieront au début de chaque séance les calculs demandés. Le temps de préparation est estimé à 2h.**

### **A ) Positionnement du problème**

La conception en composants intégrés est fondamentalement différente de la conception de circuit en composants discrets. En effet, en conception micro-électronique, le designer doit s'affranchir de la dispersion des caractéristiques car il n'a pas la possibilité de sélectionner les composants utilisés. Il doit en plus tenir compte des dérives thermiques des caractéristiques afin de réaliser un circuit répondant au cahier des charges et pouvant être reproduit en grande quantité en respectant une dispersion raisonnable.

### **B ) Un exemple concret – cahier des charges**

Pendant le TP, nous demanderons de concevoir, en suivant pas à pas les indications fournies, un amplificateur :

- d'impédance d'entrée supérieure à 5 k $\Omega$
- de bande passante supérieure à 500 kHz
- de gain dynamique 200
- stable en température.

Ce TP permettra de se familiariser avec la démarche classique de conception en micro-électronique.

### **C ) La démarche de conception**

Avant le démarrage d'une conception, il convient de se procurer auprès du fondeur les caractéristiques de la technologie et des composants disponibles (modèle SPICE). En

général, la technologie bipolaire prédiffusée offre un choix restreint de transistors verticaux et latéraux (plusieurs tailles différentes), de résistances intégrées de valeurs comprises entre 100  $\Omega$  et 16 k $\Omega$  et de condensateurs de faible valeur (3 à 6 pF).

**En parallèle de la simulation, une approche papier (ou maquette) au 1<sup>er</sup> ordre est indispensable. C'est l'objet du TP proposé.**

N.B. : pour la manipulation, on utilisera des résistances discrètes, mais on pourra évaluer à chaque fois leur impact sur les caractéristiques du circuit.

## **I ) Etage amplificateur de base**

La conception d'un amplificateur large bande et faible bruit bipolaire respecte cinq règles fondamentales :

- Utiliser le moins de composants possible (chaque composant apporte un bruit supplémentaire).
- Réaliser un grand gain sur le premier étage pour optimiser le facteur de bruit.
- Polariser l'étage d'entrée au niveau du courant  $I_C$  optimal (minimisation du facteur de bruit).
- Utiliser un transistor de taille la plus importante possible afin de réduire la contribution en bruit de la résistance d'entrée du transistor  $h_{11}$ .
- Préférer un transistor NPN (dont la fréquence de transition est plus grande que celle d'un PNP) si l'on veut un amplificateur large bande.

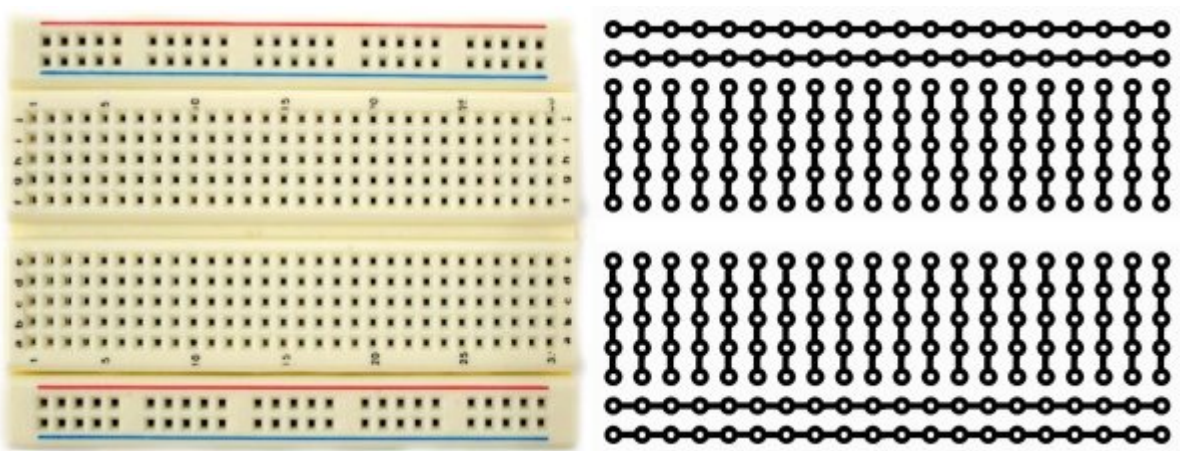
Le schéma de base d'un amplificateur qui découle de ces règles est le montage Emetteur Commun NPN dans sa version la plus simple où le générateur de courant  $I_B$  est réalisé par une résistance  $R_B$ .

Pour respecter la 4<sup>ème</sup> règle ci-dessus il suffit de mettre en parallèle plusieurs transistors. Dans un souci de simplification du montage, on utilisera un seul transistor. Afin de rendre compte au mieux du fonctionnement en fréquence de plusieurs transistors en parallèle, on ajoute une capacité externe  $C_{BC}$  de 10 pF entre la base et le collecteur du transistor NPN étudié.

L'entrée de l'étage Emetteur Commun se situe sur la base du transistor. Une capacité de découplage  $C_{in}$  de 100 nF est placée entre le pont diviseur et l'entrée du montage EC. Une capacité de découplage  $C_{out}$  de 330 nF est également placée entre le collecteur et le point de sortie. Aucune charge n'est placée en sortie. Les mesures s'effectueront à l'oscilloscope et au multimètre numérique dont la résistance d'entrée est  $R_{ch} = 1 \text{ M}\Omega$ .

**Représenter\*** le schéma de ce montage à partir des informations données précédemment. On notera  $R_C$  la résistance entre le collecteur et la tension d'alimentation qui sera fixée à  $V_{CC} = 10\text{ V}$ . On fera apparaître  $V_e$  (signal d'entrée) et  $V_{s0}$  (signal de sortie à vide).

Le câblage se fera sur platine Labdec (figure ci-dessous). Nous utiliserons le composant **CA 3096** composé de 3 transistors NPN et 2 transistors PNP. **Imprimer\*** les caractéristiques (datasheet) de ce composant fournies par le fabricant.



**Préparer\*** la simulation du montage sous Pspice. Vous comparerez les simulations aux mesures tout au long du TP.

## I ) Montage émetteur commun et polarisation par résistance de base

### A- Polarisation du transistor NPN

- 1- **Relever\*** le gain en courant statique  $\beta_{\text{stat}}$  (noté  $h_{FE}$ ) à température ambiante à l'aide des abaques fournies dans la datasheet du CA 3096 pour  $I_C = 1.5\text{ mA}$ .
- 2- **Déterminer\*** les expressions analytiques de  $R_B$  et  $R_C$ . **Calculer** leurs valeurs pour que le point de repos du montage soit  $I_C = 1.5\text{ mA}$  et  $V_{CE} = 5\text{ V}$ .
- 3- **Câbler** le circuit avec les éléments calculés préalablement. On prendra pour  $R_B$  une série de résistances fixes et variables et on ajustera les valeurs pour

retrouver le point de repos du 2-. La tension d'alimentation  $V_{CC}$  est fixée à 10 V au multimètre.

- 4- **Déterminer** précisément par la mesure les courants  $I_B$  et  $I_C$  et les valeurs des tensions  $V_{CE}$  et  $V_{BE}$ . Pour la détermination des courants (i) on relèvera les valeurs exactes de  $R_B$  et  $R_C$ , et (ii) on mesurera les tensions aux bornes de  $R_B$  et de  $R_C$ .
- 5- **Appliquer** un signal sinusoïdale de 10 kHz avec et sans le condensateur  $C_{IN}$  et **relever** les valeurs du point de fonctionnement. **Conclure** sur le rôle de  $C_{IN}$ .

B- Mesure des paramètres hybrides du transistor NPN et caractérisation du montage EC

Nous allons déterminer les paramètres hybrides du transistor NPN de manière indirecte en mesurant les caractéristiques du montage émetteur commun  $Z_E$  et  $Z_S$  (qui dépendent des paramètres hybrides).

- 1- **Représenter\*** le schéma du transistor bipolaire en régime de petits signaux en faisant apparaître les paramètres hybrides  $h_{11} = r_{be}$ ,  $h_{21} (\beta_{stat})$  et  $h_{22} = r_{ce}$  ainsi que les capacités intrinsèques de jonction  $C_{be}$  et  $C_{BC}+C_{bc}$  (placées entre la base et l'émetteur et, la base et le collecteur, respectivement).  $C_{bc}$  correspond à la capacité du transistor utilisé et  $C_{BC}$  correspond à la capacité externe ajoutée afin de simuler le comportement aux hautes fréquences de plusieurs transistors associés (cf. plus haut).
- 2- **Relever\*** les valeurs des capacités  $C_{be}$  et  $C_{bc}$  à l'aide des caractéristiques fournies par le constructeur. **En déduire\*** les impédances associées à  $C_{be}$  et  $C_{BC}+C_{bc}$  pour une fréquence de 10 kHz. **Représenter\*** alors le schéma équivalent du transistor à la fréquence de 10 kHz.
- 3- **Déduire** de la question 4- du paragraphe précédent le gain en courant statique  $\beta_{stat}$  du transistor à la température ambiante. **Comparer** avec 1- (paragraphe A).
- 4- **Calculer\*** les valeurs des impédances des condensateurs de liaison pour une fréquence de 10 kHz.



**Réprésenter\*** le montage émetteur commun en régime de petits signaux basse fréquence (10 kHz).

**En déduire\*** les expressions analytiques des impédances d'entrée  $Z_E$  et de sortie  $Z_S$  du montage EC seul en fonction des différents éléments.

**Evaluer** l'ordre de grandeur de ces impédances.

**Donner** les expressions de  $h_{11}$  et  $h_{22}$  en fonction de  $Z_E$ ,  $Z_S$  et des éléments du circuit.

Dans la suite, on va déterminer expérimentalement les valeurs de  $Z_E$  et  $Z_S$  afin de calculer les paramètres  $h_{11}$  et  $h_{22}$  du transistor.

- 5- On ajoute entre la source et le condensateur de liaison  $C_{in}$  (non représenté sur la figure ci-dessous) une résistance variable  $R_{add}$  et on applique à l'aide d'un GBF un signal BF de 10 kHz.

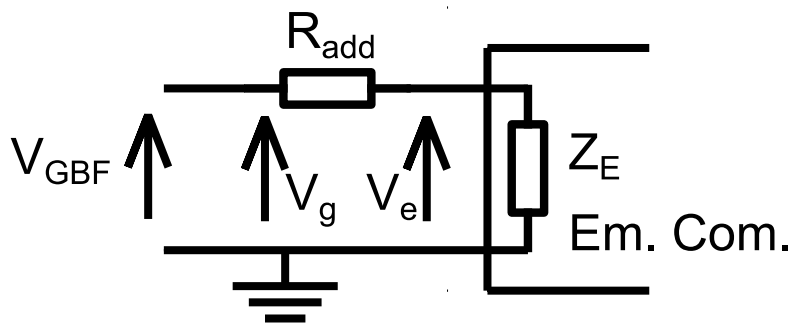


Figure 1 : Méthode de mesure de l'impédance d'entrée

**Donner\*** l'expression de  $Z_E$  en fonction de  $V_g$ ,  $R_{add}$  et  $V_e$  (doit-on prendre en compte l'impédance de  $C_{in}$  à 10 kHz dans le calcul ?).

**Visualiser** les signaux  $v_g$  et  $v_e$  à l'oscilloscope et modifier la valeur de  $R_{add}$  (on prendra une résistance variable) pour avoir  $v_e = \frac{v_g}{2}$ . En déduire la valeur de  $Z_E$ .

De la mesure de  $Z_E$ , **déduire** la valeur de  $h_{11}$  ( $r_{be}$ ) (cf. question 3-). **Comparer** la valeur à celle déterminée d'après les caractéristiques du constructeur.

- 6- L'impédance de sortie  $Z_S$  du montage EC se détermine à partir de la mesure de l'amplitude du signal de sortie (pour un signal d'entrée d'amplitude constante) à vide puis en charge (résistance  $R_{ch}$ ).

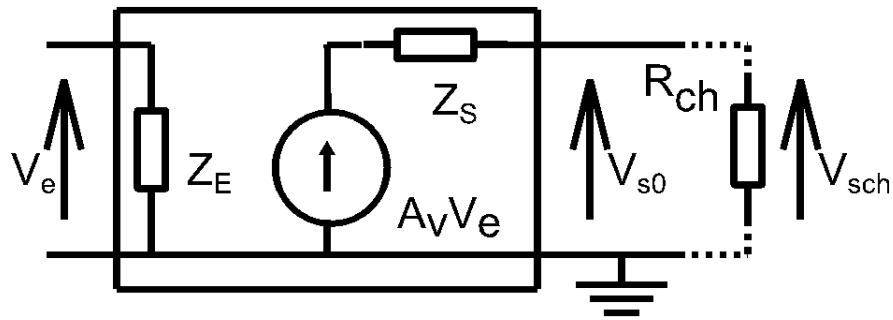


Figure 2 : Méthode de mesure de l'impédance de sortie

**Donner\*** l'expression de  $Z_s$  en fonction de  $R_{ch}$ ,  $V_{s0}$  (à vide) et  $V_{sch}$  (en charge).

**Déterminer** par la mesure la valeur de  $Z_s$ . **En déduire** la valeur de  $h_{22}$  (ou  $1/r_{ce}$ ) (cf. question 3-).

- 7- **Déterminer** à partir du schéma petits signaux du montage l'expression du courant  $i_B$  en fonction de  $v_e$  et  $h_{11}$ .

Le courant  $i_C$  s'exprime à partir du schéma équivalent sous la forme :

$$i_C = h_{21} \cdot i_B + h_{22} \cdot v_{CE}$$

**Calculer**  $i_C$  à partir de cette expression et de la mesure de  $v_e$  et  $v_{CE}$ .

Le gain en courant dynamique est défini par  $\beta_{dyn} = i_C / i_B$ . **Donner** sa valeur. Commenter.

### C- Etude de la stabilité en température du point de repos et du gain dynamique

Nous allons ici illustrer par la mesure les conclusions auxquelles nous sommes arrivés en travaux dirigés sur la dépendance du point de fonctionnement avec la température.

- 1- **Chauffer** le transistor en approchant une panne de fer à souder sur le boîtier.

**Observer** et **mesurer** finement  $I_C$  et  $V_{CE}$  après 1 min.

Comment expliquer la variation du point de fonctionnement ?

**Déterminer** les variations relatives (en donnant le signe)  $\Delta I_C / I_C$  et  $\Delta V_{CE} / V_{CE}$ .

**Interpréter** ces variations.

- 2- **Appliquer** un signal BF de 10 kHz à l'entrée du montage. **Visualiser** sur l'oscilloscope les signaux d'entrée (base du transistor  $T_1$ ) et de sortie.

- 3- **Mesurer** le gain en tension à vide  $A_{V0} = v_{s0} / v_e$  du montage EC à 10 kHz et à la température ambiante.

**Refaire la mesure** en chauffant le transistor (cf. 1-) et déterminer  $\Delta A_V / A_V$ .  
**Conclure.**

- 4- **Augmenter** l'amplitude du signal d'entrée pour être en limite de saturation à la sortie. **Relever** l'amplitude crête-à-crête (dynamique de sortie). **Interpréter.**

D- Adaptation en tension entre la source et l'amplificateur

Le signal d'entrée que l'on veut amplifier provient d'un microphone dont la résistance de sortie est 1 k $\Omega$ . En amont du montage on place donc une résistance de 1 k $\Omega$  pour simuler l'effet du microphone. Le signal d'entrée du montage  $v_e$  correspondra au signal délivré par le GBF.

- 1- **Représenter\*** l'association microphone – Emetteur Commun ( $A_{v0}$ ,  $Z_E$ ,  $Z_S$ ).
- 2- A partir de la valeur du gain en tension  $A_{v0}$  pour le montage emetteur commun, **donner\*** l'expression du gain en tension du montage complet (microphone + montage emetteur commun).
- 3- **Effectuer** la mesure de ce gain  $A_{vass} = v_s / v_e$ .
- 4- **Proposer** une modification du montage qui permette d'avoir  $A_{vass} = A_{v0}$ .

E- Etude fréquentielle

On se propose dans cette partie de définir la bande passante du montage EC ainsi que les fréquences de coupure haute et basse à -3 dB. Ces fréquences de coupure sont dues d'une part aux capacités de liaison et d'autre part aux capacités intrinsèques au transistor bipolaire.

La fréquence de coupure à -3 dB pour les hautes fréquences est due aux capacités parasites base-emetteur  $C_{be}$  et base-collecteur  $C_{bc}$  (à laquelle il faudra ajouter  $C_{BC}$ ). D'après les spécifications du constructeur (cf. I-B-2-), nous négligerons  $C_{be}$  devant  $C_{BC} + C_{bc}$  la capacité entre la base (entrée) et le collecteur (sortie).

L'étude de la fonction de transfert aux basses et hautes fréquences montre que les fréquences de coupure basses  $f_{cb1}$  et  $f_{cb2}$  et, haute  $f_{ch}$  à -3 dB s'approchent des expressions suivantes :

$$f_{cb1} = \frac{1}{2\pi Z_E C_{IN}}$$

$$f_{cb2} = \frac{1}{2\pi Z_S C_{OUT}}$$

$$f_{ch} = \frac{1}{2\pi (r_{be} // R_S) C_M}$$

avec

$$C_M = (1 + |A_{v0}|)(C_{BC} + C_{be})$$

Et  $R_S$  qui est la résistance de la source, ici celle du microphone de 1 kΩ.

**Evaluer** les fréquences de coupure à partir des relations ci-dessus.

**Mesurer** les fréquences de coupure basse et haute à -3 dB. On expliquera la méthode de mesure utilisée.

**Comparer** les valeurs théoriques aux valeurs mesurées. **Conclure**.

**Tracer** l'évolution du gain en tension  $G_V = 20 \cdot \log(A_V)$  en fonction de la fréquence sur papier millimétré semi-log. **Déterminer** les pentes des asymptotes à la courbe dans les zones de coupure.

**Conclure** sur les performances de l'étage élémentaire : dynamique de sortie (amplitude maximale du signal de sortie sans déformation ou écrêtage), tenue en température de la polarisation, bande passante, gain en tension, impédance d'entrée etc... en fonction du cahier des charges définis au début du TP.

## II ) Amélioration de la polarisation

Dans le I ) nous avons constaté que le réseau de polarisation simple impose le courant  $I_B$  et non  $I_C$ . Dans la suite du TP, nous allons contrôler  $I_C$  indépendamment de  $I_B$  afin de s'affranchir des variations du point de repos avec la température.

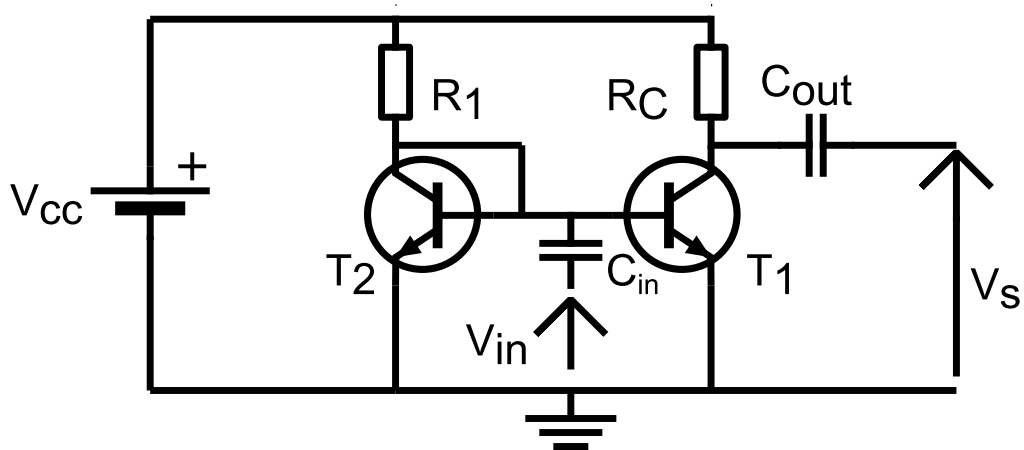


Figure 3

- 1- On choisit la solution dont le montage est représenté sur la figure 1. **Expliquer\*** son fonctionnement.  
**En déduire\*** les avantages notamment sur la dérive en température de la polarisation. On exprimera le courant  $I_C$  en fonction de  $I_2$  et du gain  $\beta = \beta_{\text{stat}}$ . Les deux transistors  $Q_1$  et  $Q_2$  étant intégrés sur le même substrat, ils ont les mêmes caractéristiques.
- 2- **Déterminer\*** la valeur de  $R_1$  pour avoir le point de repos du I-.
- 3- **Câbler** le montage (on prendra un potentiomètre de 10 k $\Omega$  pour  $R_1$ ) et **mesurer** les points de repos des différents transistors  $Q_1$  et  $Q_2$ . **Vérifier** la valeur de  $R_1$ .
- 4- **Evaluer** la sensibilité à la température du point de repos (cf. I-C).
- 5- **Déterminer** l'expression de l'impédance d'entrée de ce nouveau montage après avoir donné son schéma équivalent en petits signaux. **Mesurer** cette grandeur. **Comparer** avec celle du I-. **Conclure**.
- 6- **Mesurer** les fréquences de coupure basse et haute de ce nouveau montage (EC + miroir de courant). Etait-ce prévisible (cf. questions II-5 et E-1/E-2) ?
- 7- Est-ce que les caractéristiques de ce montage remplissent les critères définis dans le cahier des charges (amélioration/dégradation) ?

#### IV ) Amélioration de la bande passante (optionnel)

L'utilisation d'un transistor d'entrée de grande taille pour réduire le bruit augmente la capacité  $C_{BC}$  (simulée sur notre montage par l'ajout d'une capacité externe de 10 pF) et donc réduit la bande passante comme nous l'avons vu dans le I-E.

On reprend la source de la partie I-D-2. Compte-tenu des conclusions de la partie I-D-2, un montage Collecteur Commun (CC) est placé entre la source et l'entrée du montage EC.

- 1- **Rappeler** les expressions du gain en tension  $A_{vCC}$ , de l'impédance d'entrée  $Z_{EEC}$  ( $Z_{EEC} = h_{11}$ ) et de l'impédance de sortie  $Z_{SCC}$  du montage CC.

**En déduire** le gain en tension de l'association (source +°montage CC) noté  $A_{vass}$ . On modélisera cette association vue de l'entrée de l'émetteur par un générateur de fem  $A_{vass}.V_e$  ( $V_e$  étant le signal de la source à vide) et de résistance  $Z_{SCC}$ . **A.N.**

Afin de restaurer la bande passante, on utilise un montage cascode (figure 4). Ce montage est constitué de l'association d'un montage EC et d'un montage BC (base commune).

- 2- **Donner** le gain du bloc base commune ainsi que le gain du montage cascode.
- 3- **Donner** l'impédance d'entrée du montage EC (partie I) et celle du montage cascode (partie III) en tenant compte des capacités parasites. **Conclusion.**
- 4- **Câbler** le montage de la figure 4.
- 5- **Vérifier** les points de repos.
- 6- **Mesurer** le gain et la bande passante. D'où provient maintenant la limitation en fréquence ?
- 7- **Conclusion** sur le montage : importance des capacités parasites et de la dynamique de sortie.

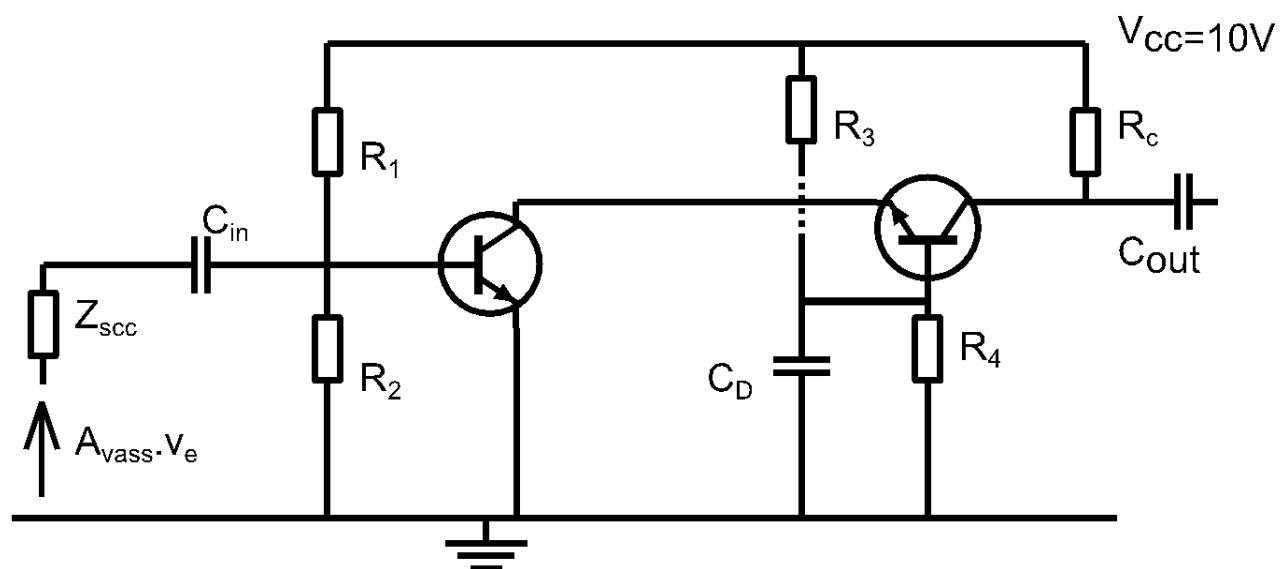


Figure 4 : Montage cascode.

