

MODÜLLER

[illegible]

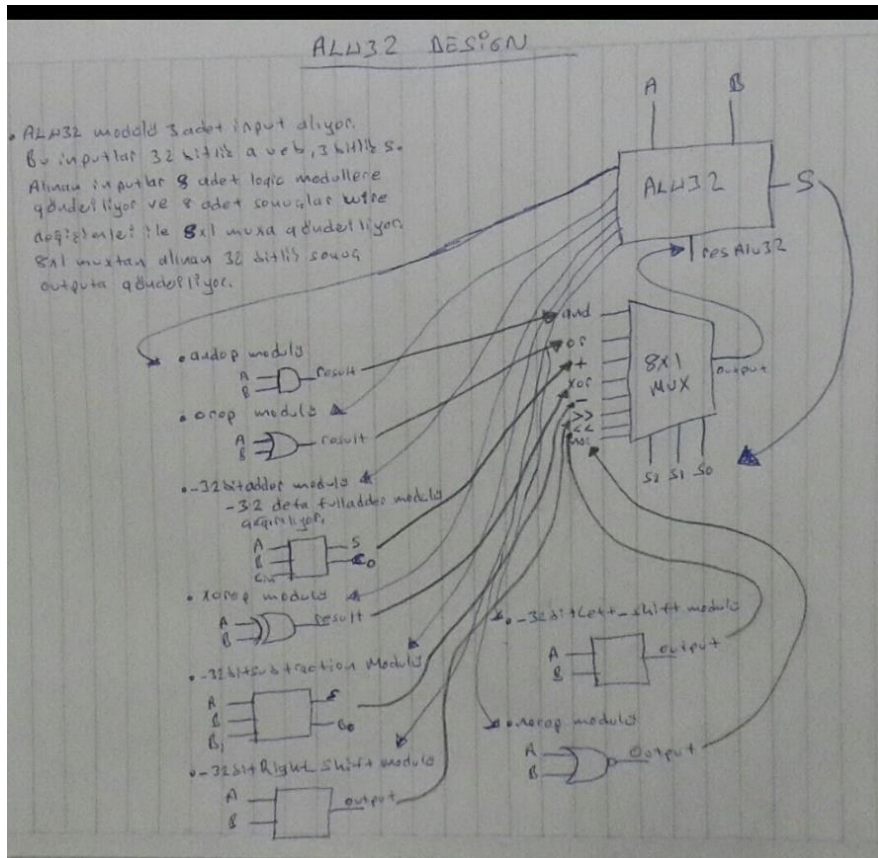
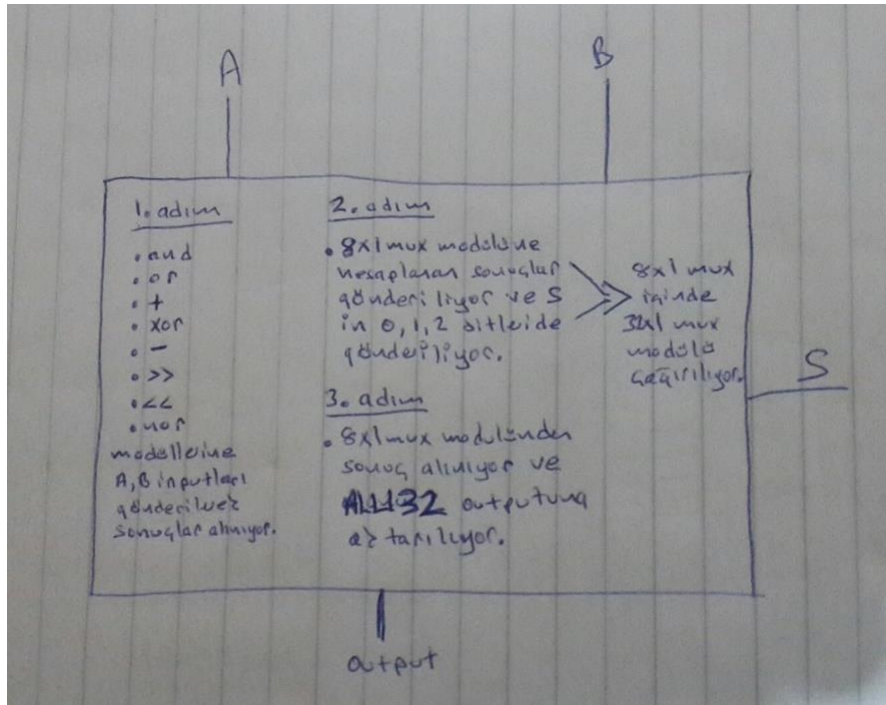
3- Control : Control modulunde , gelen opcode göre çıkış sinyalleri belirleniyor. Bu modülün sinyal belirleme durumları aşağıda ki resimde mevcuttur.

Yukarıda ki resimde sadeleştirme sonuçları ve control modulunun sinyalleri mevcuttur.

4- Alu control : Bu modülde, control ünitten gelen 3 bitlik Aluop ile instructiondan gelen function a göre Alunun select biti seçiliyor. Aşağıda ki Resimde gerekli sadeleştirmeler mevcuttur.

ALU CONTROL						
Input 1w 1-) Function Code 6 2-) ALUop (3 bit)						
Instruction	Aluop	Instruction operation	Function Field	Desired ALU control	ALU 2 bit	Zero
			5 4 3 2 1 0		1 0	
LW	000	load word	x x x x x x	add	0 1 0	
SW	000	store word	x x x x x x	add	0 1 0	
beq	001	branch equal	x x x x x x	sub	1 0 0	
addi	000	addi	x x x x x x	add	0 1 0	
andi	110	andi	x x x x x x	and	000	
ori	100	ori	x x x x x x	or	001	
s	x x x	s	x x x x x x	x	x x x	
R	010	add	1 0 0 0 0 0	add	0 1 0	
R	010	addu	0 0 1 0 0 0	addu	0 1 0	
R	010	sub	1 0 0 0 1 0	sub	1 0 0	
R	010	subu	1 0 0 0 1 1	subu	1 0 0	
R	010	and	1 0 0 1 0 0	and	000	
R	010	or	1 0 0 1 0 1	or	001	
R	010	nor	1 0 0 1 1 1	nor	1 1 1	
R	010	sll	0 0 0 0 0 0	sll	1 1 0	
R	010	srl	0 0 0 0 1 0	srl	1 0 1	
R	010	sllw	1 0 1 0 1 1	sllw	1 0 0	
ALUctrl:						
2 bit $\rightarrow (\overline{ALUop[1]} \cdot ALUop[0]) \text{ or } (f[0]) \text{ or } (ALUop[1] \cdot (f[4] \cdot f[0]))$						
1 bit $\rightarrow (\overline{ALUop[2]} \cdot \overline{ALUop[1]}) \text{ or } (func[1] \cdot func[2])$						
0 bit $\rightarrow (\overline{ALUop[0]} \cdot \overline{ALUop[1]} \cdot \overline{ALUop[2]}) \text{ or } (f_2 \cdot \overline{f_1} \cdot f_0) \cdot (f_1 \cdot \overline{f_0} \cdot f_2)$						

5-) alu32 : Bir önceki proje ile hemen hemen aynı modül olup, xor ve sra işlemleri kaldırılmış, yerine srl ve sltu işlemleri eklenmiştir. Bu modülü hatırlayacak olursak, 32 bitlik 2 adet a ve b, 3 bitlik s(select) inputları alınmaktadır. Bu inputlar alındıktan sonra modül içinde yapmamız istenen 8 adet(and,or,+, -, >>, <<, nor) işlemin modülleri çağırılmaktadır. Çağırılan bu modüllerin sonuçları wire değişkenlerinde tutularak, _8x1mux modülüne gönderilmektedir. _8x1 modülü 8 adet 32 bitlik, 1 adet 3 bitlik input almaktadır. Alınan bu inputlar _32bitmux modülüne, sırasıyla I0,I1...I7, şeklinde gönderiliyor ve s bitinin sırasıyla s[0], s[1] ve s[2] bitleri gönderilerek hangi inputun outputa gönderileceği belirleniyor. _8x1mux modülünde en son çağırılan _32bitmux modülünün outputu alınarak, _8x1mux modülünün outputuna gönderiliyor. Oluşan bu output, son olarakda alu32 icinde ki resultAlu32 outputuna atanarak istenilen işlemin sonucu elde edilmiş oluyor.



6-) Insturction_Memory : Bu modülde instructionlar tutulmaktadır. Gelen adres bilgisine göre output olarak 32bitlik instructionu atamaktadır.

7-) data_memory : Bu modül parametre olarak, alunun resultu yani adress, rt nin contenti yani write data, MemWrite sinyalleri alınmaktadır. Output olarak read ata vermekte ve çıkışında ki muxun sonucuna göre, instruction sonucu işlem görmektedir.

Before Registers.mem

[illegible]

[illegible]

MODELSİM SONUCLARI

```
# opcode = 000000 | rs = 00100 | rt = 00101 | rd = 00110 | shampt = 00000 | func = 100000
# | Result = 000000000000000000000000000001001
# opcode = 000000 | rs = 00110 | rt = 00111 | rd = 01000 | shampt = 00000 | func = 100001
# | Result = 000000000000000000000000000010000
# opcode = 000000 | rs = 00111 | rt = 01000 | rd = 01001 | shampt = 00000 | func = 100010
# | Result = 11111111111111111111111111110111
# opcode = 000000 | rs = 01001 | rt = 01000 | rd = 01010 | shampt = 00000 | func = 100011
# | Result = 111111111111111111111111111100111
# opcode = 000000 | rs = 01001 | rt = 01000 | rd = 01011 | shampt = 00000 | func = 100100
# | Result = 000000000000000000000000000010000
# opcode = 000000 | rs = 01001 | rt = 01000 | rd = 01100 | shampt = 00000 | func = 100101
# | Result = 11111111111111111111111111110111
# opcode = 000000 | rs = 01001 | rt = 01000 | rd = 01101 | shampt = 00000 | func = 100111
# | Result = 000000000000000000000000000001000
# opcode = 000000 | rs = 00000 | rt = 01001 | rd = 01110 | shampt = 00001 | func = 000000
# | Result = 11111111111111111111111111110111
# opcode = 000000 | rs = 00000 | rt = 01001 | rd = 01111 | shampt = 00011 | func = 000010
# | Result = 00111111111111111111111111111101
# opcode = 000000 | rs = 01110 | rt = 01111 | rd = 10000 | shampt = 00000 | func = 101011
# | Result = 101111111111111111111111111111010
# opcode = 100011 | rs = 00101 | rt = 00100 | rd = 00000 | shampt = 00000 | func = 000000
# | Result = 00000000000000000000000000001010000
# opcode = 101011 | rs = 00110 | rt = 00111 | rd = 00000 | shampt = 00000 | func = 000001
# | Result = 0000000000000000000000000000010000
# opcode = 001001 | rs = 01001 | rt = 01000 | rd = 00000 | shampt = 00000 | func = 000100
```

```
# | Result = 11111111111111110111111111111111011
```

[illegible]

[illegible]**instruction_memory.mem**

```

0000000010001010011000000100000
0000000011000111010000000100001
00000000111010000100100000100010
00000001001010000101000000100011
00000001001010000101100000100100
00000001001010000110000000100101
00000001001010000110100000100111
000000000000010010111000001000000
000000000000010010111100011000010
00000001110011111000000000101011
10001100101001000000000000000000
10101100110001110000000000000001
00100101001010000000000000000100
00110001011010100000000000000011
00110101100011100000000000001000
0001000110001110111111111111100

```

Data_memory.mem

[illegible]

[illegible]