

# Implementación en FPGA de un Segmentador de Fonocardiogramas basado en la U-Net

Daniel Enériz<sup>1</sup>, Antonio J. Rodríguez-Almeida<sup>2</sup>, Himar Fabelo<sup>3</sup>, Nicolás Medrano<sup>1</sup>, Belén Calvo<sup>1</sup>, Gustavo M. Callicó<sup>2</sup>

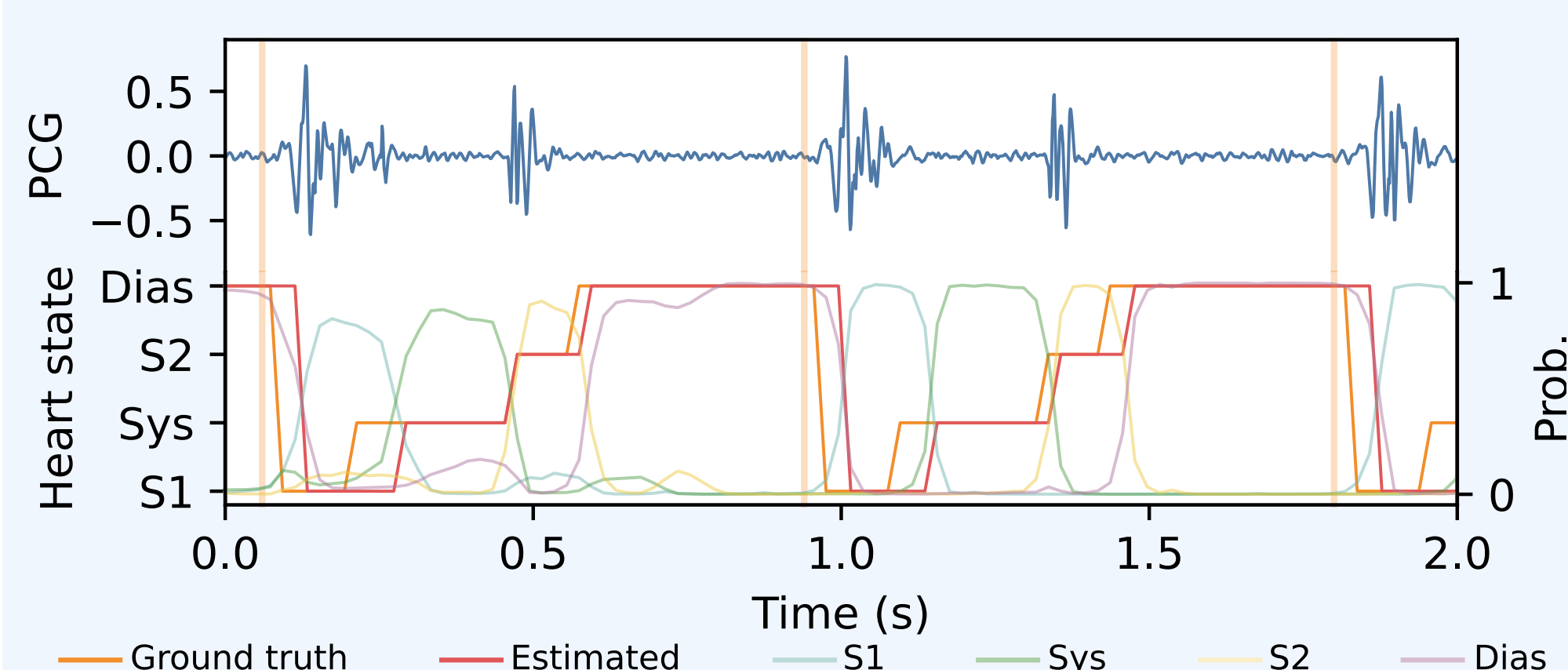
<sup>1</sup>Grupo de Diseño Electrónico, Instituto de Investigación en Ingeniería de Aragón, Pedro Cerbuna, 12, 50009, Zaragoza

<sup>2</sup>Instituto Universitario de Microelectrónica Aplicada, Universidad de Las Palmas de Gran Canaria

<sup>3</sup>Fundación Canaria Instituto de Investigación Sanitaria de Canarias, Las Palmas de Gran Canaria

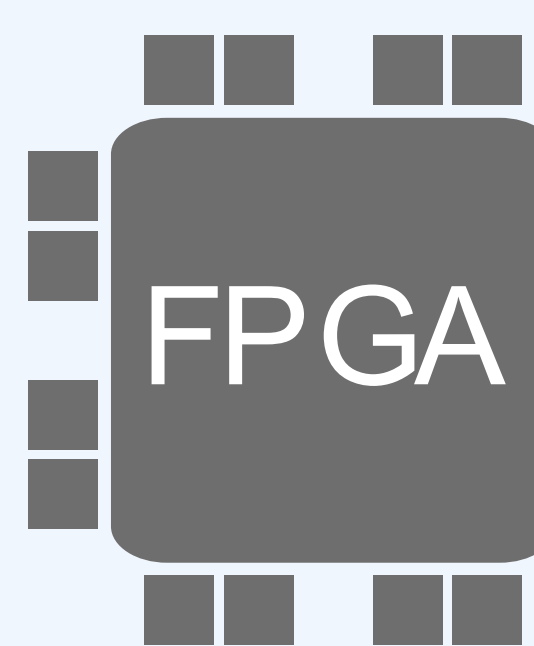
## Introducción

- Fonocardiogramas PCG: sonidos corazón
- Segmentación de PCG: división en ciclos
- 4 estados cardiacos: S1→Síst→ S2→ Días



- U-Net: Segmentación de imágenes
- Adaptación para señales 1D (PCG)

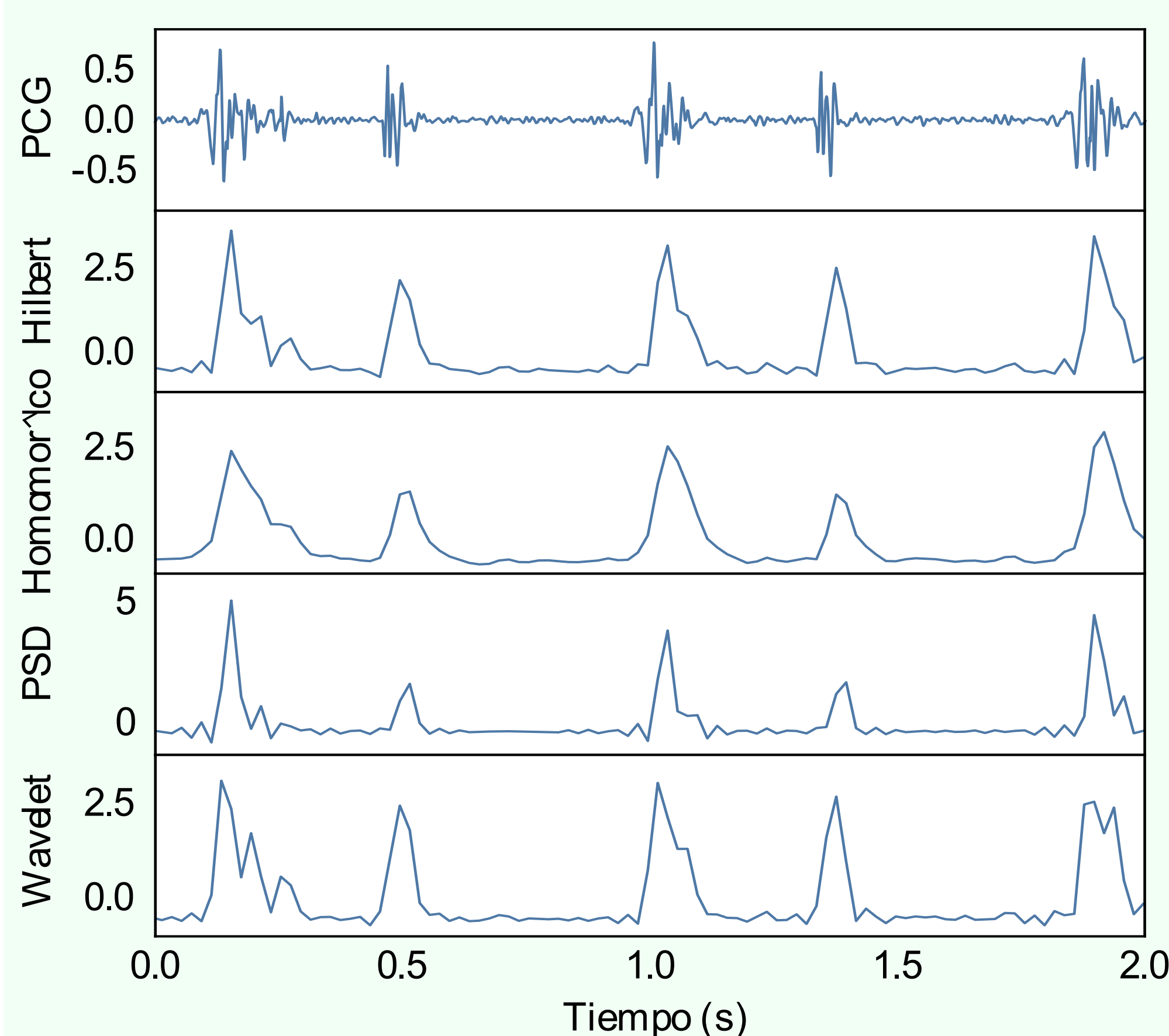
- Soporte Hardware:



- Edge computing
- Capacidad de optimizar
- Datos de punto fijo arbitrario
- Herramientas de Síntesis de Alto Nivel (HLS)

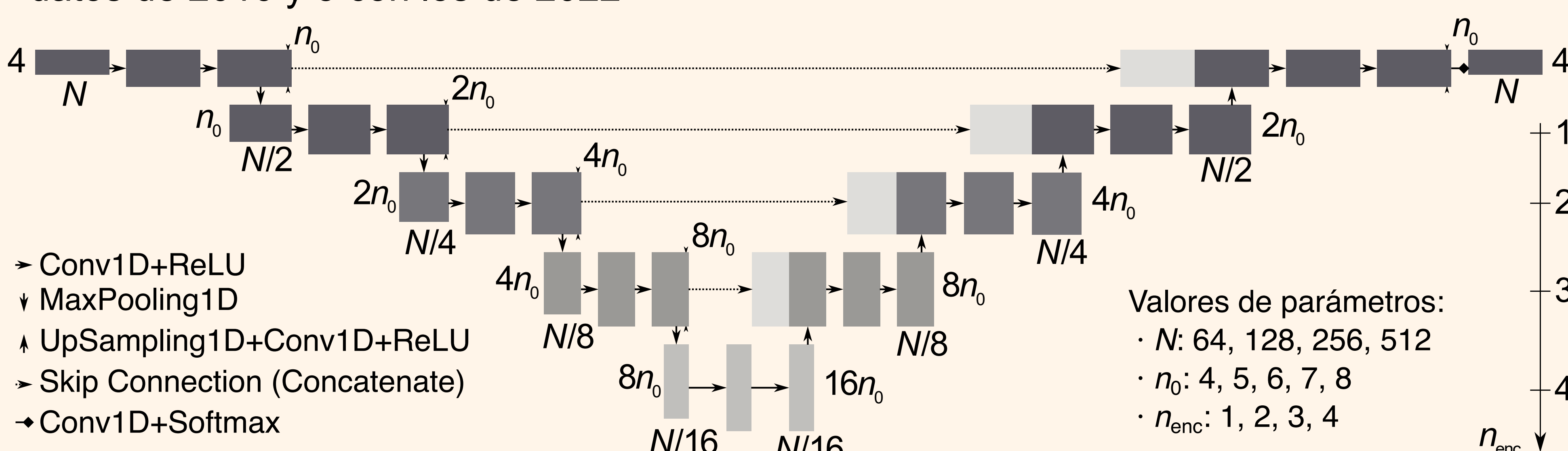
## Bases de datos y preprocesado

- The CirCor dataset (2022 CinC Challenge)
  - 942 sujetos
  - 3163 PCGs
- Preprocesado:
  - BP 25-400 Hz
  - Reducción de picos
  - Decimado 50 Hz
  - 4 envolventes



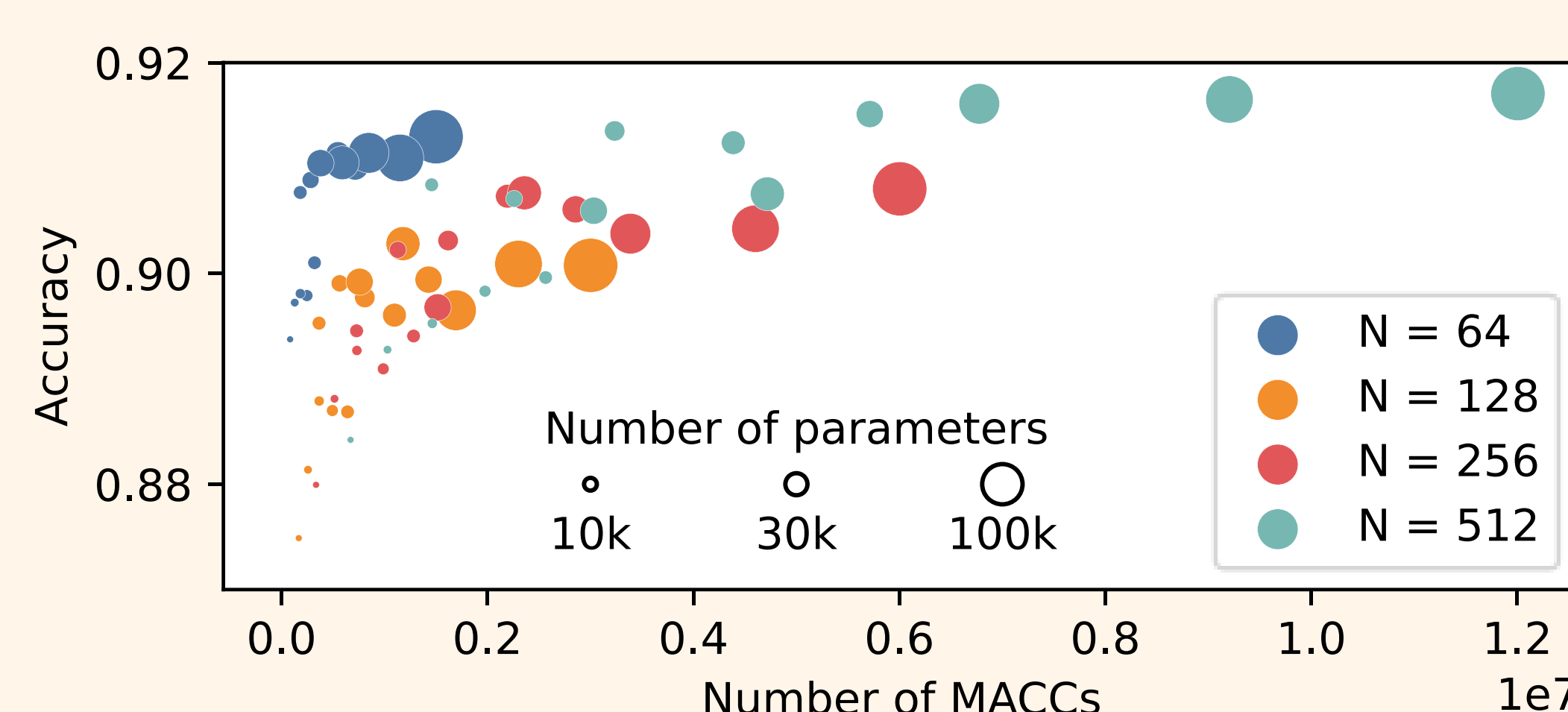
## Arquitectura, validación, entrenamiento y reducción

- Red Basada en la U-Net, presentada en F. Renna *et al.* 2019
  - Entrada:  $N$  muestras temporales de las 4 envolventes
  - La versión completa del modelo tiene  $n_{enc}=4$  encoders/decoders y  $n_0=8$  filtros en el primer encoder, los cuales se duplican en cada etapa
  - Tres parámetros de reducción del modelo identificados:  $N$ ,  $n_{enc}$  y  $n_0$
- Validación: Training set 60%, Validation set 20% y Test set 20%
- Entrenamiento: Optimizador Adam, learning rate  $10^{-4}$ , batch size de 1, 5 épocas con los datos de 2016 y 5 con los de 2022



Test set accuracy para modelos con  $N=64$

$n_{enc}$	4	3	2	1
8	0.913	0.910	0.901	0.851
7	0.911	0.911	0.898	0.853
$n_0$ 6	0.911	0.910	0.898	0.849
5	0.911	0.909	0.897	0.838
4	0.910	0.908	0.894	0.800



## Implementación

- Objetivo: Xilinx Zynq 7010 & 7020:
  - Low-spec FPGA & dual-core ARM CPU
  - Datos de punto fijo (16,8)
  - Uso de HLS: programación desde C/C++
- Uso de recursos para  $N=64$ :

$n_{enc}$	4	3	2	1	4	3	2	1
8	287	103	51	31	8382	6565	4761	2975
7	287	103	51	31	9466	7346	5253	3187
$n_0$ 6	175	79	49	31	9403	7298	5220	3173
5	175	79	49	31	9306	7215	5149	3139
4	121	69	49	31	8144	6372	4613	2887
8	17724	13975	10186	6351	23	18	13	8
7	20396	16016	11577	7100	23	18	13	8
$n_0$ 6	20396	16016	11577	7100	23	18	13	8
5	20282	15928	11515	7068	23	18	13	8
4	17673	13939	10166	6328	23	18	13	8



BRAM y LUT recursos limitantes

\*Límites:  
7010 en cursiva  
7020 tachados

## Contacto y mas información



Daniel Enériz Orta  
eneriz@unizar.es  
Grupo de Diseño Electrónico (GDE)  
Instituto Universitario de Investigación en Ingeniería de Aragón (I3A)  
Universidad de Zaragoza  
Facultad de Ciencias