

Arquitectura del Computador II

Introducción.



Sobre mi...

Jefferson Aldrúbal Esquivel

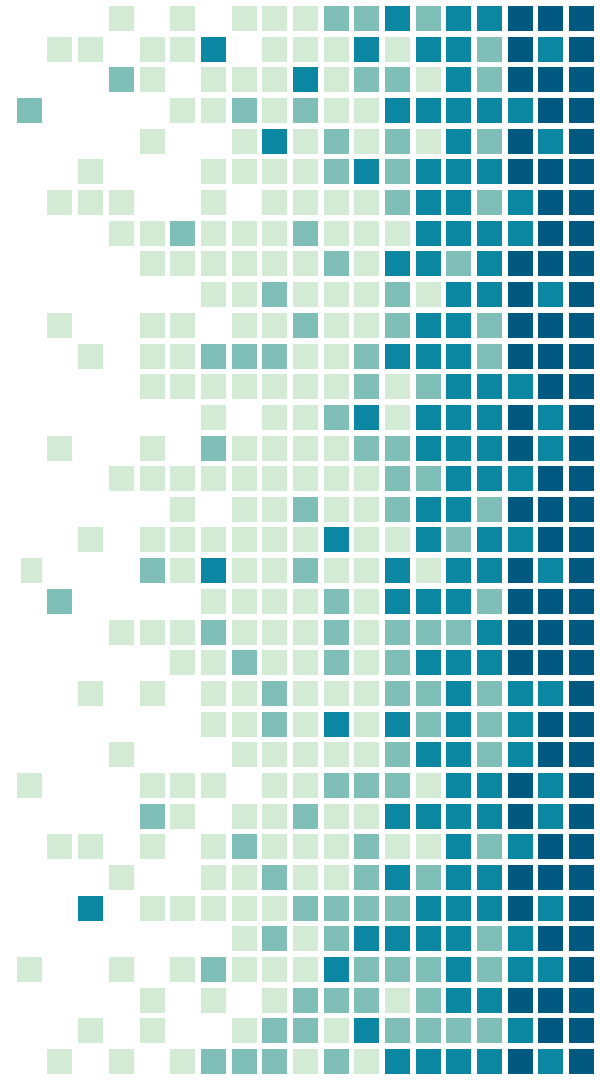
jefferson.esquivel.gt@gmail.com



Qué les pido de su parte?



Respeto



Qué les pido de su parte?



2.

Puntualidad
(19:30)(+/-5)

Qué les pido de su parte?



3.!

Mascarilla

Qué les pido de su parte?



• Participación

Qué les pido de su parte?



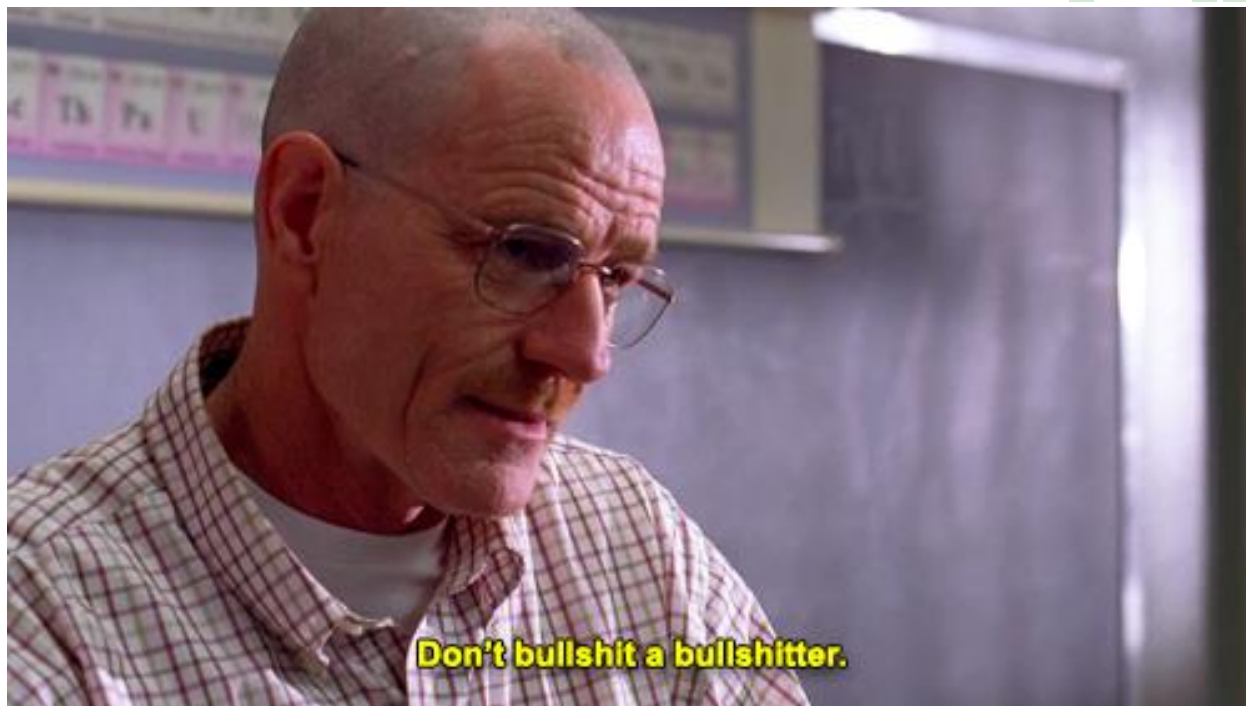
5. • Lecturas previas

Qué les pido de su parte?



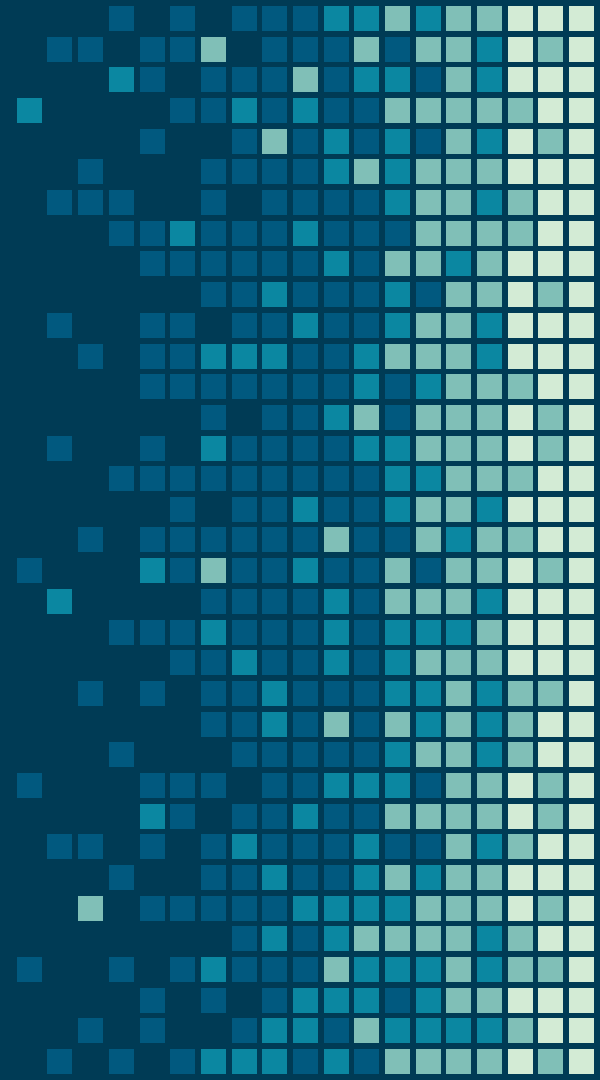
Calificaciones y puntos

- Laboratorios tienen un MVP (mínimo producto viable). Si se cumple con lo solicitado, se tiene derecho a calificación. De lo contrario no. Una vez presentado o demostrado el MVP, se puede proceder a la calificación basada en la rúbrica del laboratorio.
- Se califica lo enviado al portal únicamente. Esto implica horario, tipo y contenido de lo solicitado.
- Si la práctica incluye la nota de “calificación presencial”, quiere decir que en el laboratorio se calificará y se solicitará que se suba al portal la documentación requerida posterior a la calificación.

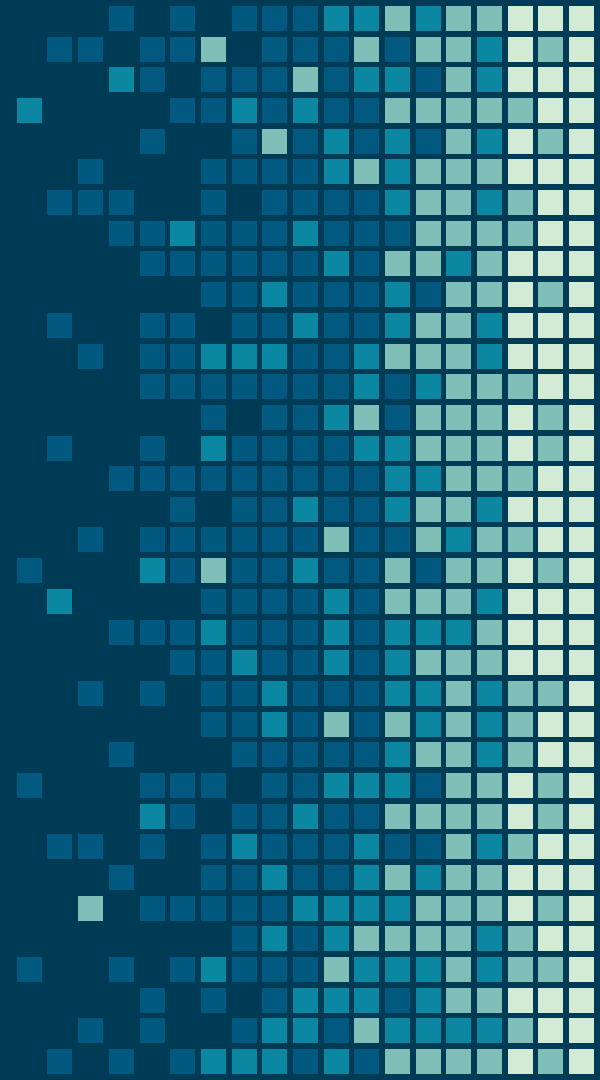


Don't bullshit a bullshitter.

Sobre cursos
previos ...



Sobre el curso ...



El egresado landivariano se identifica por:

Pensamiento
lógico, reflexivo y
analógico

Pensamiento
crítico

Resolución de
problemas

Habilidades de
investigación

Uso de TIC y
gestión de la
información

Comunicación
efectiva, escrita y
oral

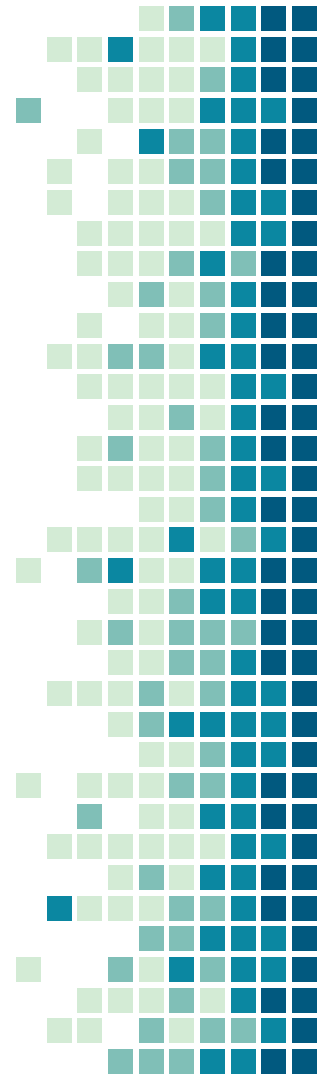
Comprensión
lectora


Compromiso
ético y
ciudadanía

Liderazgo
constructivo

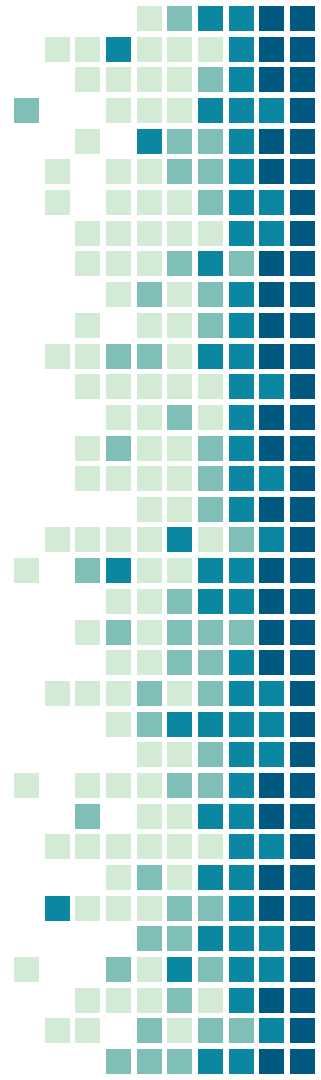
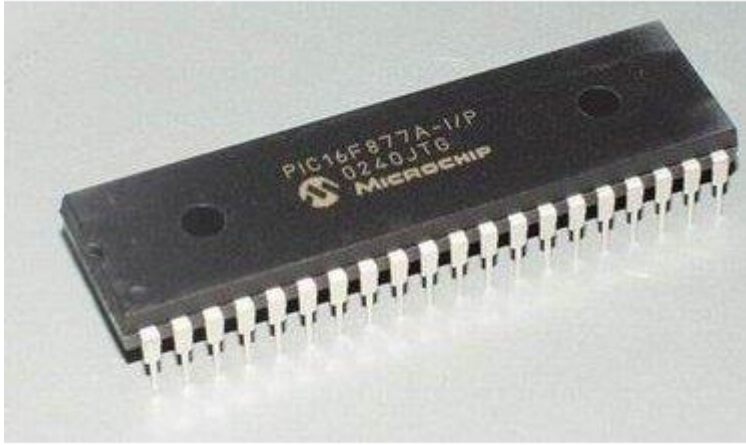
Aprecio y respeto
por la diversidad e
interculturalidad

Creatividad



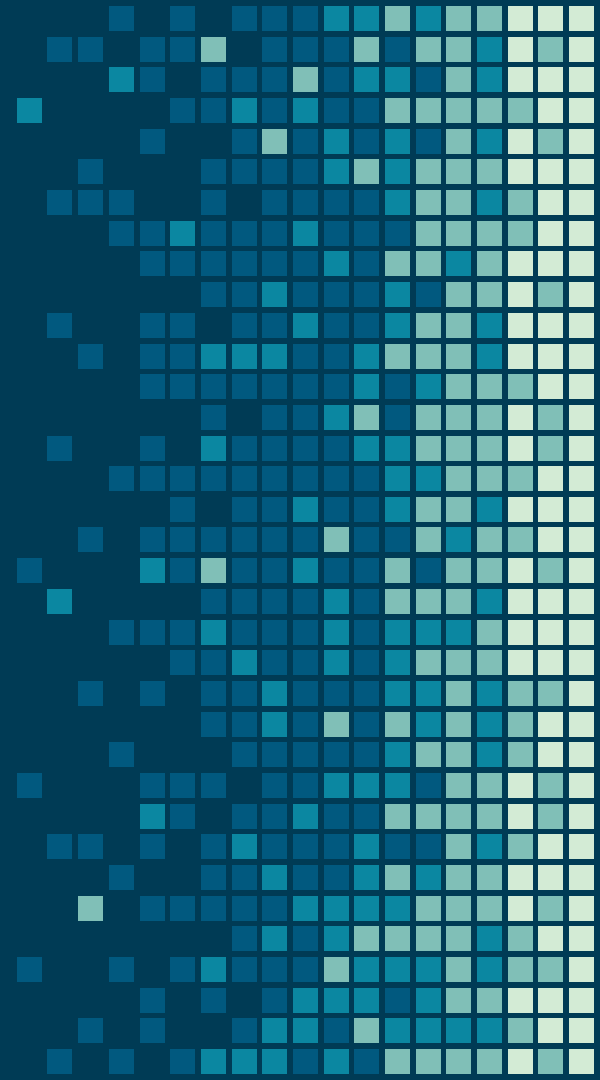


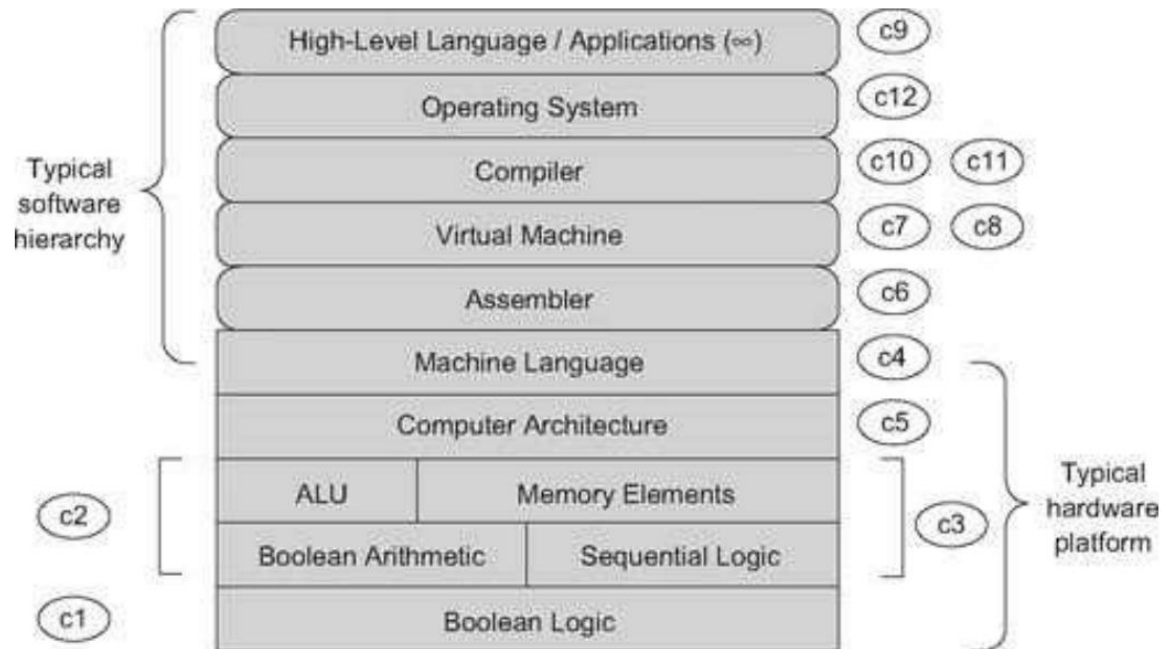
Cantidad	Actividad	Punteo
10	Laboratorios	50
2	Cortos	10
1	Proyecto	10
1	Final teórico	10
1	Final práctico	20

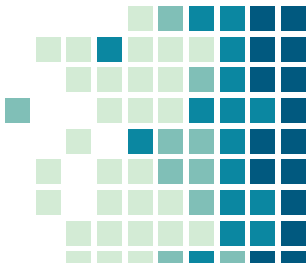


Arquitectura del Computador I (?)

Quick Review.







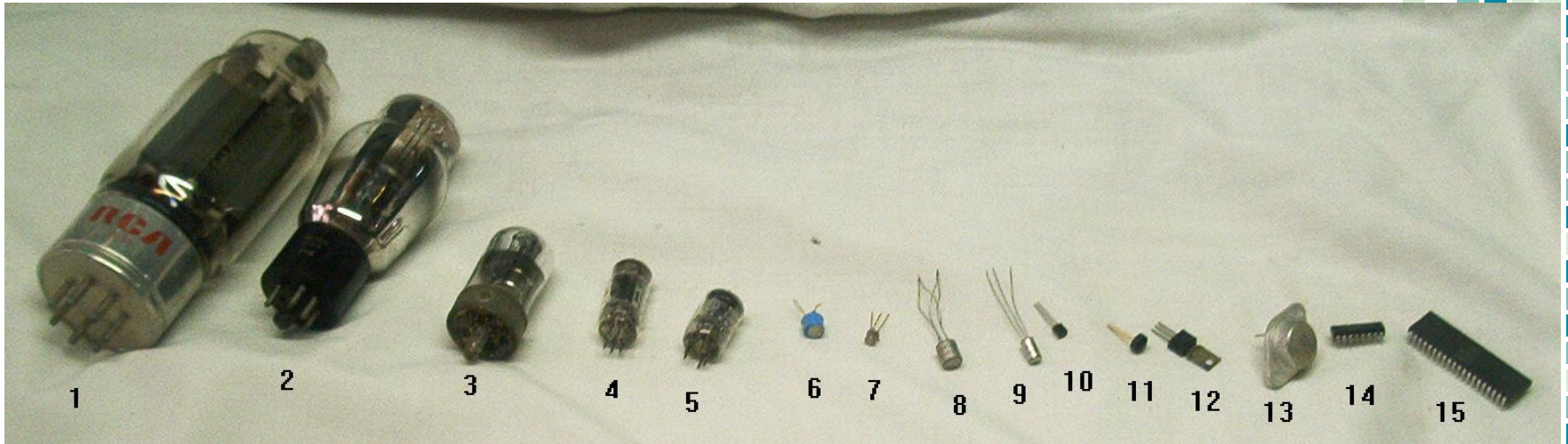
Si tuviéramos que hacer un listado, este empezaría con:

- Cambios de base
- Números binarios
- Lógica binaria
- Algebra de Boole
- Compuertas lógicas
- Circuitos integrados

FUNCIONES LÓGICAS BÁSICAS

NOMRE	AND - Y	OR - O	XOR O-exclusiva	NOT Inversor	NAND	NOR																																																																																	
SÍMBOLO																																																																																							
SÍMBOLO																																																																																							
TABLA DE VERDAD	<table><tr><th>a</th><th>b</th><th>z</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	a	b	z	0	0	0	0	1	0	1	0	0	1	1	1	<table><tr><th>a</th><th>b</th><th>z</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	a	b	z	0	0	0	0	1	1	1	0	1	1	1	1	<table><tr><th>a</th><th>b</th><th>z</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	a	b	z	0	0	0	0	1	1	1	0	1	1	1	0	<table><tr><th>a</th><th>z</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	a	z	0	1	1	0	<table><tr><th>a</th><th>b</th><th>z</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	a	b	z	0	0	1	0	1	1	1	0	1	1	1	0	<table><tr><th>a</th><th>b</th><th>z</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	a	b	z	0	0	1	0	1	0	1	0	0	1	1	0
a	b	z																																																																																					
0	0	0																																																																																					
0	1	0																																																																																					
1	0	0																																																																																					
1	1	1																																																																																					
a	b	z																																																																																					
0	0	0																																																																																					
0	1	1																																																																																					
1	0	1																																																																																					
1	1	1																																																																																					
a	b	z																																																																																					
0	0	0																																																																																					
0	1	1																																																																																					
1	0	1																																																																																					
1	1	0																																																																																					
a	z																																																																																						
0	1																																																																																						
1	0																																																																																						
a	b	z																																																																																					
0	0	1																																																																																					
0	1	1																																																																																					
1	0	1																																																																																					
1	1	0																																																																																					
a	b	z																																																																																					
0	0	1																																																																																					
0	1	0																																																																																					
1	0	0																																																																																					
1	1	0																																																																																					
EQUIVALENTE EN CONTACTOS																																																																																							
AXIOMA	$z = a \cdot b$	$z = a + b$	$z = \bar{a} \cdot b + a \cdot \bar{b}$	$z = \bar{a}$	$z = \overline{a \cdot b}$	$z = \overline{a + b}$																																																																																	

- Familias de circuitos lógicos
- Transistores bipolares
- RTL y DTL
- Lógica Transistor-Transistor (TTL)
- Lógica Emisor Acoplado (ECL)
- Semiconductor de óxido metal (MOS)
- Semiconductor de óxido metal complementado (CMOS)



- Las características destacables de estos componentes son las siguientes:
- **Tensión de alimentación:** 5 V, con una tolerancia (de 4,5 V a 5,5 V).
- **Niveles lógicos:** entre 0,2 V y 0,8 V para el nivel bajo (L) y entre 2,4 V y 5 V para el nivel alto (H), ya que estos chips son activados por altos y bajos, o también llamados 0 y 1, dígitos del sistema binario utilizados para estos usos en la electrónica.
- **Código identificador:** el 74 para los comerciales y el 54 para los de diseño militar. Estos últimos son chips más desarrollados, ya que los de serie 74 soportan menos rangos de temperaturas.
- **Temperatura de trabajo:** de 0 °C a 70 °C para la serie 74 y de -55° hasta los 125 °C para la 54.





“Las demás características dependen de la subfamilia que se utilice, podemos encontrarnos con chips de modelo estándar, de bajo consumo (L), de alta velocidad (H), Schottky (S), Schottky de bajo consumo (LS), Schottky avanzado (AS), TTL Schottky avanzado de bajo consumo (ALS), ó el TTL rápido (TTL ALS Fairchild) (F) entre otros”

	-	L	H	S	LS	AS	ALS	F
Retardo	10 ns	33 ns		3 ns				
Consumo	10 mW	1 mW	22 mW					
Velocidad	35 MHz	3 MHz		125 MHz				
Margen de ruido	400 mV				700 mV			
Rango dinámico	10	20	10	20	20	20	20	20

- Bipolar74 - Subserie inicial, obsoleta.
- 74L - Bajo consumo, pero lenta
- H - Alta velocidad
- S - Schottky, obsoleta
- LS - Schottky de bajo consumo
- AS - Schottky Avanzada
- ALS - Schottky Avanzada de bajo consumo
- F - Rápida



- CMOSC - CMOS 4-15V similar a la serie 4000
- HC - CMOS alta velocidad, rendimiento similar a LS, 12nS
- HCT - Alta velocidad, niveles compatibles con bipolar
- AC - CMOS avanzada, rendimiento entre S y F
- AHC - CMOS avanzada de alta velocidad, velocidad tres veces superior a HC
- ALVC - Bajo voltaje - 1.65 to 3.3V, tpd 2nS
- AUC - Bajo voltaje - 0.8 to 2.7V, tpd<1.9nS@1.8V
- FC - CMOS rápida, rendimiento similar a F
- LCX - CMOS con alimentación de 3V y entradas de 5V
- LVC - Bajo voltaje - 1.65 a 3.3V y entradas de 5V, tpd<5.5nS@3.3V, tpd<9nS@2.5V
- LVQ - Bajo voltaje - 3.3V
- LVX - Bajo voltaje - 3.3V y entradas de 5V
- VHC - CMOS Muy alta velocidad, comparable a S
- G - Velocidades superiores a 1 GHz, alimentación entre 1.65V y 3.3V y entradas de 5V, tpd 1nS (Producidas por Potato Semiconductor)



Mayor información:

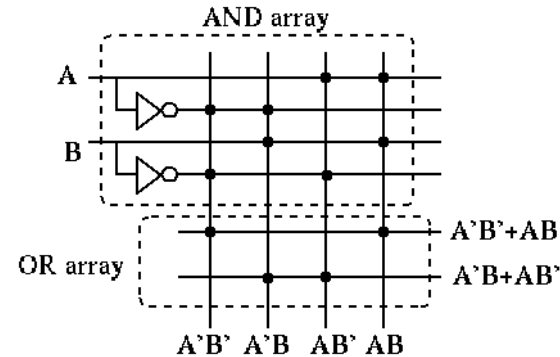
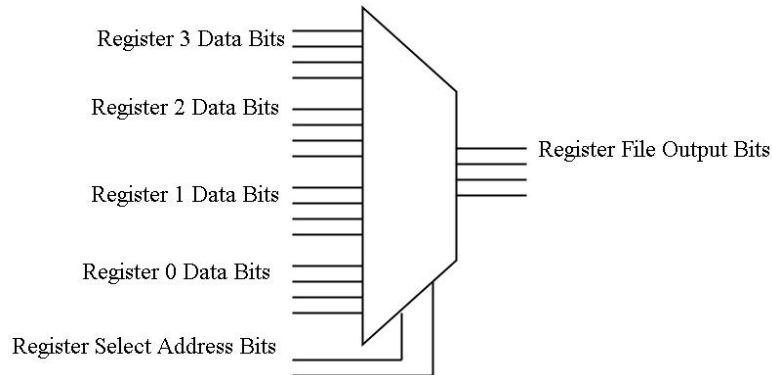
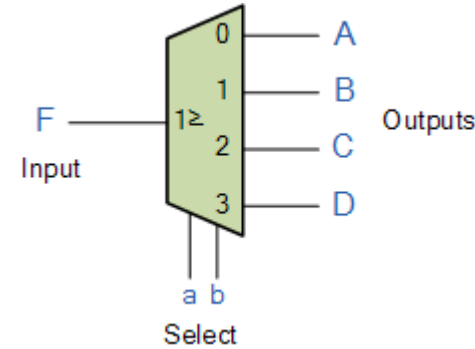
Arquitectura de Computadoras – Morris Mano (Circuitos Integrados Digitales)

https://es.wikipedia.org/wiki/Serie_7400

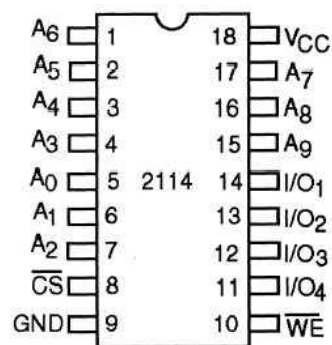
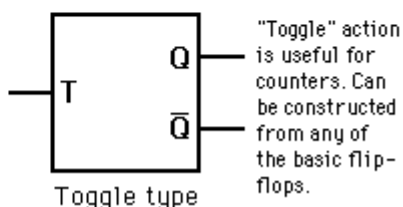
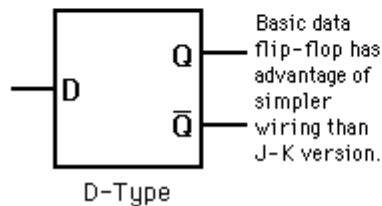
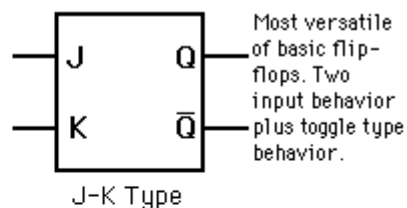
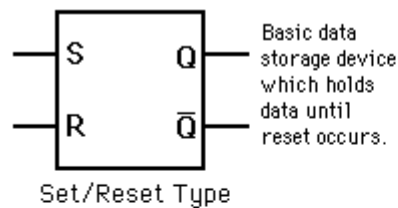
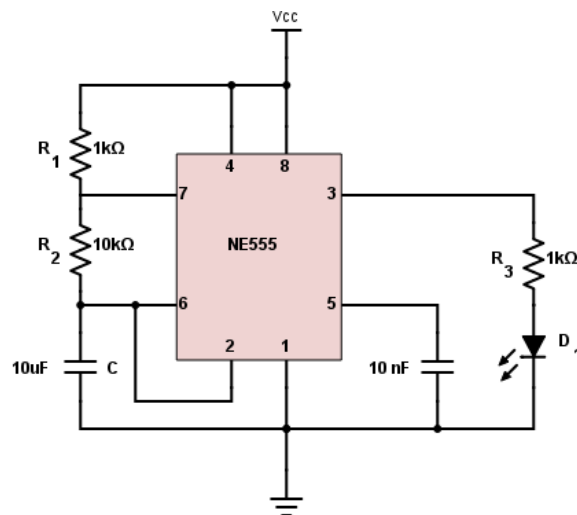
http://www.profesormolina.com.ar/electronica/componentes/int/flia_log.htm



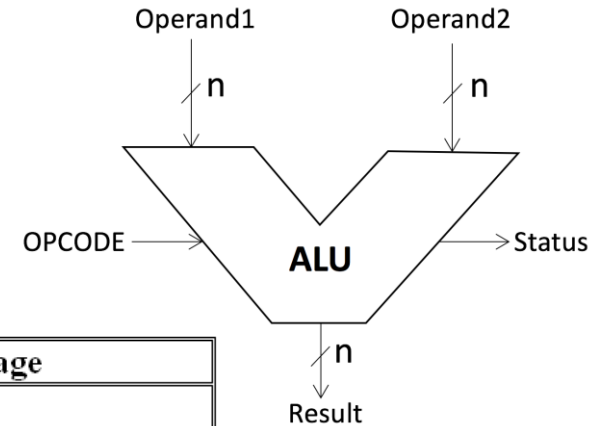
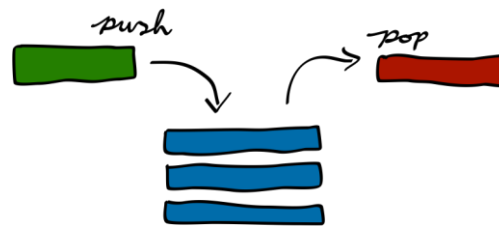
- Lógica combinacional
 - Sumadores
 - Sustractores
 - Comparadores de magnitudes
 - Decodificadores
 - Multiplexores
 - Demultiplexores
 - Read Only Memory (ROM)
 - Programmable Logic Array (PLA)



- Lógica secuencial
 - Flip flops
 - Circuitos secuenciales
 - Registros
 - Contadores sincrónicos
 - Secuencias de tiempo
 - Unidad de memoria
 - Random Access Memory (RAM)

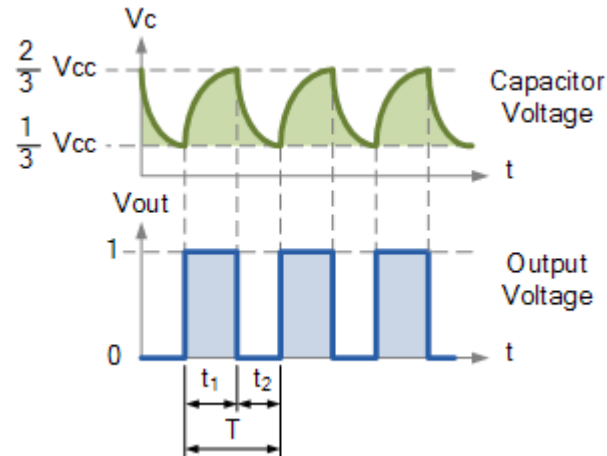
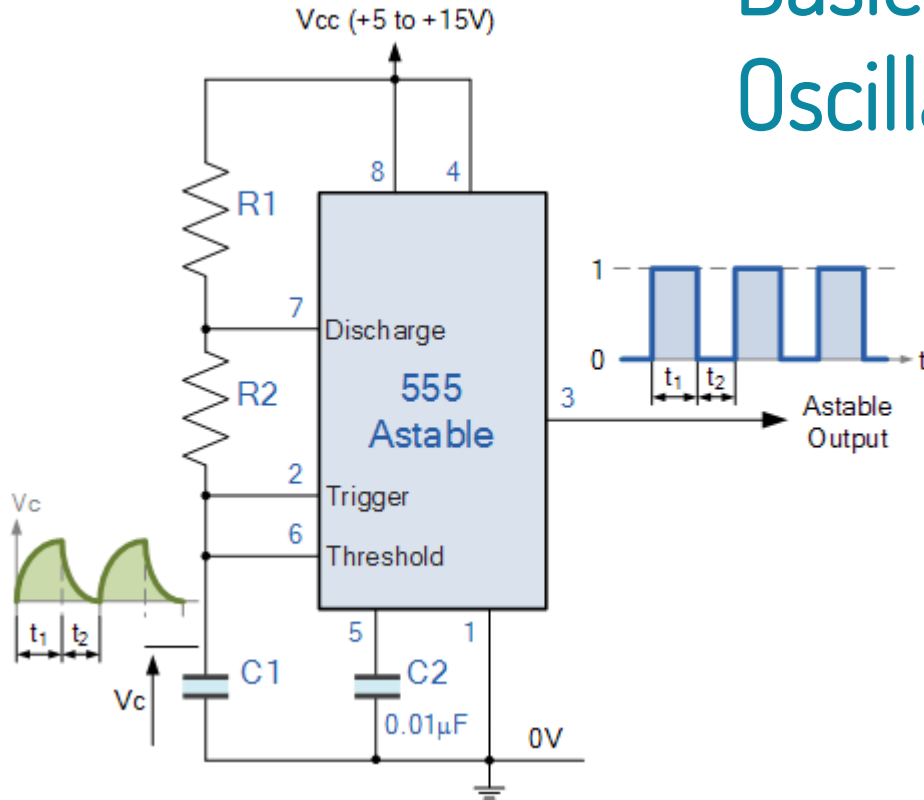


- Procesamiento
 - Logical arithmetic unit (ALU)
 - Procesamiento
 - Secuencia de microprograma
 - Ejecución de instrucciones
 - Organización de un microprocesador
 - Pila, subrutina e interrupción.
 - Organización de la memoria
 - Interconexión de entrada y salida



Address	Machine Language				Assembly Language
0000 0000	0000	0000	0000	0000	TOTAL .BLOCK 1
0000 0001	0000	0000	0000	0010	ABC .WORD 2
0000 0010	0000	0000	0000	0011	XYZ .WORD 3
0000 0011	0001	1101	0000	0001	LOAD REGD, ABC
0000 0100	0001	1110	0000	0010	LOAD REGE, XYZ
0000 0101	0101	1111	1101	1110	ADD REGF, REGD, REGE
0000 0110	0010	1111	0000	0000	STORE REGF, TOTAL
0000 0111	1111	0000	0000	0000	HALT

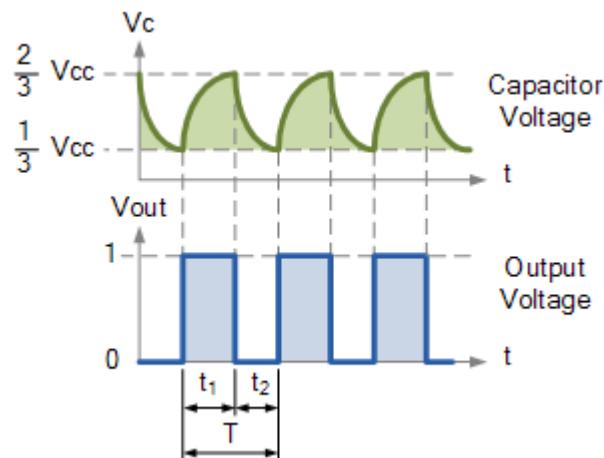
Basic Astable 555 Oscillator Circuit



$$T = t_1 + t_2 = 0.693(R_1 + 2R_2).C$$

$$\text{Duty Cycle} = \frac{T_{\text{ON}}}{T_{\text{OFF}} + T_{\text{ON}}} = \frac{R_1 + R_2}{(R_1 + 2R_2)} \%$$

$$f = \frac{1}{T} = \frac{1.44}{(R_1 + 2R_2).C}$$



$$t_1 = 0.693(R_1 + R_2).C$$

and

$$t_2 = 0.693 \times R_2 \times C$$

THANKS!

Any questions?

