

一种 900MHz CMOS 低压高线性度混频器的设计

危长明, 陈迪平, 陈弈星

(湖南大学应用物理系, 长沙 410082)

摘要: 针对无线通讯设备面向高性能、低成本、低电压、低功耗和小体积的应用, 对基本的 CMOS Gilbert 混频器构架加以改进。改进后的混频器在 3V 下具有高线性度 ($IIP3=7.4\text{dBm}$), 隔离度较高, 提供 13dB 的变频增益, 而噪声也在 12.5dB 以下。

关键词: 混频器; 线性度; 噪声系数; 低电压; 吉尔伯特

中图分类号: TN773

文献标识码: A

文章编号: 1003-353X(2005)10-0065-05

Design of a 900MHz CMOS Low Voltage High Linearity Mixer

WEI Chang-ming, CHEN Di-ping, CHEN Yi-xing

(Department of Application Physics, Changsha 410082, China)

Abstract: Based upon the basic CMOS Gilbert mixer structure, aiming at the application of the good performance, low cost, low voltage, low power consumption and small size ICs for the wireless communication, an improved mixer is presented, working under 3V supply voltage with high linearity ($IIP3=7.4\text{dBm}$), good isolation, 13dB conversion gain and NF less than 12.5dB.

Key words: mixer; linearity; noise figure(NF); low voltage Gilbert

1 引言

混频器广泛用于现代通信系统中载波信号的频率变换。在射频接收机中, 下变频混频器的性能严重影响系统的性能及系统对其他功能电路的性能要求, 如低噪声放大器、本振、射频滤波器、镜像抑制滤波器和中频放大器等。随着无线通讯设备不断向高性能、低成本、低电压、低功耗和小体积的方向发展, 作为无线通讯射频前端的核心部分之一的混频器也须顺应低压、低功耗趋势的要求, 在提供适度增益的同时降低噪声系数, 提高线性度。

目前, MOS 管截止频率的提高和针对射频集成电路的特殊工艺的采用, 使 CMOS 工艺能够实现高性能的射频集成电路。通信系统中的混频器通常

是基于 CMOS 工艺的有源 Gilbert 电流开关型混频器, 它能提供增益以减小前级低噪声放大器的增益要求和后级电路的噪声影响。然而, 这种通用的 Gilbert 混频器由三级 MOS 管堆叠而成, 需要较高的直流电压。同时, 电压的限制不利于混频器线性度的提高。因此, 需要针对这种混频器进行低电压和高线性度方面的优化。

本文设计的混频器在 3V 电压下 $IIP3$ 为 7.4dBm, 1dB 压缩点为 -3.2dBm, 噪声系数为 12.5dB, 提供 13dB 的变频增益, 功耗为 13.5mW。

2 CMOS 混频器的构架及比较

典型的电流开关型 CMOS Gilbert 混频器结构如图 1 所示^[1~5]。

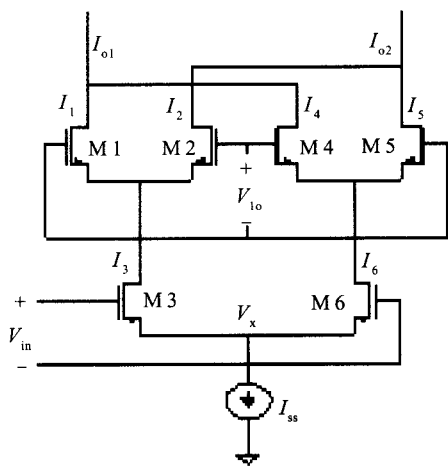


图1 CMOS Gilbert混频器

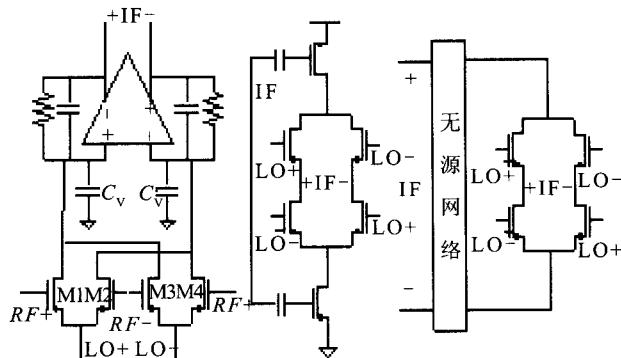
Gilbert 混频器由两级电路构成,即偏置在固定工作点的差分对管M3和M6构成的跨导级和由大的本振信号驱动的开关级M1, M2 和M4, M5。跨导级将输入的射频电压信号转换为电流信号。大的本振信号在第一个半周期内,使M1和M5导通,M2和M4截止,则输出电流 $I_{o1}-I_{o2}=I_3-I_6=2i_s$;在第二个半周期内,使M2和M4导通,M1和M5截止,则输出电流 $I_{o1}-I_{o2}=I_6-I_3=-2i_s$ 。这种输出信号符号的变化提供了需要的混频效应。

图1中的混频器是一种双平衡混频器,即本振信号端口和输入信号端口中只有一个输入时,输出为零。理想的Gilbert型混频器的输出不包含本振信

号及其谐波,因此存在很高的输入端口、输出端口及本振端口之间的隔离,减缓了本振泄漏及中频滤波的压力。鉴于已有众多文献对此电路进行了分析,本文就不再做基本的分析。

除了Gilbert结构的混频器外,还存在几种其他形式的混频器及其变形,表1列出了几种不同结构混频器的性能参数。

在表1的Crols设计中^[6],采用的电路形式类似于Gilbert结构,然而,其射频输入信号与本振信号的输入点互换,如图2(a)所示。此时,M1~M4不是作为开关级,加在M1~M4的栅源电压 $V_{gs}-V_{th}$ 较大,使之工作在线性区,所以该设计的线性度非常好,IIP3达到了45.2dBm。在中频输出端很大的本振信号泄漏可以通过很大的电容 C_v



(a)高线性度混频器 (b)电流复用混频器 (c)无源混频器

图2 三种不同结构的混频器

表1 几种不同结构的混频器性能参数

参考 文献	IIP3 /dBm	P ₁ dB /dBm	NF /dB	增益 /dB	功耗 /mW	频率(RF/LO) /GHz	构架	工艺 (μ m CMOS)	年份
Crols[6]	45.2		32	18	1.3	1.0/1.0	双平衡	1.2	1995
Karan[7]	-4.1	-16.1	6.7(DSB)	8.8	7	0.9/1.0	电流复用双平衡	0.5	1996
Shahani[8]	10	-5	10(SSB)	-3.6	6	1.57/1.4	无源双平衡	0.35	1997
Piazza[9]		-11.4	18(DSB)	10	6	1.57/1.39	单平衡	1.0 (BiCMOS)	1998
Qiuting[10]	9	-4	12.6	8.5mS (变频跨导)	15	0.95/1.02	共栅输入 Gilbert双平衡	0.25	1999
Bautista[11]	2.4		12	14.5	10.8	0.815/0.815	动态匹配 Gilbert双平衡	0.35	2000
Abou[12]	11	0	11.5 (SSB)	-1.5	10	1.96/1.7	低压折叠级联 Gilbert双平衡	0.5	2001
Svelto[13]	5.5		11	17	14	1.57/1.43	带缓冲 Gilbert双平衡	0.35	2001

(25pF) 滤除, 然而由于输出端的运算放大器使电路的噪声性能恶化, NF 达到了 32dB, 虽然可通过对运放进行优化, 噪声系数还是大于 24dB。因此, 高的噪声系数和大的版图面积 (50pF 电容) 限制了这种结构的广泛使用。

在 Karanickolas 的设计中^[7], 采用了一种电流复用结构以减小电路的功耗, 如图 2 (b) 所示, 噪声系数达到了 6.7dB。然而, 由于输入的 NMOS 与 PMOS 管在有限的驱动电压下其线性度很差, 在使用 2.7V 的电源电压下, IIP3 只达到了 -4.1dBm。

在 Shahani 的设计中^[8], 采用了无源网络代替了图 2 (b) 中的输入 MOS 管, 如图 2 (c) 所示。因此可以减小电源电压。无源 LC 元件的低噪声高线性度使该设计的线性度 (IIP3, 10dBm) 和噪声系数 (NF, 10dB) 达到了很好的性能。然而, 由于无源网络不提供增益 (增益 -3.6dB), 所以该结构对前级电路的增益和后级电路的噪声性能要求很高。同时, 较多的电感电容增大了芯片的面积, 对电感模型的精度要求也很高。

在 Qiuting 的 GSM 射频前端电路中^[10], 由于要求低噪声, 高线性度, 达到 50Ω 匹配, 采用了共栅输入 Gilbert 结构, 达到了较好的性能, 电路采用了 0.25 μm CMOS 工艺。

在对阻塞性能要求很高的系统中, 二阶交叉点 (IIP2) 对系统的性能影响严重, Bautista^[11]采用了一种动态匹配 Gilbert 混频器结构达到很高的 IIP2, 同时也达到很好的 IIP3, 噪声系数与变频增益性能。

3 低压电流开关型混频器构架

如果将图1中跨导级的尾部电流源以LC网络代替, 则可以降低电源电压, 此时 LC 网络谐振于射频输入信号频率, 如图 3 所示。

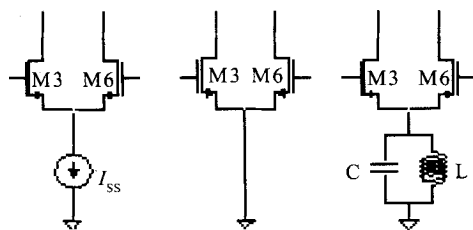


图3 跨导级 MOS 管交流地的三种接法

对于图 3(a) 中 M_3 , M_6 和源极电流源组成的差分对, 可由 MOS 管平方律关系表示输出电流与输入信号的关系。设 M_3 和 M_6 的栅极共模电压为 V_{CM} , 输入信号为 $v_{in}=A\sin\omega_0 t$ 有

$$I_3 - I_6 = \frac{1}{2} K_n \cdot v_{in} \cdot \sqrt{4I_{SS}/K_n - (v_{in})^2} \quad (1)$$

$$V_x = V_{CM} - V_{TH} - \frac{1}{2} \sqrt{\frac{4I_{SS}}{K_n} - (A \sin \omega_0 t)^2} \quad (2)$$

式中, $K_n = \mu_n C_{ox} W/L$ 。由式 (2) 可知, V_x 为频率为输入信号 2 倍的周期函数, 所以输出与输入存在三阶互调失真, 限制了电路的线性度^[11]。

若将图 3(a) 中 V_x 点直接接地, 如图 3(b) 所示, 有

$$I_3 - I_6 = \frac{1}{2} K_n \cdot [(V_{GS3} - V_{TH})^2 - (V_{GS6} - V_{TH})^2] \\ = \frac{1}{2} K_n \cdot v_{in} (2V_{CM} - 2V_{TH}) \quad (3)$$

由上式可知, 输出电流为输入信号的线性函数, 具有比图 3(a) 中电路更高的线性度。而图 3(b) 结构取消了差分对中的电流源, 可以减小电源电压。式 (3) 中的 $2V_{CM} - 2V_{TH}$ 项表明电路对电源噪声很敏感。

也可将图 3(a) 中电流源用电感电容并联谐振回路代替, 如图 3(c) 所示。使用 LC 网络的优点在于, 它既不消耗直流压降, 又可有效抑制输入信号引起的谐波, 因此可将这种结构的 Gilbert 混频器称为低压 Gilbert 结构, 这种结构最先由 Voinigescu 等人^[14]用于双极混频器中, 然后 Abou 将这种结构用于 CMOS 混频器中^[12]。

在图 3(c) 中, 设 M_3 和 M_6 的过驱动电压为 V_{ov} , 输入射频信号分别为 v_1, v_2 。令输入信号 $v_1 + v_2 = A \sin \omega_0 t$, 对 V_x 点列微分方程有

$$\frac{d^2}{dt^2} V_x + 2 \frac{g_m}{C} \frac{d}{dt} V_x + \frac{1}{LC} V_x \\ = \frac{K_n}{C} \frac{d}{dt} \left[(V_{ov} - V_x) A \sin \omega_0 t + V_x^2 + \frac{v_1^2 + v_2^2}{2} \right] \quad (4)$$

若输入为单端输入时, 分析式 (4), 令 LC 谐振

于 w_0 , 可得

$$V_x = \frac{A}{2} \sin w_0 t + y_1 \quad (5)$$

式中, y_1 为式(4)的解中 V_x 的各高次谐波, 包括 $2w_0$ 的谐波。若双端输入时, 分析式(4), 令 LC 谐振于 w_0 , 可得

$$V_x = y_2 \quad (6)$$

$$y_2 = -\frac{A^2}{16V_{ov}} \cdot \frac{\cos 2w_0 t + \frac{3}{4} \frac{w_0 C}{g_m} \sin 2w_0 t}{1 + \left(\frac{3}{4} \frac{w_0 C}{g_m} \right)^2} \quad (7)$$

因此, 利用谐振于 w_0 的 LC 网络, 单端输入时, V_x 得到一半的信号电压幅度 (忽略 y_1); 双端输入时, V_x 不含 w_0 分量。达到了平衡输出的目的, 且不消耗直流压降。另外, 分析差分输出中频信号可发现, 三次谐波与 V_x 点的二次分量有很大关系。因此让 LC 网络谐振于 w_0 要优于让其谐振于 $2w_0$ (对二次及二次以上谐波为低阻), 从而电路的线性度也得到了改善。在相同电源电压下, 过驱动电压的提高可明显提供电路的线性度。另外, 由于二次谐波受到抑制, 那么就可在不影响线性度的情况下增大 LO 信号幅度。更大的 LO 信号可以提高变频增益, 并降低电路的噪声。LC 网络代替 MOS 管电流源也可降低噪声。

综上所述, 对于图3中第一种接法, 电流源对交流的大电阻可以起到抑制射频输入不平衡的作用, 但消耗了直流电压降, 与目前对低电压电路的要求相悖。那么就会有对图3(b)电路的考虑。然而此电路无法抑制输入射频信号的不平衡。因此, 采用第三种接法, 即以谐振 LC 网络取代电流源可以降低电压以及在线性度, 噪声系数和增益之间作出很好的优化。

4 混频器的电路设计

根据前面的分析, 混频器采用低压 Gilbert 结构

可以提高线性度, 减小噪声系数并且提供较高的增益。设计的混频器电路如图4所示。图中跨导级输入 MOS 管偏置电流为 2mA, 采用带隙基准源通过

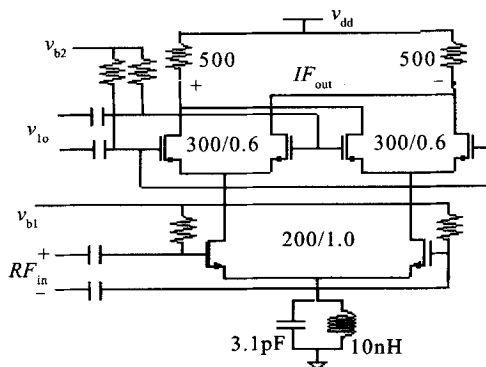


图4 低压高线性度混频器的原理图

电流镜提供。为了提高电路的线性度, 将跨导级 MOS 管的沟道长度设为 $1\mu\text{m}$, 宽为 $200\mu\text{m}$, 开关级 MOS 管尺寸长 $0.6\mu\text{m}$, 宽 $300\mu\text{m}$, 输入本振信号幅度为 500mV 。LC 网络谐振在输入信号频率 900MHz 处, 分别为 3.13pF 和 10nH , 其中并联电感 L 采用片上圆形螺旋电感, 避免了片外电感引起不确定的寄生效应, 采用的工艺为上华半导体 $0.6\mu\text{m}$ CMOS 工艺。

在设计的混频器电路中, 输入 1GHz 本振信号幅度为 0.5V 的本振信号时, 输出 100MHz 的中频信号, 混频器的噪声系数为 12.3dB , 如图5所示。

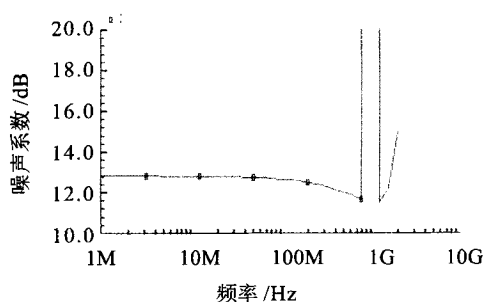


图5 混频器的噪声系数

混频器的线性度仿真结果如图6、图7所示。可以看出, 混频器的 1dB 压缩点达到 -3.2dBm , IIP3 达到 7.4dBm 。

混频器的变频增益如图8所示, 达到 13dB 左右。

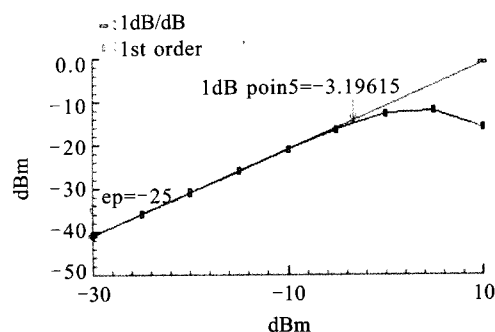


图6 混频器的1dB压缩点

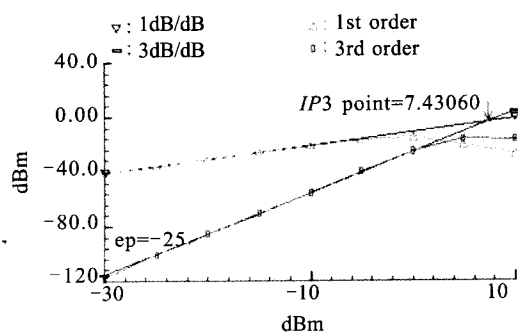


图7 混频器的IIP3

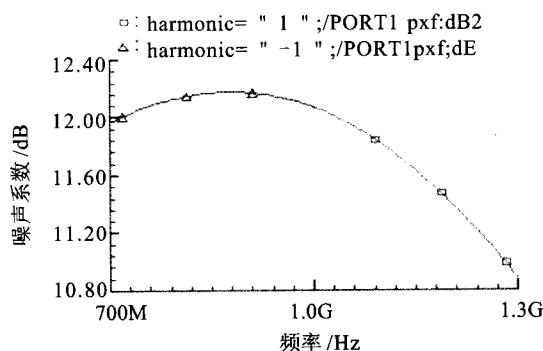


图8 混频器的变频增益

5 结论

本文设计了一个用 $0.6\mu\text{m}$ CMOS工艺实现的低压Gilbert混频器。谐振于输入信号频率的LC网络降低了电源工作电压,改善了电路的线性度。伴随采用的大幅值LO信号,则提高了变频增益,同时一定程度上降低了电路噪声,与其他结构混频器相比较,达到了很好的性能指标。随着工艺尺寸的减小,可以达到更好的性能。

参考文献:

- [1] RAZAVI B. Design of Analog CMOS Integrated Circuits [M]. New York: McGraw-Hill, 2001. 1—50.
- [2] TERROVITIS M T, MEYER R G. Noise in current

commutating CMOS mixers[J]. IEEE J of Solid-State Circuits, 1999, 34(6): 772—783.

- [3] TERROVITIS M T, MEYER R G. Intermodulation distortion in current commutating CMOS mixers[J]. IEEE J of Solid-State Circuits, 2000, 35(10): 1461—1473.
- [4] HULL C D, MEYER R G. A systematic approach to the analysis of noise in mixers[J]. IEEE Trans on Circuits and Systems I: Fundamental and Applications, 1993, 40(12): 909—921.
- [5] DARABI H, ADIBI A A. Noise in RF-CMOS mixers: A simple physical model[J]. IEEE Trans on Solid-State Circuits, 2000, 35(1): 15—25.
- [6] CROLS J, STEYAERT M S J. A 1.5 GHz highly linear CMOS downconversion mixer[J]. IEEE J of Solid-State Circuits, 1995, 30(7): 736—742.
- [7] KARANICOLAS A N. A 2.7V 900 MHz CMOS LNA and mixer[J]. IEEE J of Solid-State Circuits, 1996, 31(12): 1939—1944.
- [8] SHAHANI A R, SHAEFFER D K, LEE T H. A 12 mW wide dynamic range CMOS front-end for a portable GPS receiver[J]. IEEE J of Solid-State Circuits, 1997, 32(12): 2061—2070.
- [9] PIAZZA F, HUANG Q T. A 1.57 GHz RF front-end for triple conversion GPS receiver[J]. IEEE J of Solid-State Circuits, 1998, 33(2): 202—209.
- [10] QIUTING HUANG Q T, ORSATTI P, PIAZZA F. GSM transceiver front-end circuits in $0.25\mu\text{m}$ CMOS[J]. IEEE J of Solid-State Circuits, 1999, 34(3): 292—303.
- [11] BAUTISTA E, BASTANI B, HECK J. A high IIP2 down conversion mixer using dynamic matching[J]. IEEE J of Solid-State Circuits, 2000, 35(12): 1934—1941.
- [12] ABOU-ALLAM E, NISBET J J, MALIEPAARD M C. Low-voltage 1.9 GHz front-end receiver in $0.5\mu\text{m}$ CMOS technology[J]. IEEE J of Solid-State Circuits, 2001, 36(10): 1434—1443.
- [13] SVELTO F. Implementation of a CMOS LNA plus mixer for GPS applications with no external compents[J]. IEEE Trans on VLSI Systems, 2001, 9 (2): 100—104.
- [14] VOINIGESCU S P, MALIEPAARD M C. 5.8 GHz and 12.6GHz Si bipolar MMICs[A]. IEEE Int Solid-State Circuits Conf[C]. San Francisco CA, 1997, 372—373.

(收稿日期: 20041205)

作者简介:

危长明 (1977—), 2004年获湖南大学微电子学与固体电子学专业硕士学位, 主要研究方向为CMOS射频集成电路设计。