

DSD复习笔记

Chap2 Verilog 基本概念

- 模块的结构

```
module 模块名(端口列表/端口声明列表);  
    端口声明;  
    参数声明;  
    wire, reg ... 变量声明;  
    assign [#delay] LEFT=RIGHT;  
    initial, always ... 行为语句;  
    低层模块实例语句;  
    任务和函数;  
endmodule
```

- 利用层次命名引用对象
- 模块内并发执行的语句：
 - assign, 每条连续赋值语句的执行顺序依赖于发生在变量a和b上的事件，**assign不要忘记写！**多个可以共用assign用逗号连接不过最好分开写
 - gate, 门原语，结构方式
 - always, initial只能用于建模和仿真
- 时间：
 - #2指两个时间单位
 - `timescale 1ns/100ps，定义延时单位为1ns，精度为100ps(1ps=10⁻¹²s), #2.24表示2.2ns
- ☐ 端口位宽匹配, ppt-P26，更高位补零？是否有补1的情况？
- ☐ 4位行波进位计数器，用到了T触发器，D触发器，ppt-P30