

САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
УНИВЕРСИТЕТ ИТМО

Дисциплина: Архитектура ЭВМ

Отчет

по домашней работе №2

«Построение регистра памяти с динамическим управлением»

Выполнил(а): Ступников Александр Сергеевич

студ. гр. М3135

Санкт-Петербург

2020

Цель работы: моделирование сложных логических схем на элементах с памятью.

Инструментарий и требования к работе: работа выполняется в logisim.

Теоретическая часть

Для начала рассмотрим, как работает один из простейших элементов хранения информации – RS-триггер, его схема представлена на рисунке 1. Входы S и R используются для установки (set) и сброса (reset). Когда на вход S подается сигнал 1, выход Q равен 1, а \bar{Q} – 0. Когда на входе R – 1, Q становится 0, а \bar{Q} – 1. Когда на оба входа подается 0, значение на выходе Q зависит от предыдущего действия. Эти правила обобщены в таблице 1.

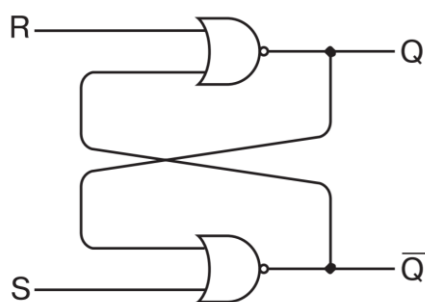


Рисунок №1 – RS-триггер

Таблица №1 – таблицей состояний RS-триггера

S	R	Q	\bar{Q}
1	0	1	0
0	1	0	1
0	0	Q	\bar{Q}
1	1	Неважно	

На основе RS-триггера можно построить D-триггер, его схема представлена на рисунке 2. Вход Clock отвечает за то, будет ли D-триггер запоминать, поданный на вход Данные сигнал. Пока сигнал Clock равен 0,

сигнал Данные на состояние схемы не влияет. Когда сигнал Clock обращается в 1, сигнал на выходе схемы равен сигналу на входе Данные. Выход Q в этот момент имеет то же значение, что и вход Данные, а выход \bar{Q} противоположен ему. После этого входу Clock можно вернуть значение 0. Схема запомнила величину сигнала Данные, имевшую место в тот момент, когда сигнал Clock равнялся 1. Последующие изменения сигнала на нее не влияют. Эти правила обобщены в таблице 2. Вход Clock, что означает синхронизация, часто обозначают Clk или C. Вход Данные – D.

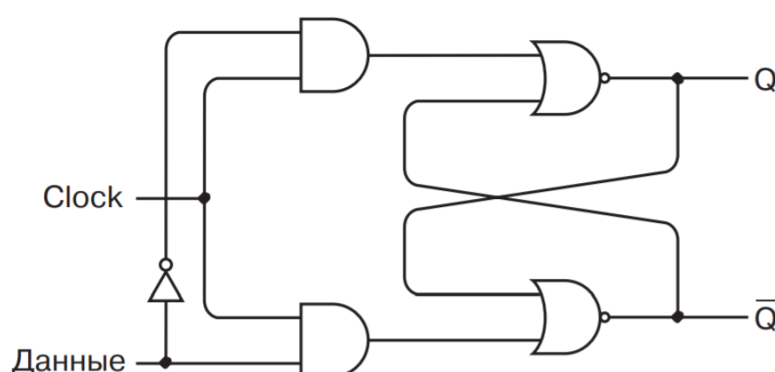


Рисунок №2 – D-триггер (со срабатыванием по уровню)

Таблица №2– таблица состояний D-триггера

D	Clk	Q	\bar{Q}
0	1	0	1
1	1	1	0
X	0	Q	\bar{Q}

Рассмотренный D-триггер срабатывает по уровню. Это значит, что для сохранения в нём сигнала на входе Данные уровень сигнала на входе Clock должен измениться с 0 до 1. Если в течение того времени, пока сигнал Clock равен 1, сигнал Данные изменится, все его изменения будут отражаться на величине выходов Q и \bar{Q} .

Часто это именно то, что нужно. Но иногда предпочтительнее D-триггер со срабатыванием по фронту, или, как его ещё называют, D-триггер с прямым динамическим управлением. Выход такого триггера может меняться, только когда сигнал Clock переходит из 0 в 1. Как и в триггере со срабатыванием по уровню, при нулевом сигнале на входе Clock триггера со срабатыванием по фронту изменения на входе Данные не отражаются на выходах. Отличие в том, что в этом триггере изменения на входе Данные не отражаются на выходах и при сигнале Clock, равном 1. Вход Данные влияет на выходы только в момент перехода сигнала Clock из 0 в 1.

D-триггер со срабатыванием по фронту, можно собрать из двух блоков RS-триггера, соединенных как показано на рисунке 3. Суть этой схемы в том, что вход Clk управляет как первым блоком, так и вторым, но в первом блоке сигнал Clk инвертируется. Это значит, что первый блок работает как D-триггер за исключением того, что содержимое входа Данные сохраняется, когда сигнал Clk равен 0. Выходы первого блока являются входами для второго блока, и их содержимое сохраняется при обращении сигнала Clk в 1. Общий результат таков: сигнал на входе Данные сохраняется только при переходе сигнала Clk из 0 в 1.

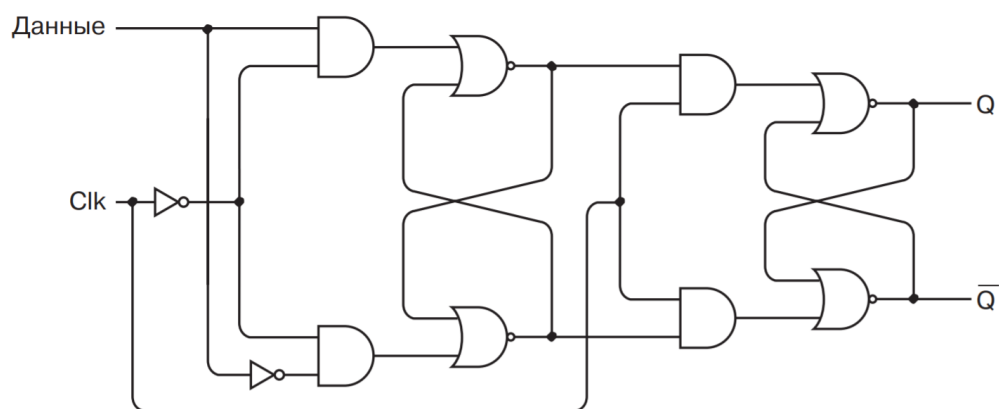


Рисунок №3 – D-триггер со срабатыванием по фронту

В таблице 3 состояний D-триггера, срабатывающего по фронту, потребуется новый символ «↑» — стрелка, направленная вверх. Она означает изменение сигнала с 0 на 1.

Таблица №3– таблица состояний D-триггера с прямым динамическим управлением

D	Clk	Q	\bar{Q}
0	↑	0	1
1	↑	1	0
X	0	Q	\bar{Q}
X	1	Q	\bar{Q}

Соединив между собой несколько D-триггеров, как показано на рисунке 4, можно сделать регистр – устройство, способное считывать, хранить и передавать информацию.

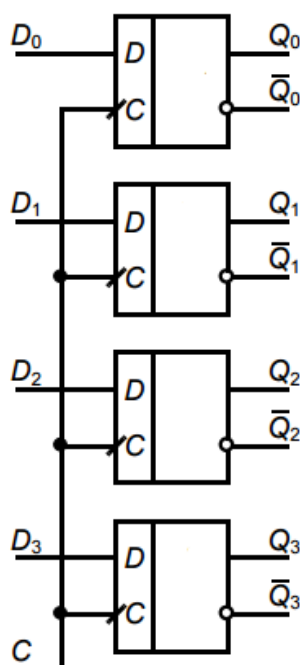


Рисунок №4 – Параллельный регистр на 4 бит с прямым динамическим управлением

Регистр, представленный на рисунке 4, составлен из четырёх D-триггеров, срабатывающих по фронту. Таковую конструкцию можно назвать параллельным регистром с прямым динамическим управлением на 4 бит. Слово параллельный означает, что каждый внутренний триггер имеет свой вход D и свой выход Q, которые не зависят от других триггеров, а также вход C, который для всех входящих в регистр триггеров является общим. При использовании параллельных регистров записывать информацию в триггеры и считывать её из них можно одновременно для всех триггеров. Параллельные регистры также называют регистрами памяти.

Практическая часть

Необходимо было сделать 16-битный параллельный регистр памяти на D-триггерах с прямым динамическим управлением. На рисунке 5 показана схема D-триггера с прямым динамическим управлением (она аналогична схеме на рисунке 3). Используя 16 таких D-триггеров, можно создать необходимый регистр памяти (рис. 6). Подробное описание создания динамического D-триггера и регистра памяти, аналогичного представленному на рисунке 6, но на 4 бит, было дано в теоретической части.

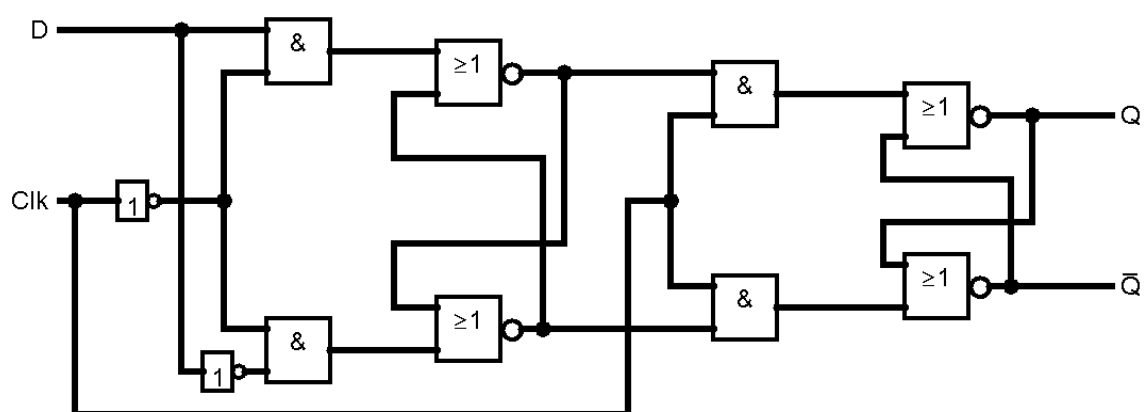


Рисунок №5 - D-триггер с прямым динамическим управлением

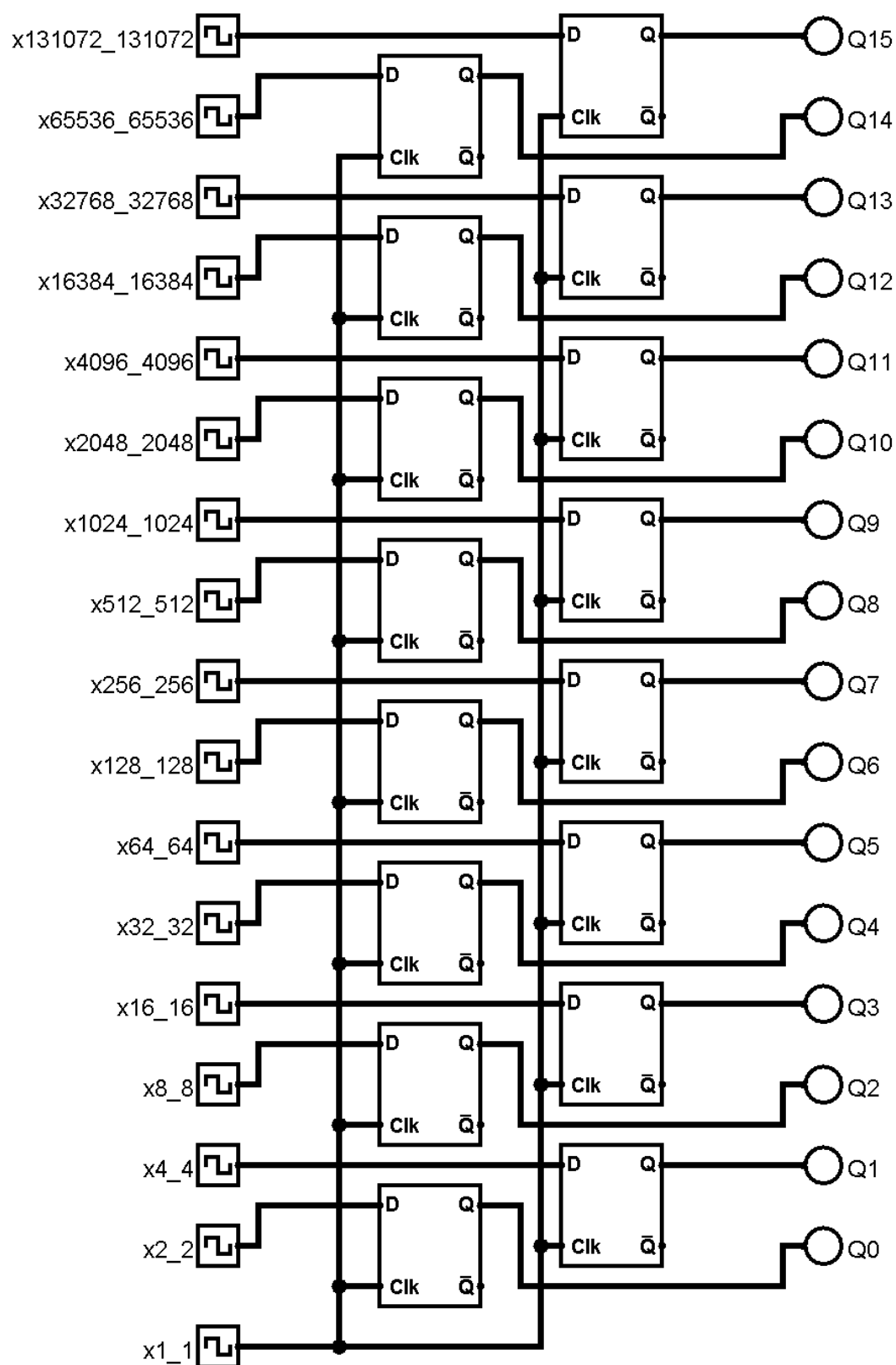


Рисунок №6 - 16-битный параллельный регистр памяти на D-триггерах с прямым динамическим управлением

Посмотрим на работу созданного регистра памяти с помощью временной диаграммы, представленной на рисунке 7. Сигналы D0 и D1 на рисунке 7 соответствуют сигналам x2_2 и x4_4 на схеме (рис. 6). Сигнал clk на рисунке 7 соответствует сигналу x1_1 на схеме (рис. 6). (На временной диаграмме представлены не все входы и выходы схемы; изменения сигналов на входах и выходах не соответствуют тем, что происходят в Logisim и выбраны для наглядности.) Будем считать, что в начальный момент времени все триггеры хранят значение 0.

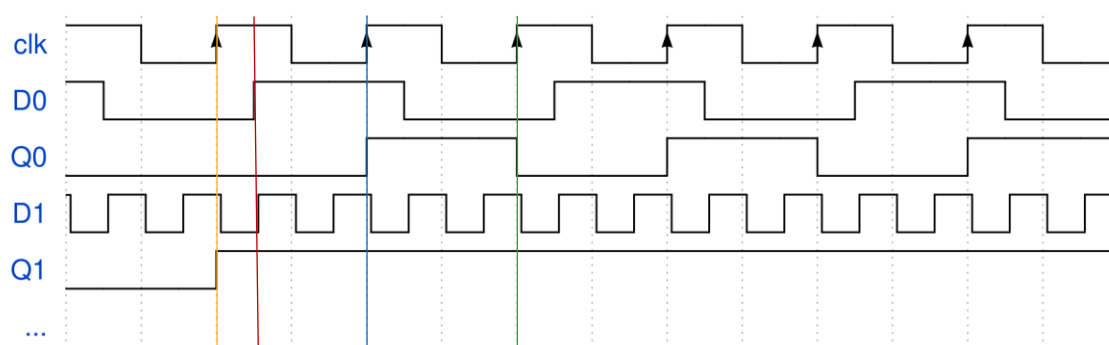


Рисунок №7 – Временная диаграмма для регистра памяти с прямым динамическим управлением

Рассмотрим входной сигнал D0 и соответствующий ему выходной сигнал Q0. Заметим, что в момент времени, когда сигнал D0 обращается в 1 (красная черта), сигнал на выходе Q0 не меняется, как это произошло бы будь схема построена на триггерах со срабатыванием по уровню. Вместо этого сигнал на выходе Q0 изменится на 1 в момент времени, соответствующий синей черте, когда сигнал clk обращается из 0 в 1, а сигнал D0 равен 1. Следующее изменение сигнала на выходе Q0 снова произойдёт на фронте сигнала clk (зелёная черта), но теперь с 1 на 0 и т. д.

Теперь рассмотрим входной сигнал D1 и соответствующий ему выходной сигнал Q1. На первом фронте сигнала clk (оранжевая черта), сигнал на выходе Q1 обращается из 0 в 1, так как входной сигнал D1 в этот момент времени равен 1. Дальше сигнал в выходе Q1 меняться не будет, потому что на каждом фронте сигнала clk сигнал D1 также равен 1.