

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

INSTITUTO DE INFORMÁTICA
Engenharia da Computação

Disciplina: INF01185 - Concepção de Circuitos Integrados I

Semestre 2019/1

Prof. Sergio Bampi

Aluno: Rodolfo Helfenstein

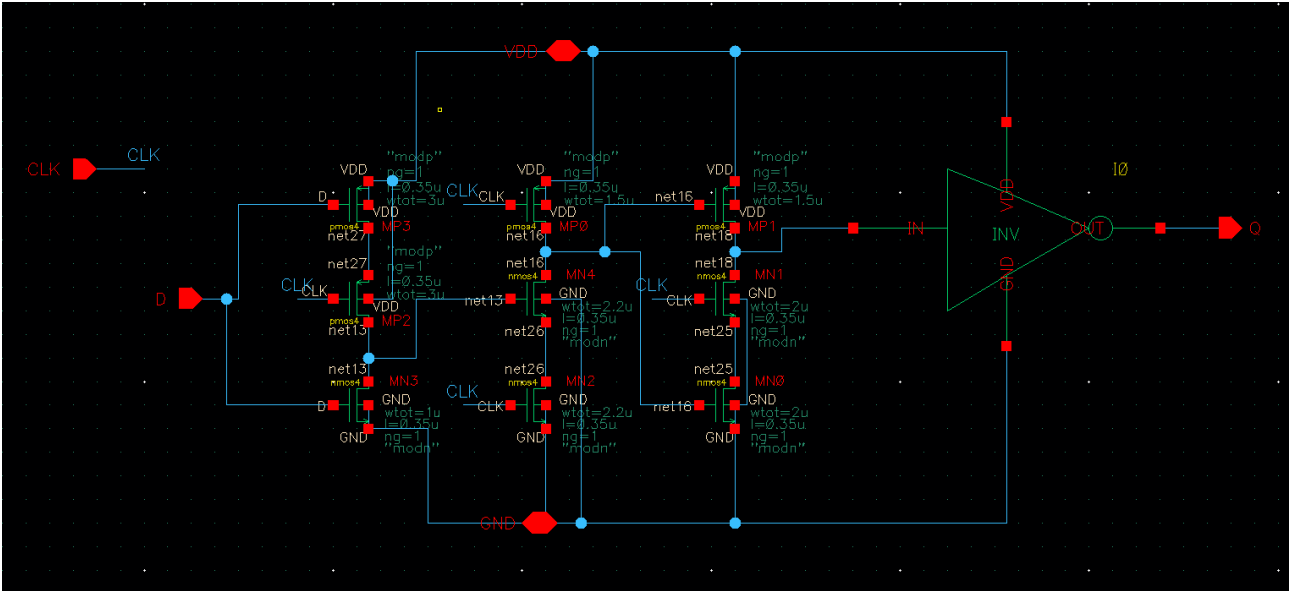
TRABALHO PRÁTICO 4 - Projeto Elétrico, Layout e Verificação de Registrador tipo D de 1 bit (célula RegD_1b)

Registrador D

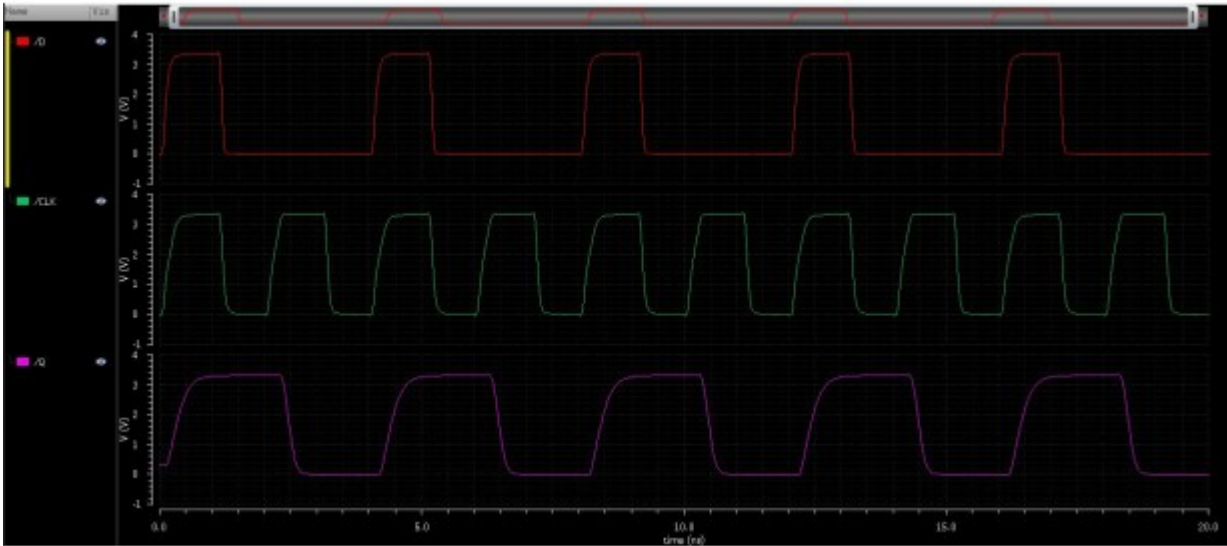
A construção do registrador true single-phase clocking consiste em 11 transistores, 5 transistores PMOS e 6 NMOS, sendo um par de transistores utilizados para a construção de um inversor na saída do registrador. Levando em consideração que o inversor projetado no trabalho anterior foi projetado com base na mesma tecnologia de $0.35\mu\text{m}$ com um comprimento de $1.5\mu\text{m}$ no PMOS e $1\mu\text{m}$ no NMOS, foi realizada uma simulação do esquemático levando em consideração essa base e utilizando o método de esforço lógico para a obtenção dos comprimentos dos outros transistores.

| Transistor | Comprimento do canal |
|---------------|----------------------|
| M1 | $1\mu\text{m}$ |
| M2 | $3\mu\text{m}$ |
| M3 | $3\mu\text{m}$ |
| M4 | $2.2\mu\text{m}$ |
| M5 | $2.2\mu\text{m}$ |
| M6 | $1.5\mu\text{m}$ |
| M7 | $2\mu\text{m}$ |
| M8 | $2\mu\text{m}$ |
| M9 | $1.5\mu\text{m}$ |
| PMOS INVERSOR | $1.5\mu\text{m}$ |
| NMOS INVERSOR | $1\mu\text{m}$ |

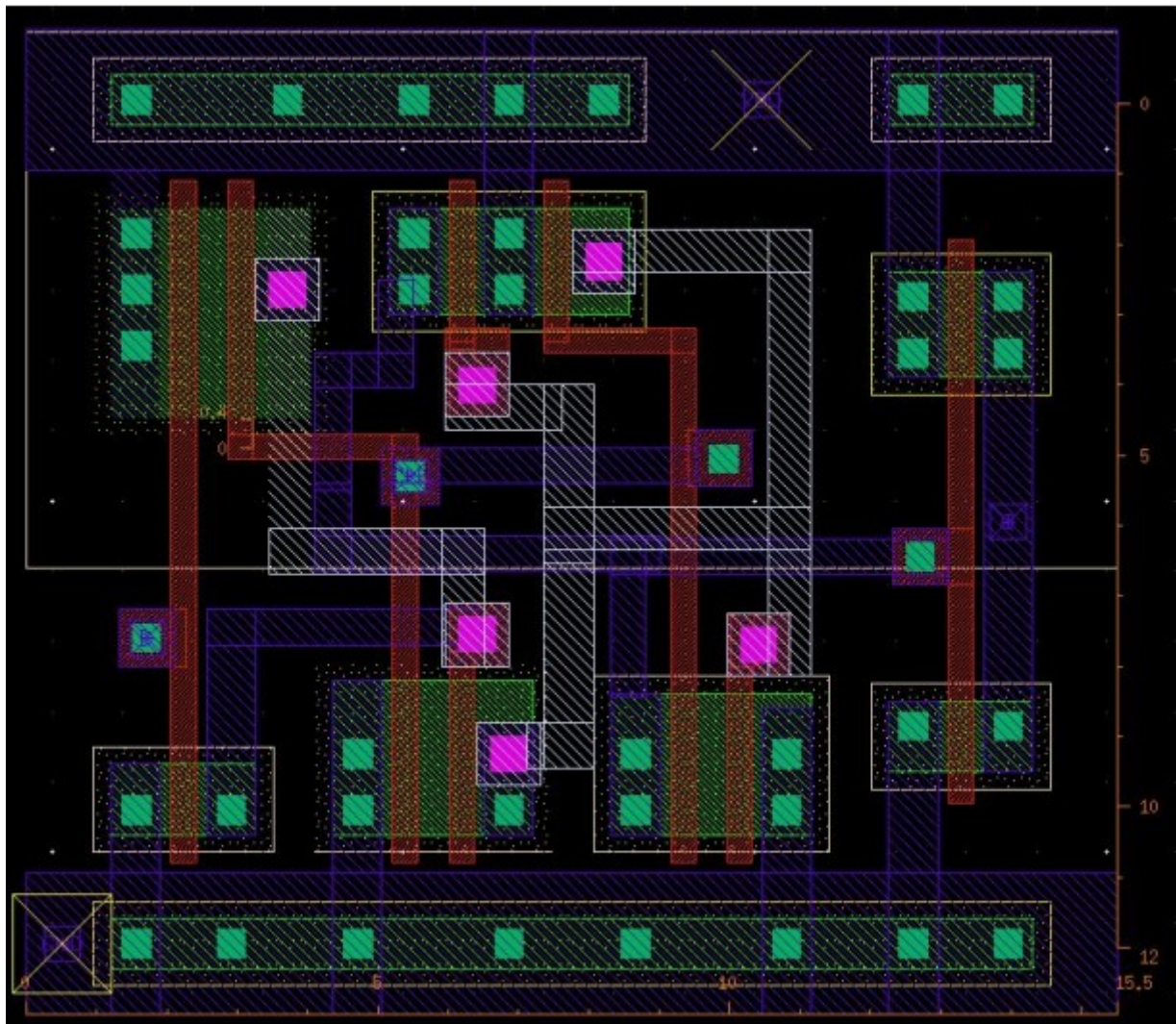
Esquema elétrico



Validação do dimensionamento dos transistores com 500 MHz de clock e 250MHz e largura de pulso de 1nm em D



Layout



Resposta dinâmica com parasitas

As simulações no layout foram feitas com temperatura de 25°C e alimentação de 3.3V. Foi utilizado um capacitor de 50 fF na saída da porta para simular um possível fan-out para uma cadeia de portas. Foram utilizados inversores para atuarem como drivers nas entradas de Clock e D. Também foi definida uma transição de 100ps para rise time e fall time.

A obtenção do T_p foi feita com a análise da simulação transiente, comparando os tempos entre as variações de entrada e saída em 50% da tensão (1.65V). As frequências definidas para as entrada foram de 500MHz para o CLK e 100MHz para D, com uma largura de 3ns e delay de 50ps.

Registrador D

$$T_{pHL} = 4.532317ns - 4.192746ns = 339.571ps$$

$$T_{pLH} = 2.417026ns - 2.171008ns = 246.018ps$$

$$T_p = 92.794ps$$

2

$$T_{pHL} + T_{pLH} = 2$$

Trise e Tfall foram obtidos pela observação do tempo de queda e subida da onda de saída entre as 10% (0.33V) e 90% (2.97V) da tensão.

$$T_{rise} = 2.632835ns - 2.296686ns = 336.149ps$$

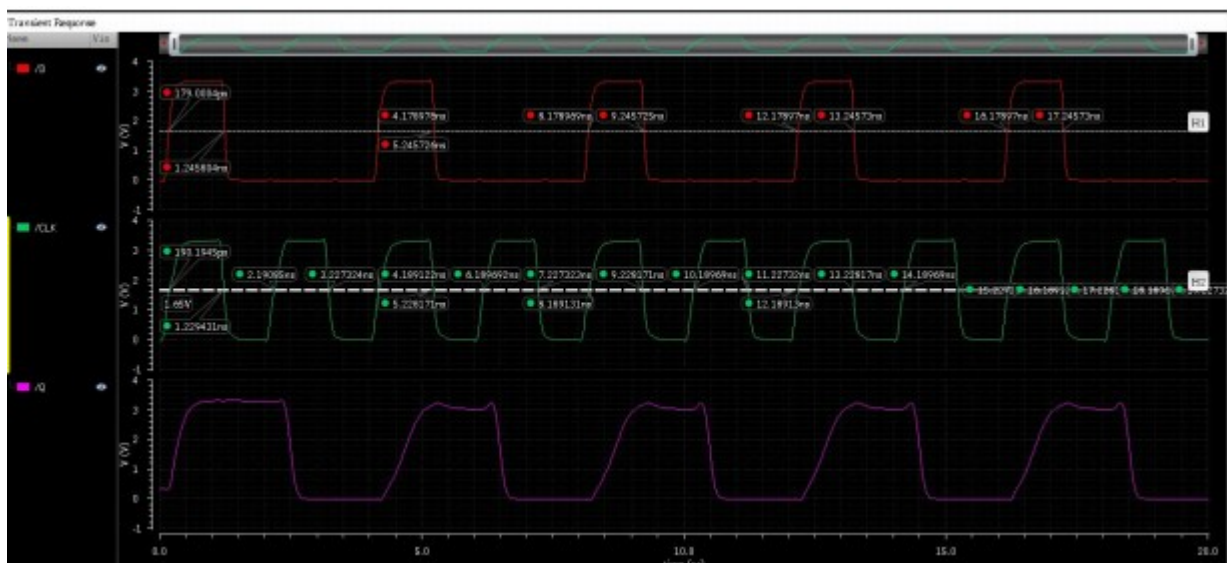
$$T_{\text{fall}} = 4.639142\text{ns} - 4.436373\text{ns} = 202.769\text{ps}$$

Potência consumida pela porta

Para cálculo da potência foi definida uma frequência de 500MHz para clock e 250MHz para D. Bem como tensões de 3.3V de pico para as entradas e porta.

Tempos de setup e hold

Os tempos de setup e hold mínimos foram observados movendo a borda de subida e descida de D em relação a borda de subida do clock. O tempo de hold mínimo que D deve ser mantido após a subida de CLK de maneira que o seu estado seja computado em Q, sendo verificado na relação entre a borda de descida de D e a de subida de CLK. Já o tempo de setup é o tempo mínimo antes da borda de subida de CLK que a informação em D deve estar presente, assim, é verificada na relação entre a borda de subida de D e a de subida de CLK.



Assim sendo, foram realizadas diversas simulações variando o delay da fonte na entrada D, de maneira a encontrar os tempos limites. Os tempos de setup e hold são obtidos em relação ao meio de cada onda (1.65V).

O Tsetup foi considerado mínimo quando a tensão em Q se manteve acima de 3V para a simulação acima.

$$T_{\text{setup}} = 4.189122\text{ns} - 4.178976\text{ns} \approx 10\text{ps}$$

$$T_{\text{hold}} \approx 0\text{ps}$$

Validação de layout

A validação do layout é feita em dois testes: DRC e LVS. DRC avalia os polígonos desenhados em relação à tecnologia adotada e LVS a equivalência entre o esquema elétrico e

o layout.

```
Run: "LVS" from
/home/inf01185/samuel.rudnicki/inf_cci/ASSURA_LVS/registradorD

Schematic and Layout Match.
You currently have an open run (project).

Do you want to close current project and view the results of new run?

Summary of LVS Issues

Extraction Information:
-----
0 cells have 0 mal-formed device problems
0 cells have 0 label short problems
0 cells have 0 label open problems

Comparison Information:
-----
0 cells have 0 Net mismatches
0 cells have 0 Device mismatches
0 cells have 0 Pin mismatches
0 cells have 0 Parameter mismatches
```

