Veriloga

아이디: hdl\_team5

텍스트, 영수증이(가) 표시된 사진

자동 생성된 설명텍스트이(가) 표시된 사진

자동 생성된 설명

텍스트이(가) 표시된 사진

자동 생성된 설명

이러한 에러 발생

으음 이거 어떻게 해결해야 하죠..???

1. Vteng, Icap은 변수로 지정이 안되어 있다고 하고,
2. d는 함수로 정의되어 있지 않다고 하고,
3. dt 는 아예 정의되어 있지 않다고 함..

Verilog 자체 문법에서 설정을 잘못한 것인지,

Verilog-a 문법을 잘 몰라서 나타난 문제점인지

아니면 설정에서 잘못한건지 (top.cmd 이런거 설정을 잘 몰라서..?)

이 세가지 중에서 문제를 파악해야 함

일단 Verilog-a 문법과 top.cmd 설정한거 다른 프로젝트에서 확인해서 어떻게 했는지 체크해봅시다.

텍스트, 편지이(가) 표시된 사진

자동 생성된 설명

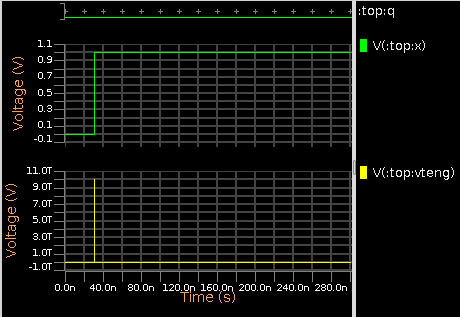
Top.cmd

에서 전반적인 제어를 담당하는 듯해.

내가 만들 부분은 tb\_TENG과 TENG 두개다.

일단 엉성하게라도 으다다다 만들어 놓고 고칠부분을 고치장

일단 완성된 부분?



도표이(가) 표시된 사진

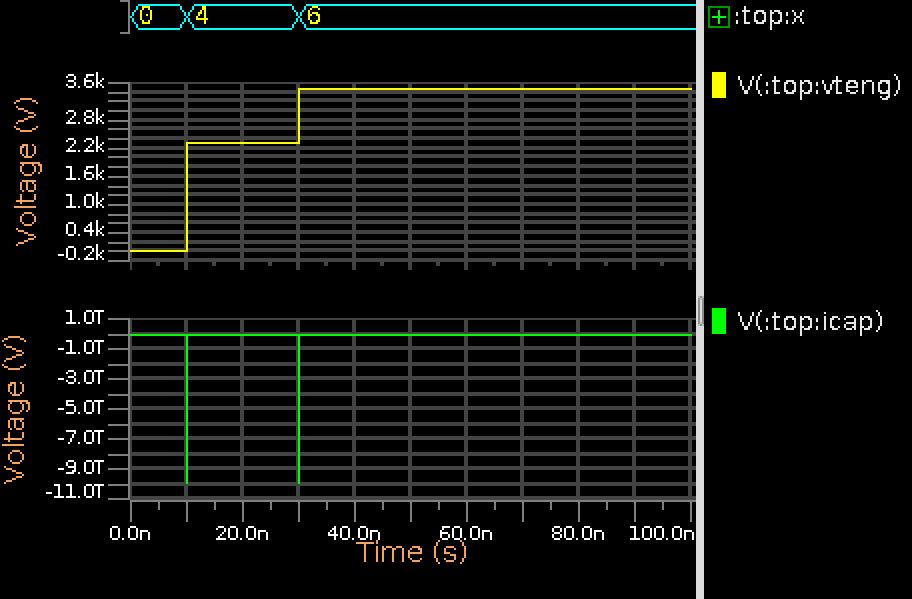
자동 생성된 설명

이 두가지 결과를 비교해야함

1. 일단 X 의 차이

어떻게 했길래 X는 integer 값에 불과한데 위 plot 에서는 전압값이 그럴듯하게 뽑힌건가?

1. Vteng 이 아래 plot 에서 일정하게 특히 안정된 범위에서 나오는 이유는 무엇인가?



이렇게 됨!

텍스트이(가) 표시된 사진

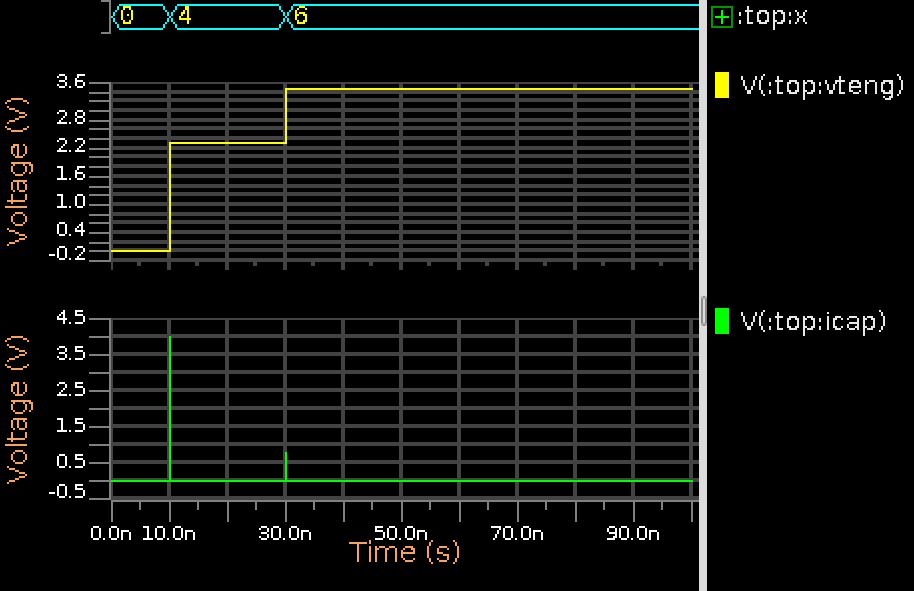
자동 생성된 설명

이걸 바꾼거임ㅎㅎ

테이블이(가) 표시된 사진

자동 생성된 설명

변화하는 바에 대해 만들어내게 됨



도표이(가) 표시된 사진

자동 생성된 설명완성!

200ms

-80 ~ 60V

( 5 Hz ) 정도로

Clock generator 🡪 -80~60V 에서 동작하는 TENG 구조 필요로 함