1. 目的

本実験の目的は、AD/DA変換の実際の動作を学ぶことである。

1. 理論

２－１．AD変換

アナログ信号をデジタル信号に直す。この際に問題となるのは分解能で、たとえばフルスケールがユニポーラで10.24Vのとき、8ビットの分解能は10.24/28=40mV/1LSBとなる。

２－２．論理回路

NANDゲートはA,Bに1を入力すると0を出力し、それ以外では0を出力する2入力1出力の端子である。NANDはそれ自体ですべての論理素子を作ることができる。

1. 方法

実験1

DA変換機に電圧を通し、そのときのDA変換の結果と実際の入力電圧を比較する。

実験２

逐次比較型AD変換回路の動作をタイミングチャートに起こす。27～25までは配布資料の通り、24以降も配布資料の数式にそのまま起こせばよい。たとえば2４bitのケースでは、

DA変換機出力=

DA変換機の出力と入力の加算結果は、1.396-1.168=0.228

0.228mA×5kΩ=1.14 V

１のビットを立てればよい

実験３

資料の図５にある加算計数型4ビットDA変換機を作成し、スイッチ0000～1111の入力に対する出力を調べる。

実験４

実験3の回路にマルチバイブレータ発信機を接続して資料の図６にある回路を作成し、波形を記録する。

実験５

２ビットエンコーダを作成し、動作を確認する。２ビットエンコーダの動作は以下の表のとおりである。

表３－５　２ビットエンコーダ真理値表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| I3 | I2 | I1 | I0 | OB | OA |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 |

なお、残り部分はすべて未定義とする。

実験６

２ビットデコーダを作成し、動作を確認する。２ビットデコーダの動作は以下の表のとおりである。

表３－６　２ビットデコーダ真理値表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| IB | IA | O3 | O2 | O1 | O0 |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |

実験７

３ビット多数決回路を作成する。ただし過半数の入力が1のとき0を、過半数の入力が0のとき1を出力する。多数決回路の動作は次ページの表のとおりである。

表３－７　３ビット多数決回路

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | X | NOT X |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

実験８

JK-FFから1/2分周期をつくり、オシロスコープで観察する。

実験９

実験８の要領で、1/23分周期を作成し、その出力を実験７で使った多数決回路につないでオシロスコープで観察する。

1. 結果

実験１

実験１の結果を表４－１に示す。

表４－１　実験１の結果

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 入力 | 出力 | 測定値(8bit) | 誤差(8bit) | 測定値(4bit) | 誤差(4bit) |
| 2 | 0011 0010 | 1.98V～  2.01V | 最大0.02V | 1.91V～  2.53V | 最大0.63V |
| 4 | 0110 0100 | 3.98V～  4.00V | 最大0.02V | 3.82V～  4.44V | 最大0.60V |
| 6 | 1001 0110 | 5.97V～  6.01V | 最大0.03V | 5.80V～  6.34V | 最大0.58V |
| 8 | 1100 1000 | 7.98V～  8.01V | 最大0.02V | 7.65V～  8.29V | 最大0.61V |

実験２．

先生の示した模範解答と異なる結果となった。

実験３

測定結果から以下のグラフができた。なお、横軸の入力は10進数に直してある。

図４－３　実験３の結果

実験４

実験結果、図４－４のオシロスコープ出力のようになった。

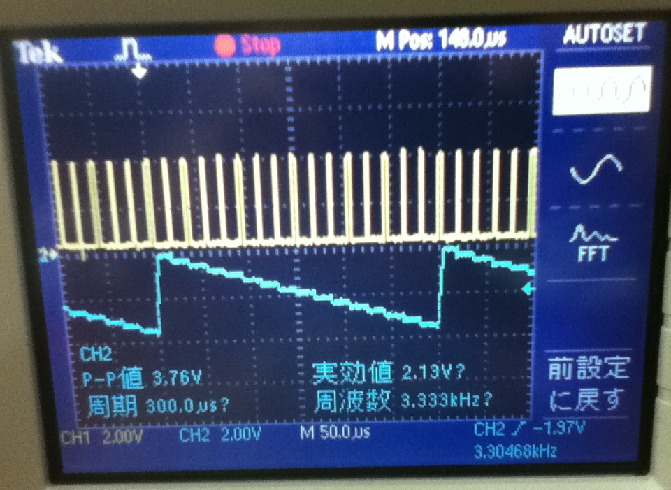


図４－４　実験４の結果

また、オシロスコープの結果より、10μm間隔でclockが動いており、clockに同期して値が変動していることが分かった。

実験５

図４－５－１に示すカルノー図から、図４－５－２に示す回路を作成した

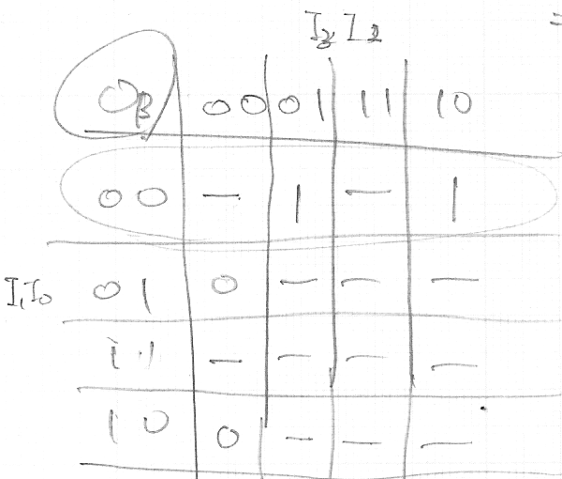
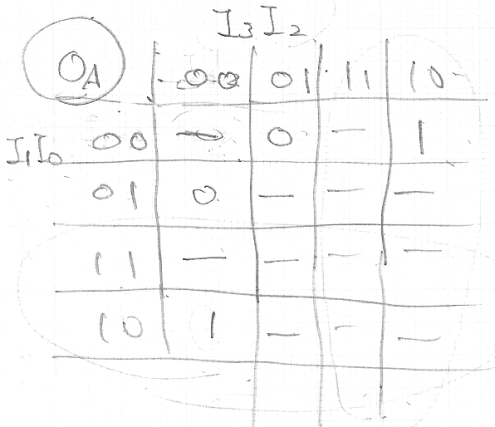


図４－５－１　実験５のカルノー図

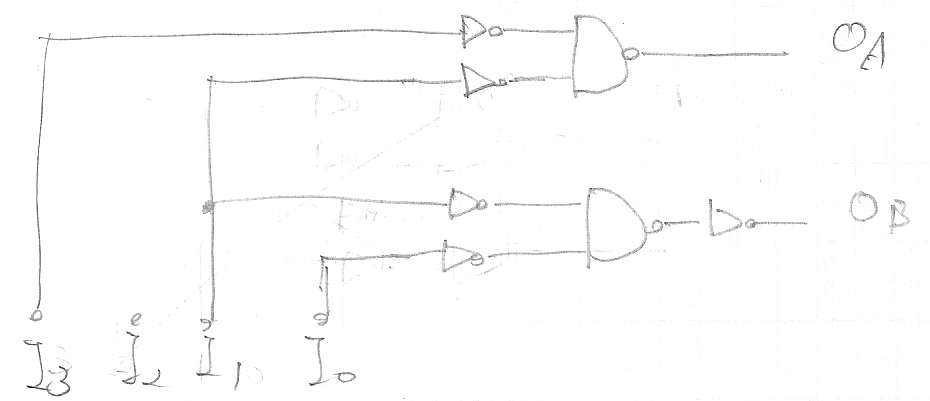


図４－５－２　実験５の回路

この回路は表３－５の通りに動作した。

実験６

下に示す式より、

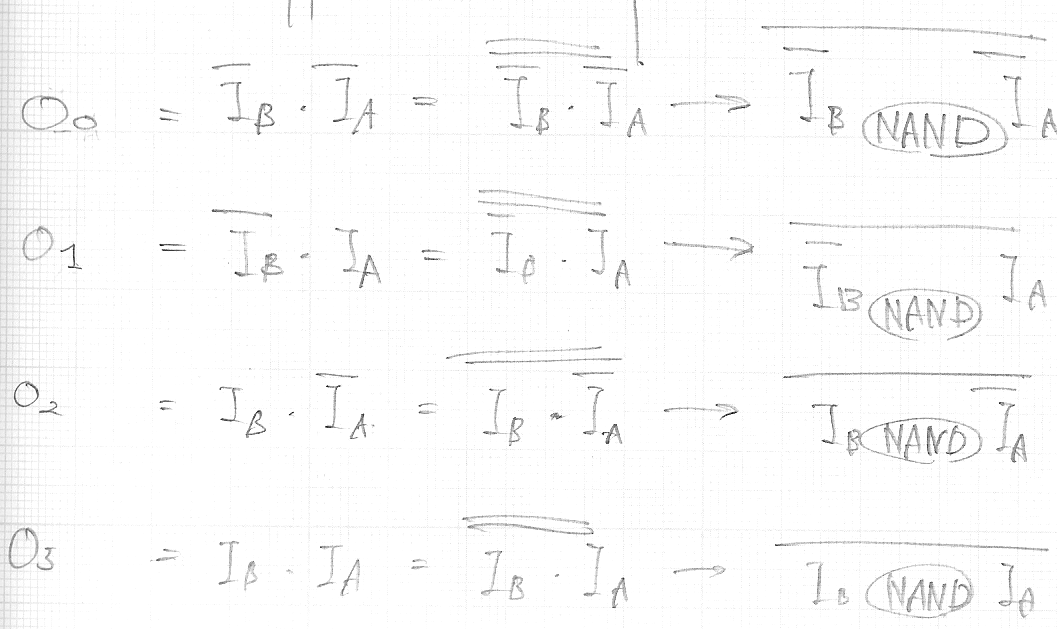


図４－６に示す回路を作成した。

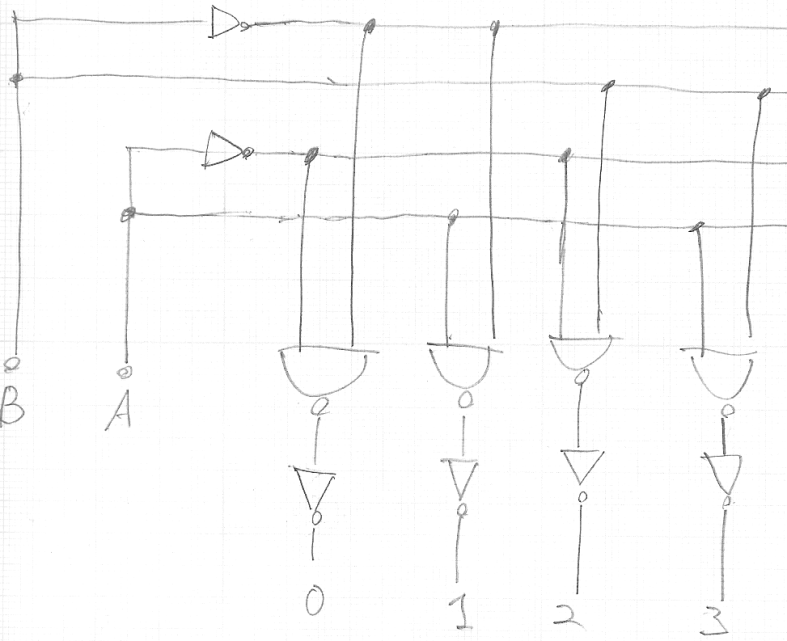


図３－６　実験６の回路

この回路は表３－６の通りに動作した。

実験７

図４－７－１に示すカルノー図を求めた。

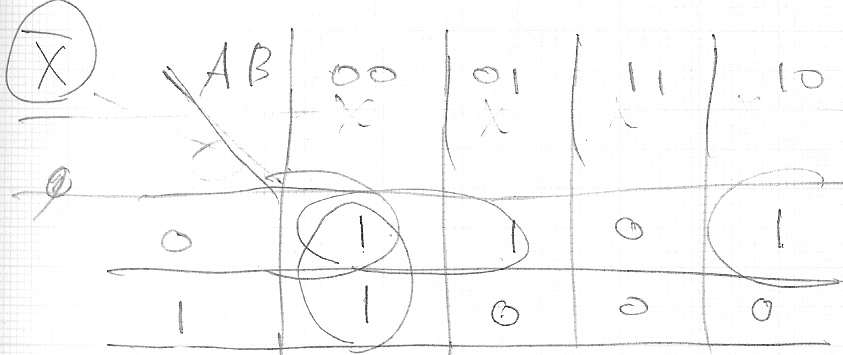
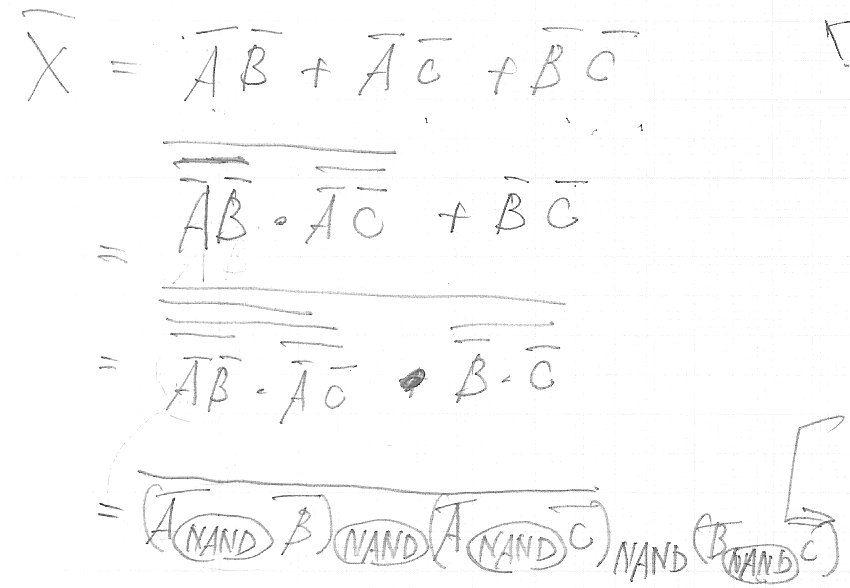


図４－７－１　実験７のカルノー図

次に、以下の計算式から、図４－７－２に示す回路を作成した。



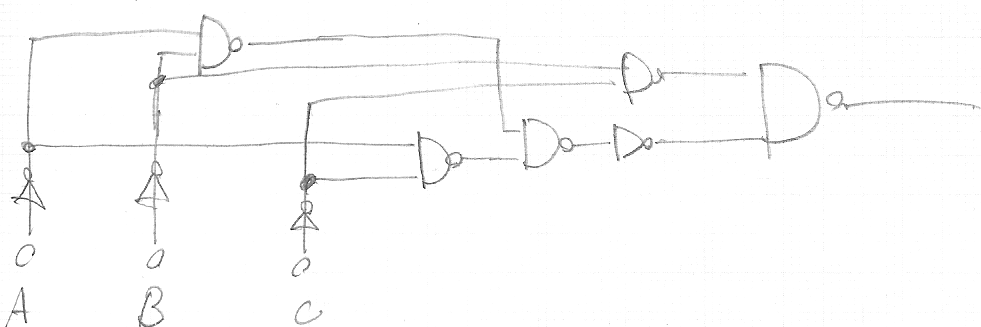


図４－７－２　実験７の回路

実験８

図４－８に示すオシロスコープ出力が得られた。なお、CH1がクロック、CH2が分周期である。

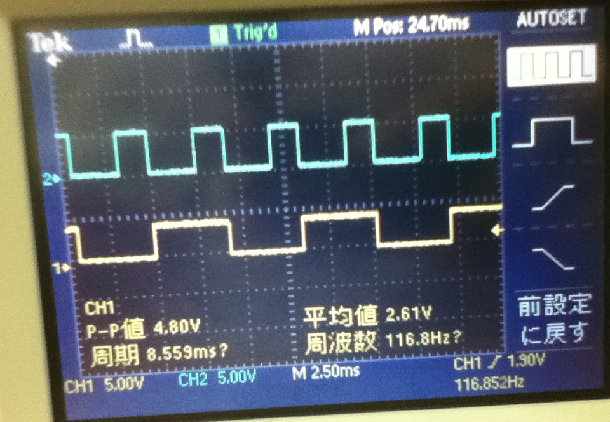


図４－８　実験８の結果

実験９

図４－９に示すオシロスコープ出力が得られた。

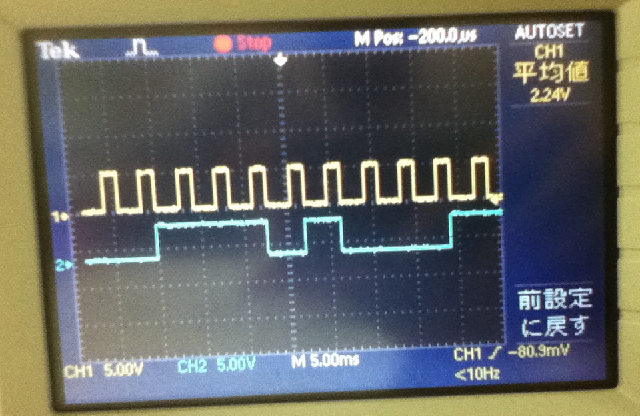


図４－９　実験９の結果

1. 考察

実験1

フルスケールがユニポーラで10.24Vのとき、8bitの分解能は40mV/LSB, 4bitの分解能は640mV/LSBである。いずれの入力に対しても最大誤差は分解能の値より小さいため、実行結果から、このAD変換機はどの入力に対しても正しく動作するであろうことが判断できる。

実験２

どこで計算の不備が起きたのかはまだ分かっていない。

実験３

目測で測定した。このDA変換機の分解能は330V程度であることが分かった。

実験４

目測で測定した結果、出力は0～3500Vの電圧である。しかし、同じ1111の入力に対して実験3では4000Vを超える数値が検出されている。ここから、実験4のときにオシロスコープに取り込む位置を誤ってしまっていることがわかる。

実験５

通常ならばI0をあけるが、今回は0000を入力したときの値が未定義なので、I2をあけて回路を簡略化した。このため、0000を入力したときにObが点灯する仕様となった。

実験６

すべての出力の直前にNOT回路があるため、これらを取り外し、各入力の直後にNOTを置くことでより経済的にできる。

実験７

実験６と同じ。今回はすべての入力の直後にNOT回路があるため、出力の直前にNOTを置くことでより経済的にできる。

実験８

出力波形の観察から、分周期は正確に周波数を1/2にできていることがわかった。

実験９

出力波形の観察から、実験７で作成した多数決回路の出力を、時間経過とともに順に出力していることが分かった。このことにより、適切な回路と組み合わせてやれば、分周期は四角形の組み合わせからなるどんな形の波形でも生み出せることがわかる。