

Informatica Industriale

Deeds - Progetti

marcello.dematteis@unimib.it

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

Introduction

Outline

Deeds Projects <<<

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

Deeds Projects

Assegnazioni

Gruppi. I progetti sono assegnati in funzione del numero progressivo di gruppo.

Esempio: Gruppo 1, ADDER. Gruppo 2 SIPO, etc.

Deeds Projects

Assegnazioni

La discussione dei progetti è prevista per il **18 Maggio 2022, 11.30-14.30**.

Si suggerisce di preparare una documentazione (**essenziale**) tramite slides del progetto.

Ogni presentazione durerà < 10 min (5 minuti max di presentazione slides + 5 min. di discussione in classe)

La presentazione sarà composta da 5 o 6 slides:

Slide 1 – Introduzione (problema, simbolo del circuito, tabella segnali, etc)

Slide 2 – Schema Circuitale

Slide 3 – Schema di Testbench

Slide 4 – Risultati simulazioni/time-diagram (nominale)

Slide 5 – Risultati Simulazioni/time-diagram (casi specifici)

Slide 6 – Conclusioni

Introduction

Outline

Deeds Projects

- 1. ADDER ←←←
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

Deeds Projects

1. ADDER

Progettare un **Sommatore** binario di due numeri di modulo 2b.

Il Sommatore ha:

- tre ingressi, $A<0:1>$, $B<0:1>$ (i due numeri da sommare) e il segnale di CARRY_IN;
- due uscite, il risultato della somma $R<0:1>$ e bit di Carry_OUT).

Il funzionamento del Sommatore è controllato da un segnale di 1b sincrono (X) che opera come segue:

- se X assume per due colpi di clock consecutivi il valore logico '0' allora $R=A+B$;
- in tutti gli altri casi tutte le uscite sono a 0;

Il sommatore è dotato di un Registro di uscita (REG_OUT<0:2>, sincrono con un segnale esterno di clk il cui periodo è di 10 ms) che salva il risultato della somma (su 3b).

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO ←←←
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

Deeds Projects

2. Serial-In-Parallel-Out (SIPO) Interface

Progettare un'**Interfaccia Seriale-Parallelo** composta da due registri:

- un registro di input (SISO REG) che legge il dato seriale (bit_in);
- un registro di output (PIPO REG) che fornisce il dato in uscita in presenza di un apposito segnale di Enable (più specificatamente il dato proveniente dal registro SISO viene caricato sul registro PIPO solo in presenza di una richiesta di abilitazione tramite Enable).

Entrambi i registri sono sincroni con un segnale di clock esterno a 25 ms di periodo (clk) e hanno 4b di risoluzione.

Il segnale di Enable è fornito da un circuito di controllo regolato da un segnale X0 di 1b sincrono con il clock. Tale circuito asserisce Enable=1 nel caso in cui X0 abbia assunto per 3 colpi di clock consecutivi il valore 1.

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR ←←←
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

Deeds Projects

3. Subtractor

Progettare un **Sottrattore Binario** di due numeri interi di modulo $2b$ ($A_{<0:1>}$ e $B_{<0:1>}$) che esegue l'operazione $A-B$.

Il Sottrattore è dotato di segnale di Enable e un Registro di uscita ($REG_OUT_{<0:2>}$, sincrono con un segnale esterno di clk il cui periodo è di 20 ms) che salva il risultato della sottrazione (su 3b).

Il segnale di Enable è fornito da un circuito di controllo regolato da un segnale BIT_IN di 1b sincrono con il clock. Tale circuito asserisce $Enable=1$ nel caso in cui BIT_IN abbia assunto per 3 colpi di clock consecutivi il valore 0.

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER ←←←
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

Deeds Projects

4. Multiplier

Progettare un **Moltiplicatore Binario** di due numeri interi positivi di modulo 2b ($A_{<0:1>}$ e $B_{<0:1>}$) che esegue l'operazione $A \times B$.

Il moltiplicatore è dotato di segnale di Enable e un Registro di uscita ($REG_OUT_{<0:3>}$, sincrono con un segnale esterno di clk il cui periodo è di 5 ms) che salva il risultato del prodotto (su 4b).

Il segnale di Enable è fornito da un circuito di controllo regolato da due segnale di 1b (X e Y) sincroni con il clock. Tale circuito asserisce $Enable=1$ nel caso in cui X abbia assunto per 2 colpi di clock consecutivi il valore 1 e durante il secondo colpo di clock $Y=0$.

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER ←←←
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

Deeds Projects

5. Counter

Progettare un **Contatore Binario** di modulo 4 che opera con un segnale di clock di 1 ms.

Il contatore ha due modalità operative UP (conta in modo crescente) e DOWN (conta in modo decrescente).

Inoltre, il contatore è dotato di un segnale di uscita TIME_SET che si attiva al nono colpo di clock per ogni ciclo di conteggio.

Il contatore è dotato di segnali di enable e reset globali (con reset prioritario).

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR ←←←
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

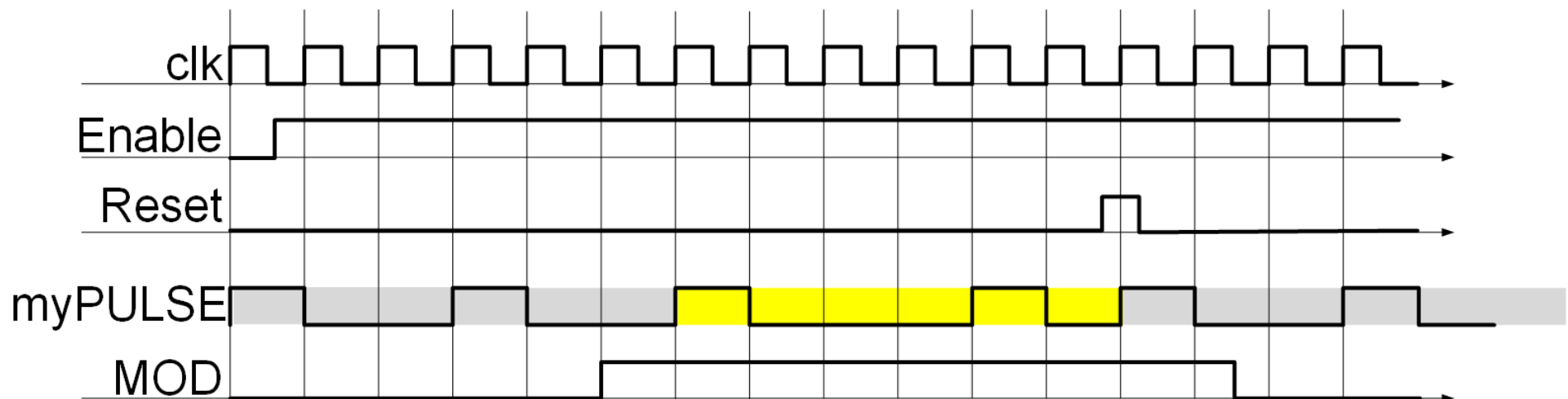
Deeds Projects

6. Pulse Generator

Progettare un **Generatore di Impulsi** variabili nel tempo controllato da un segnale esterno MOD (1b) e da un segnale di clk di periodo 1 ms.

- Se MOD=0 allora il generatore di impulsi produce un segnale periodico di periodo 3 ms e duty cycle pari a 1/3.
- Se MOD=1 allora il generatore di impulsi produce un segnale periodico di periodo 4 ms e duty cycle pari a 1/4.

Il circuito è dotato di segnale di Enable e Reset (in presenza del quale il sistema ritorna allo stato di MOD=0).



Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR ←←←
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv

Deeds Projects

7. Comparator

Progettare un **Comparatore** digitale che confronta due numeri di modulo 2b. Il comparatore può operare in tre modalità:

- MOD_PLUS, il Comparatore asserisce un 1 logico quando $A > B$;
- MOD_MINUS, il Comparatore asserisce un 1 logico quando $A < B$;
- MOD_EQUAL, il Comparatore asserisce un 1 logico quando $A = B$.

In tutte e tre le modalità di funzionamento i dati da comparare A e B sono forniti da due registri di tipo PIPO, dotati di enable e reset.

La modalità di funzionamento è controllata da un bit di ingresso X0 sincrono con il clock (1 ms) che opera come segue:

- nel caso in cui X0 abbia assunto per 2 colpi di clock consecutivi il valore 0, il Comparatore opera in modalità MOD_PLUS;
- nel caso in cui X0 abbia assunto per 2 colpi di clock consecutivi il valore 1, il Comparatore opera in modalità MOD_MINUS;
- nel caso in cui X0 abbia assunto per 2 colpi di clock consecutivi i valori 01 o 10 il Comparatore opera in modalità MOD_EQUAL.

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE ←←←
- 9. PATTERN DETECTOR
- 10. MultiDiv

Deeds Projects

8. Selective Save

Progettare un circuito digitale di **Selective Save** che riceve in ingresso un numero di 4b (num4b) e salva tale numero in un registro in uscita solo se è divisibile per 2 o per 3.

Il circuito è dotato di Enable e Reset (che azzerava il dato nel registro in modo prioritario).

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR ←←←
- 10. MultiDiv

Deeds Projects

9. Pattern Detector

Progettare un **Pattern Detector** che riceve un segnale binario X in modo seriale e sincrono e lo salva in un registro di tipo SIPO con 4b di modulo.

Il Pattern Detector asserisce in uscita un '1' logico quando il dato X ha assunto per 4 colpi di clock consecutivi valori sempre diversi dal precedente colpo di clock.

L'interfaccia è dotata di segnali di Enable e Reset (prioritario).

Si progetti sia la macchina stati finiti che il circuito digitale corrispondente.

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv ←←←

Deeds Projects

10. MultiDiv

Progettare un circuito capace di **moltiplicare o dividere per 2** un numero binario di 4b. La modalità (moltiplicazione/divisione) è selezionata dall'esterno tramite il bit MULT2 (MULT2=1 → moltiplicazione per 2, MULT2=0 → divisione per 2).

Il risultato dell'operazione matematica viene salvato su un registro REG_RES<0:4> dotato di enable e reset (prioritario).

La modalità di funzionamento è controllata da un bit di ingresso X0 sincrono con il clock (1 ms) che opera come segue:

- nel caso in cui X0 abbia assunto per 2 colpi di clock consecutivi il valore 0, il Comparatore opera in modalità moltiplicazione per 2;
- nel caso in cui X0 abbia assunto per 2 colpi di clock consecutivi il valore 1, il Comparatore opera in modalità divisione per 2;
- in tutti gli altri casi il registro REG_RES è in stato di HOLD.

Introduction

Outline

Deeds Projects

- 1. ADDER
- 2. SIPO
- 3. SUBTRACTOR
- 4. MULTIPLIER
- 5. COUNTER
- 6. PULSE GENERATOR
- 7. COMPARATOR
- 8. SELECTIVE SAVE
- 9. PATTERN DETECTOR
- 10. MultiDiv