

# Adder

**Introduzione**

Schema Circuitale

Schema di Testbench

Risultati simulazioni nominali

Risultati simulazioni casi specifici

Conclusioni

# Introduzione

Progettare un Sommatore binario di due numeri di modulo 2b.

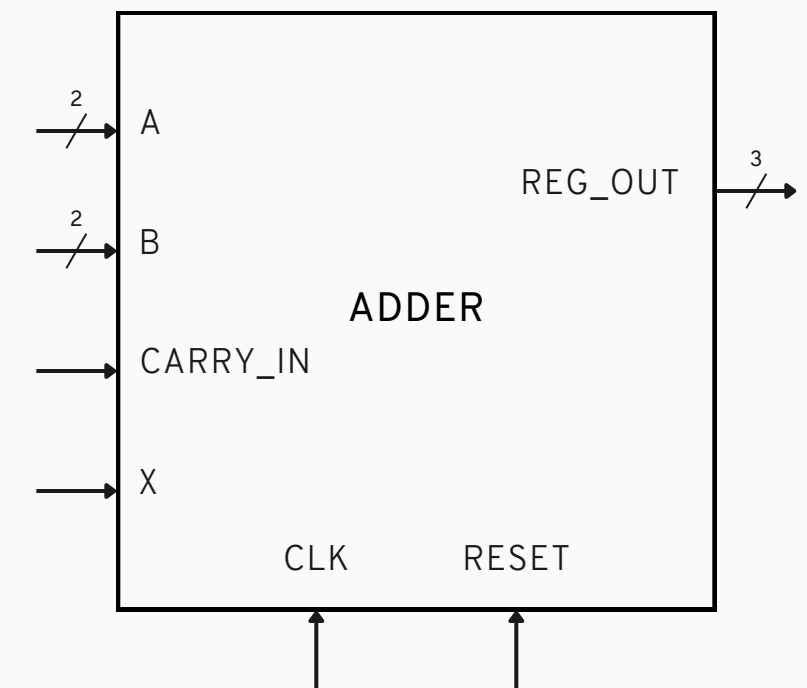
Il Sommatore ha:

- tre ingressi,  $A<0:1>$ ,  $B<0:1>$  (i due numeri da sommare) e il segnale di  $CARRY\_IN$ ;
- due uscite, il risultato della somma  $R<0:1>$  e il bit di  $CARRY\_OUT$ ;

Il funzionamento del Sommatore è controllato da un segnale di 1b sincrono (X) che opera come segue:

- se X assume per due colpi di clock consecutivi il valore logico '0', allora  $R = A + B$ ;
- in tutti gli altri casi, tutte le uscite sono a 0;

Il Sommatore è dotato di un Registro di uscita ( $REG\_OUT<0:2>$ , sincrono con un segnale esterno di clk il cui periodo è di 10ms) che salva il risultato della somma (su 3b).



Introduzione

**Schema Circuitale**

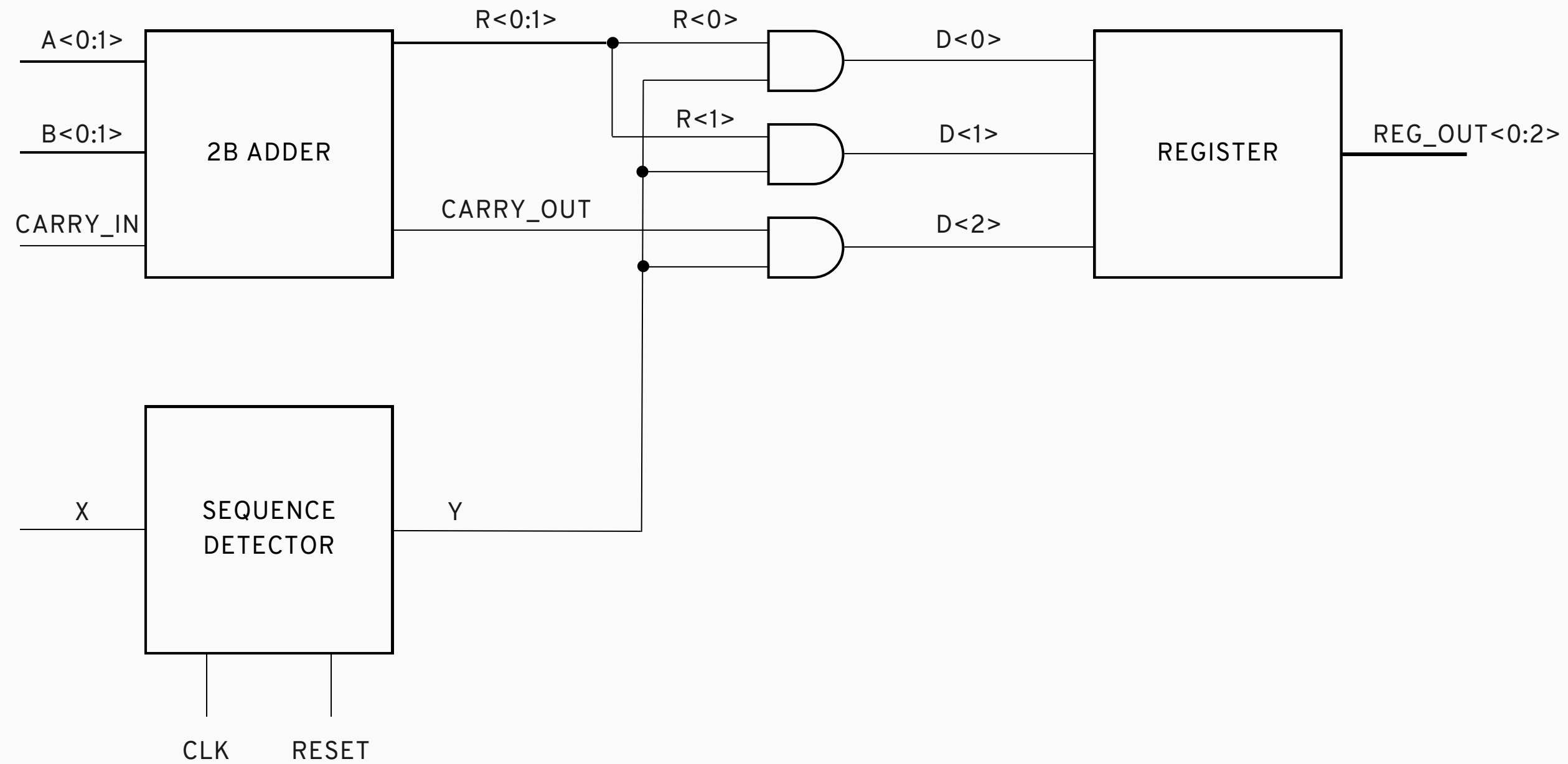
Schema di Testbench

Risultati simulazioni nominali

Risultati simulazioni casi specifici

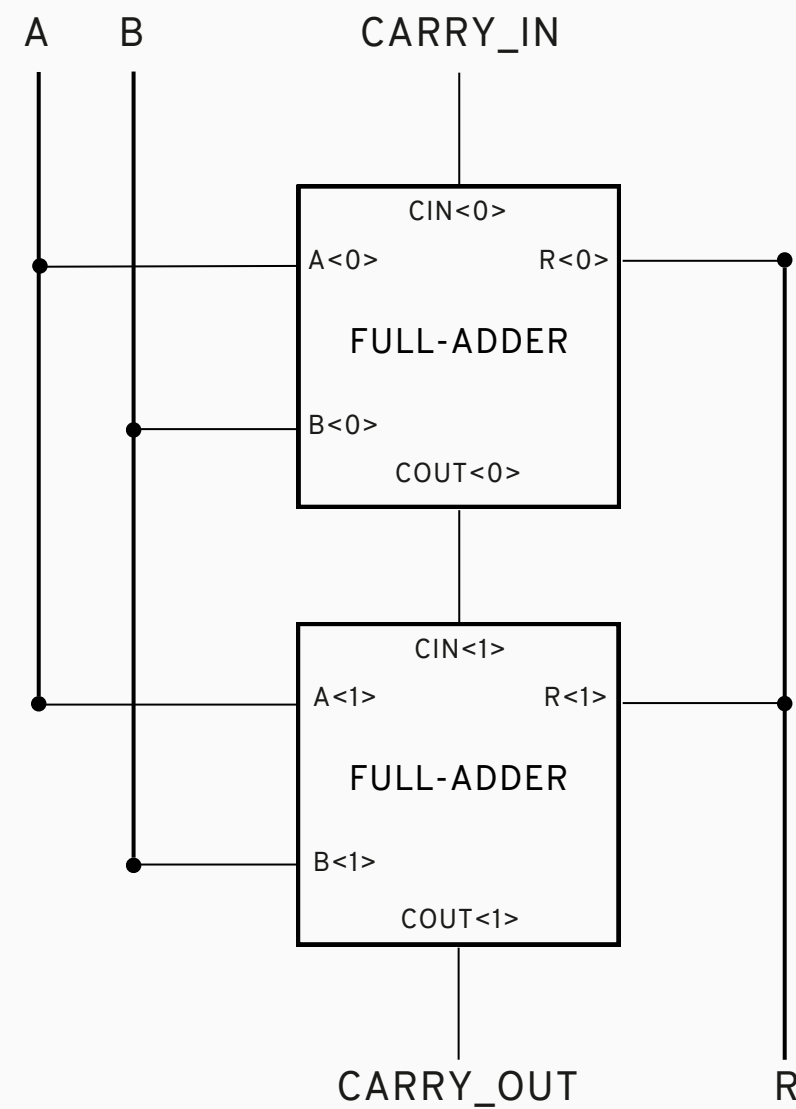
Conclusioni

# Schema Circuitale

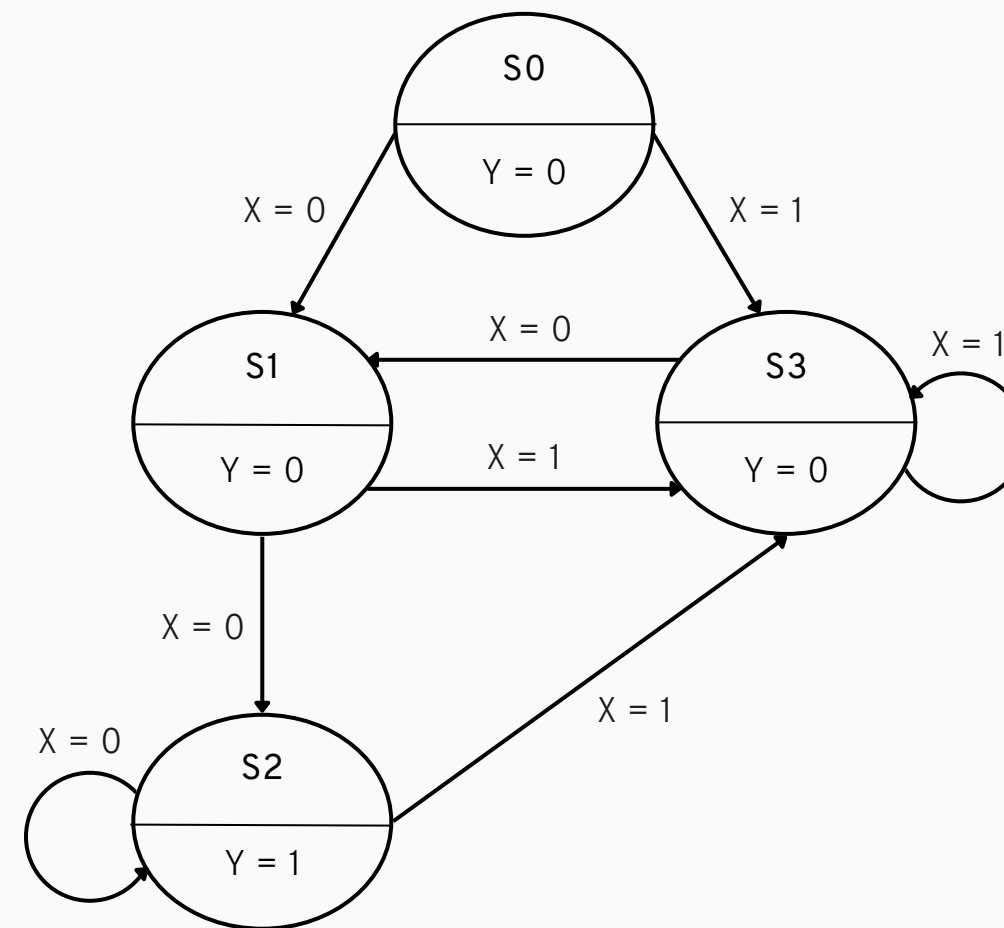


# Schema Circuitale

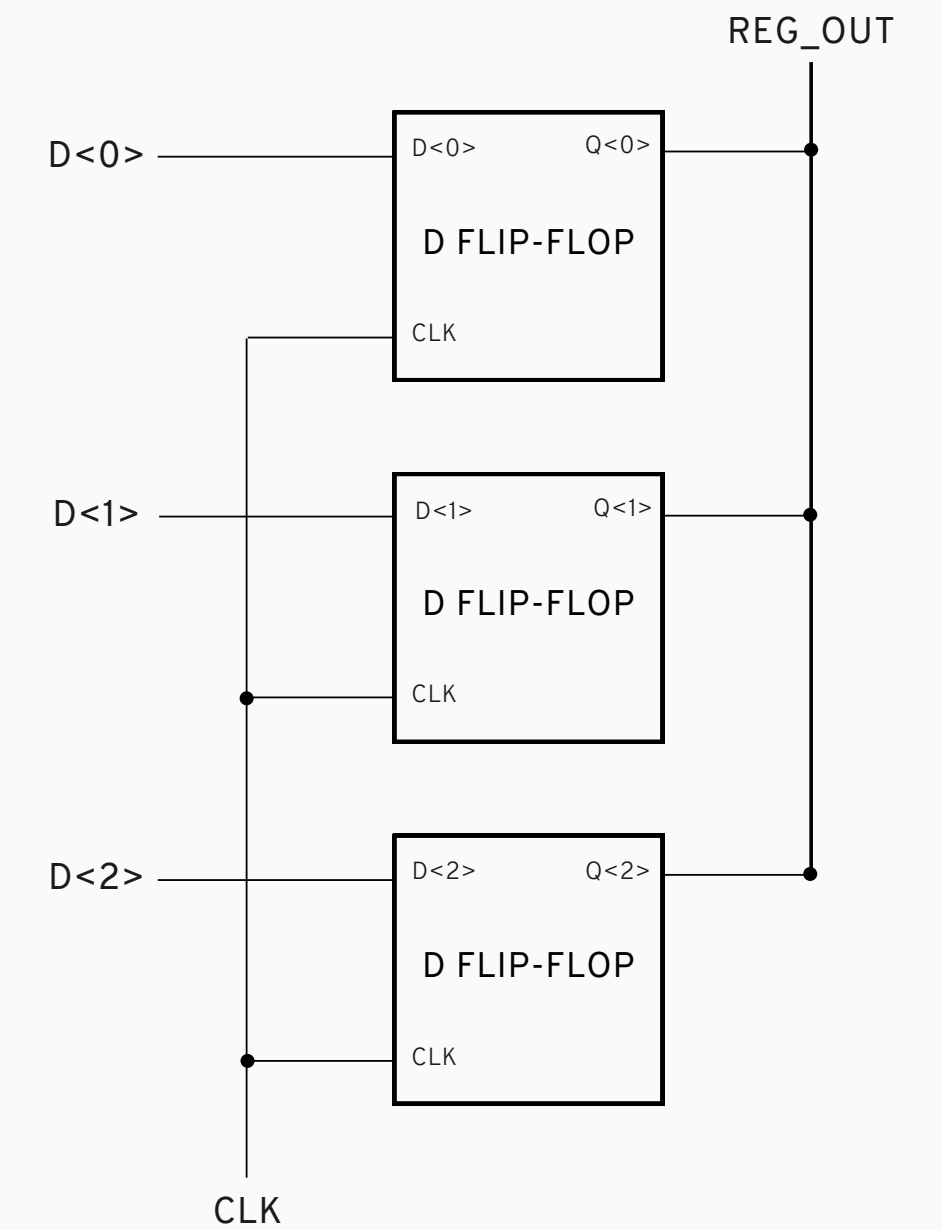
2B ADDER



SEQUENCE  
DETECTOR

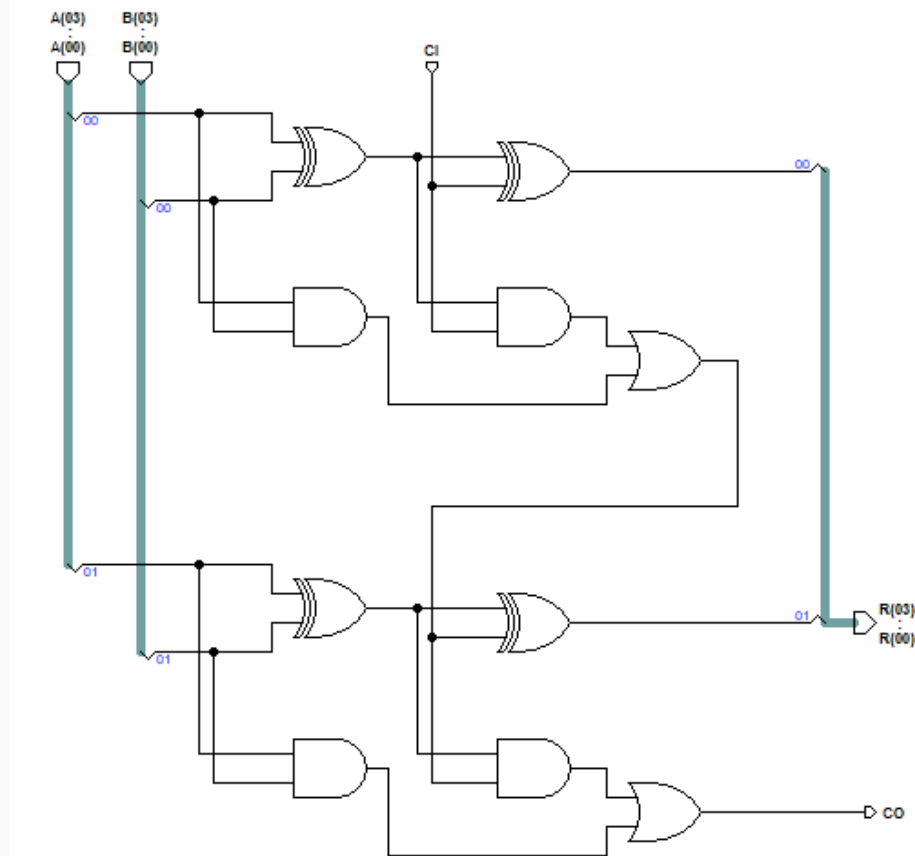


REGISTER

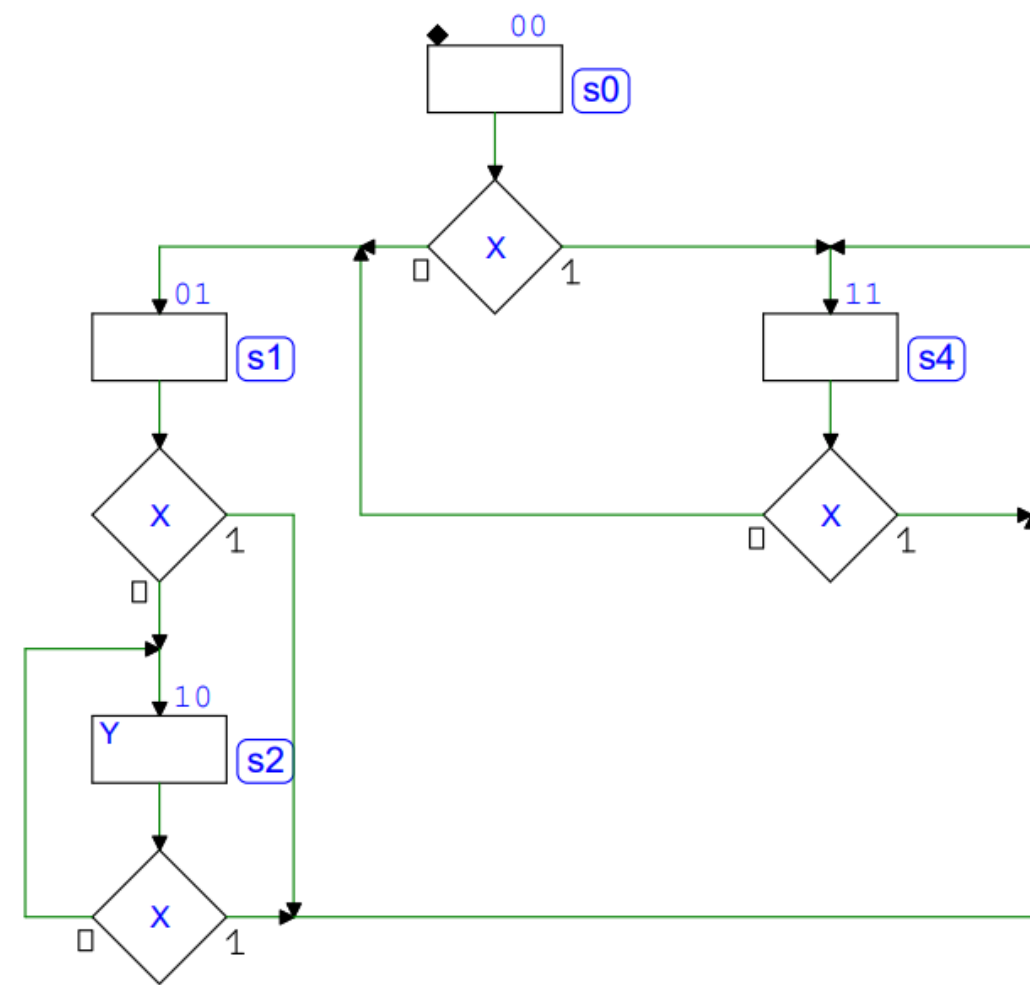


# Schema Circuitale

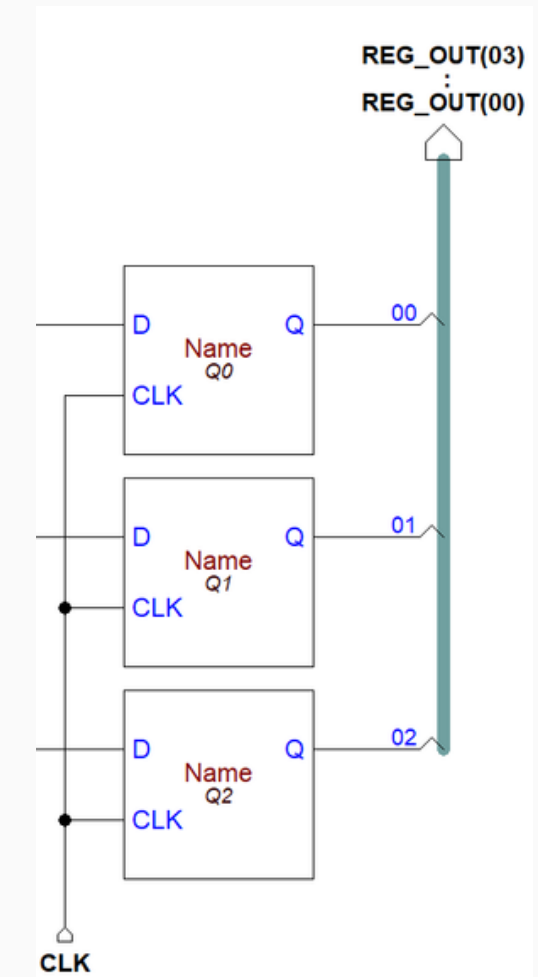
## 2B ADDER



# SEQUENCE DETECTOR



## REGISTER



Introduzione

Schema Circuitale

Schema di Testbench

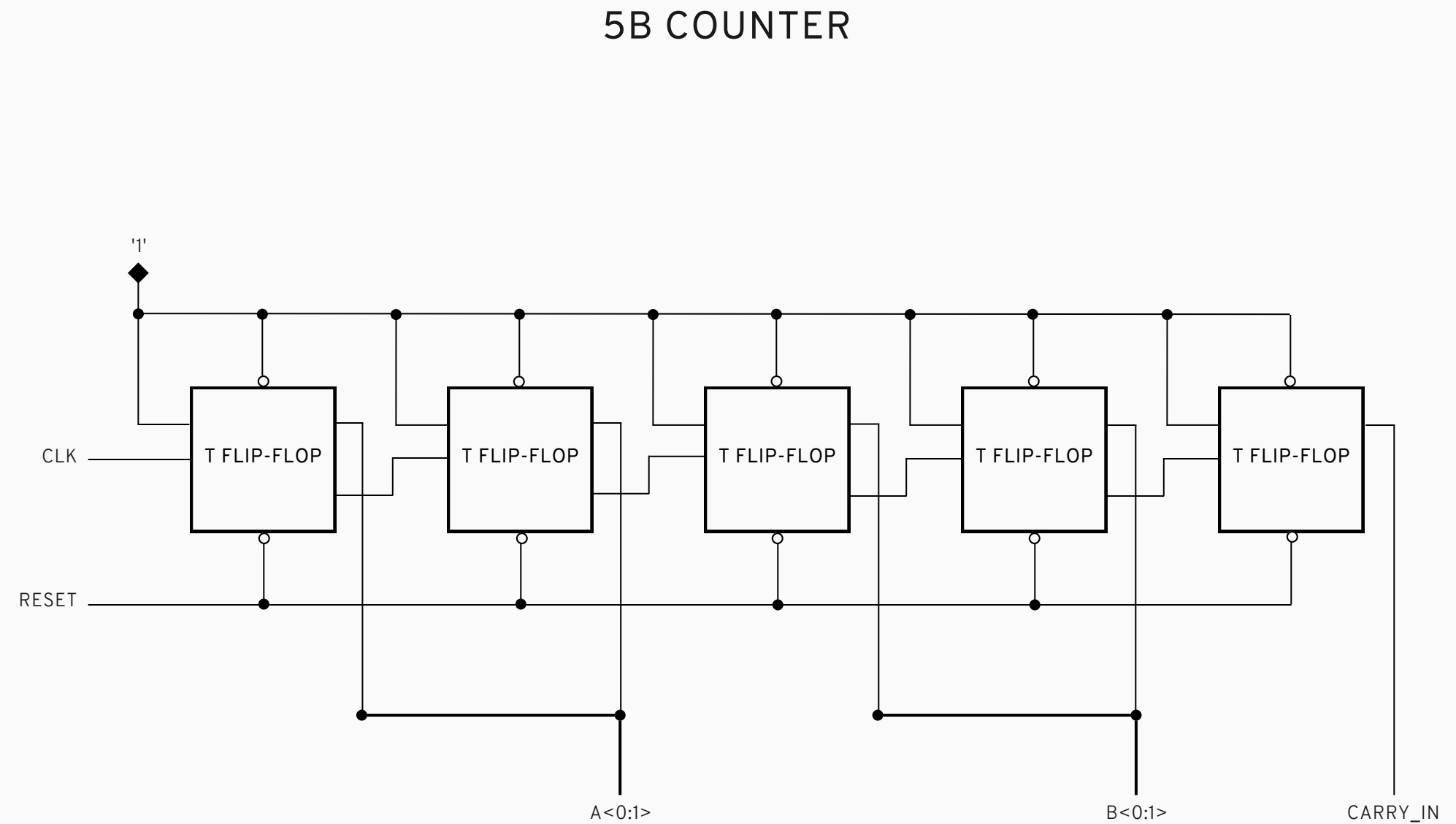
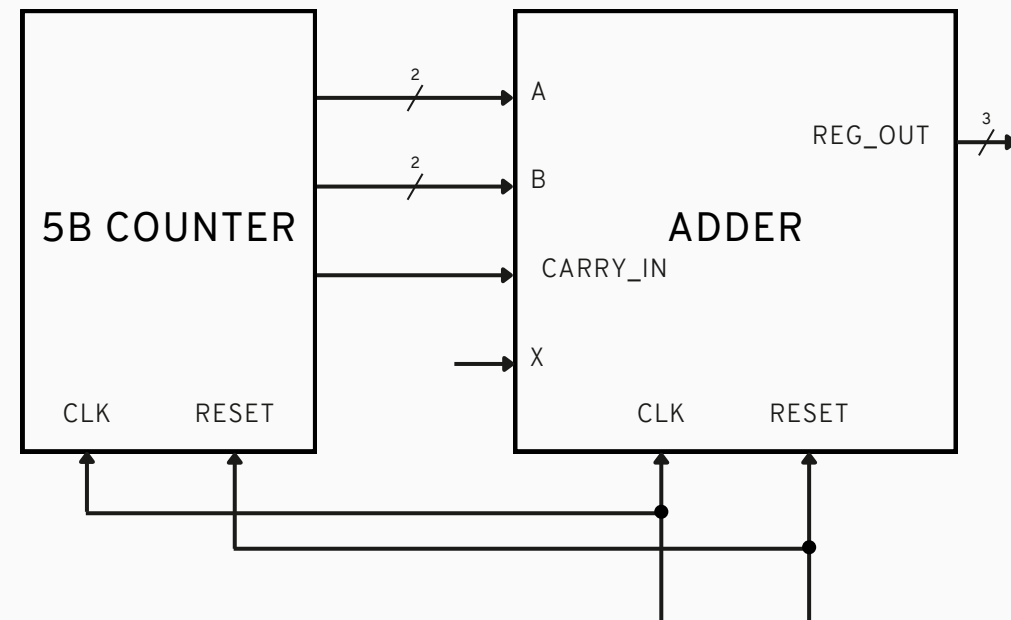
Risultati simulazioni nominali

Risultati simulazioni casi specifici

Conclusioni



# Schema di Testbench



Introduzione

Schema Circuitale

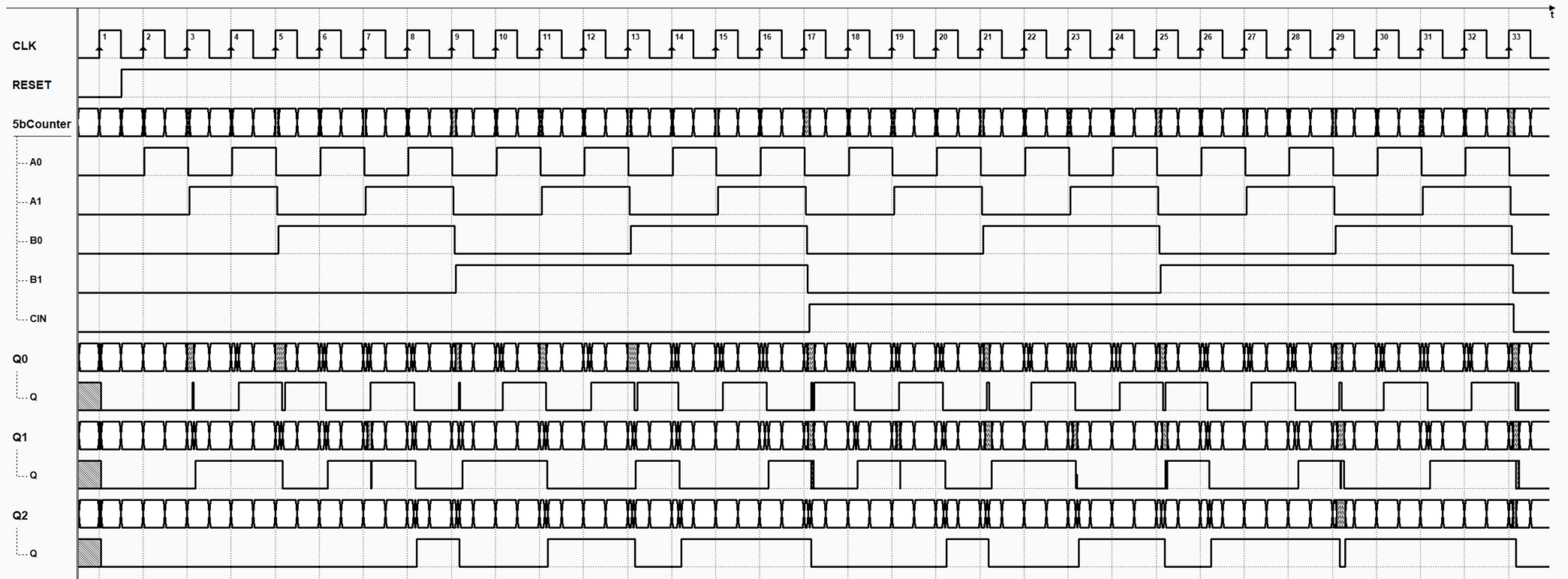
Schema di Testbench

**Risultati simulazioni nominali**

Risultati simulazioni casi specifici

Conclusioni

# Risultati simulazioni nominali



Introduzione

Schema Circuitale

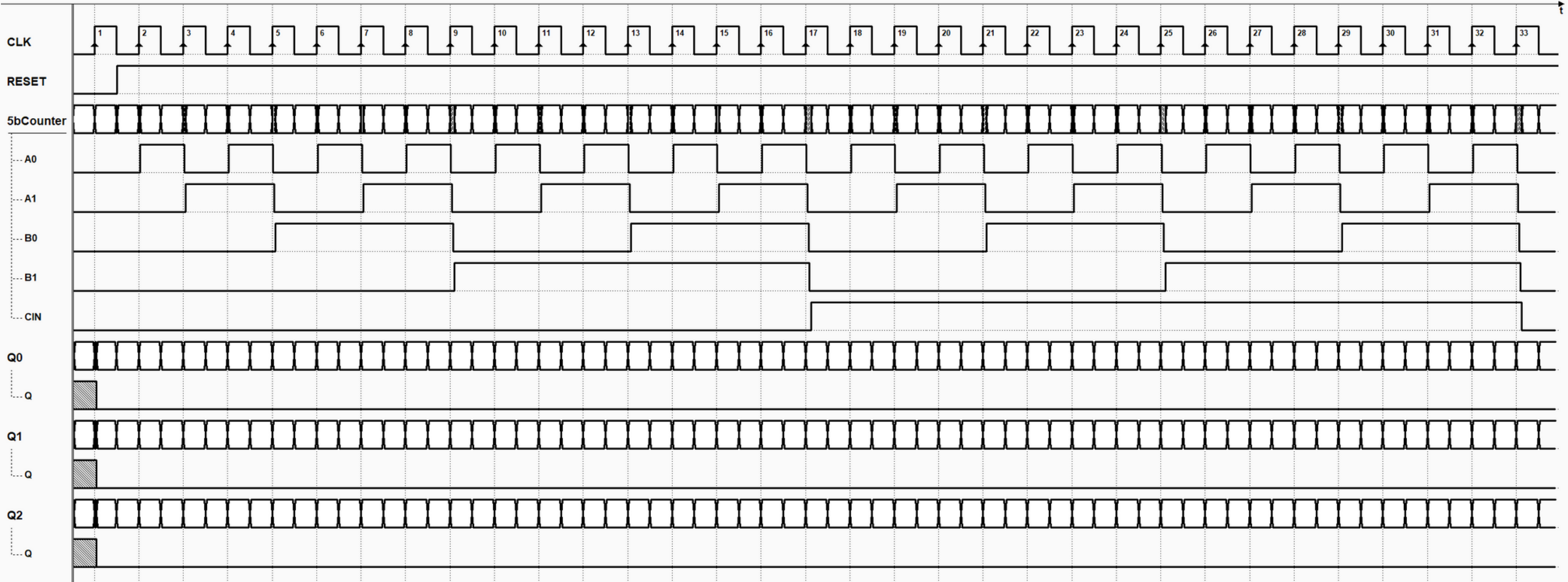
Schema di Testbench

Risultati simulazioni nominali

**Risultati simulazioni casi specifici**

Conclusioni

# Risultati simulazioni casi specifici



Introduzione

Schema Circuitale

Schema di Testbench

Risultati simulazioni nominali

Risultati simulazioni casi specifici

**Conclusioni**

# Conclusioni

- Si possono notare dei comportamenti anomali all'interno del time-diagram del caso specifico. Questa problematica è dovuta al 5bCounter che genera un piccolo delay tra i T Flip-Flop e quindi tra i valori generati in output.  
Nel complessivo, nonostante i disturbi, il circuito restituisce i valori attesi ad ogni ciclo di clock.
- Un'altra possibile composizione del circuito potrebbe vedere la sostituzione delle 3 porte logiche AND con un Multiplexer che prende in input i 3 segnali uscenti dal 2bAdder e avente Y come bit selettore.