|  |
| --- |
|  |
| **석사학위논문** |
|  |
| **양방향 냉각 파워모듈 내 열분산 비율 불균형을**  **고려한 수직 적층 구조의 열응력 저감 비교 연구** |
|  |
| **Comparative Study on Vertical-Stacking Structure**  **of Double-Sided Cooling Power Module**  **for Thermal Stress Reduction**  **considering Unbalanced Heat Spreading Ratio** |
|  |
| **원 승 현** |
|  |
| **한양대학교 대학원** |
|  |
| **2024년 2월** |
|  |

|  |
| --- |
|  |
| **석사학위논문** |
|  |
| **양방향 냉각 파워모듈 내 열분산 비율 불균형을**  **고려한 수직 적층 구조의 열응력 저감 비교 연구** |
|  |
| **Comparative Study on Vertical-Stacking Structure**  **of Double-Sided Cooling Power Module**  **for Thermal Stress Reduction**  **considering Unbalanced Heat Spreading Ratio** |
|  |
| **지도교수 윤 영 두** |
|  |
| **이 논문을 공학 석사학위논문으로 제출합니다.** |
|  |
| **2024년 2월** |
|  |
| **한양대학교 대학원** |
|  |
| **미래자동차공학과 (미래자동차-SW 융합전공)** |
|  |
| **원 승 현** |
|  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | | | |
| **이 논문을 원 승 현의 석사학위 논문으로 인준함** | | | | |
|  | | | | |
| **2024년 2월** | | | | |
|  | | | | |
|  | **심사위원장:**  **심사위원:**  **심사위원:** | **유 지 형**  **윤 상 원**  **윤 영 두** |  |  |
|  | | | | |
| **한양대학교 대학원** | | | | |
|  | | | | |

차 례

[차 례 i](#_Toc153286699)

[List of Tables iii](#_Toc153286700)

[List of Figures iv](#_Toc153286701)

[국문 요지 vi](#_Toc153286702)

[제1장 서 론 1](#_Toc153286703)

[1.1 연구 배경 및 필요성 1](#_Toc153286704)

[1.2 연구 목표 3](#_Toc153286705)

[제2장 이론적 배경 6](#_Toc153286706)

[2.1 Wide Band Gap (WBG) 반도체 6](#_Toc153286707)

[2.2 파워모듈 8](#_Toc153286708)

[2.3 파워모듈 Qualification 11](#_Toc153286709)

[제3장 시뮬레이션 14](#_Toc153286710)

[3.1 3D 모델링 14](#_Toc153286711)

[3.2 Mesh 및 Boundary Condition 16](#_Toc153286712)

[3.3 Steady-State Thermal Analysis 19](#_Toc153286713)

[3.3.1 Si 19](#_Toc153286714)

[3.3.2 Si vs SiC 23](#_Toc153286715)

[3.3.3 분석 26](#_Toc153286716)

[3.4 Steady-State Structure Analysis 27](#_Toc153286717)

[3.4.1 Si 27](#_Toc153286718)

[3.4.2 Si vs SiC 31](#_Toc153286719)

[3.4.3 분석 33](#_Toc153286720)

[3.5 Parasitic Inductance Extraction 33](#_Toc153286721)

[제4장 실험 방법 및 결과 35](#_Toc153286722)

[4.1 샘플 제작 36](#_Toc153286723)

[4.2 모듈 검증(QM) 38](#_Toc153286724)

[4.2.1 Testing Interconnection Layers 38](#_Toc153286725)

[4.2.2 VF 40](#_Toc153286726)

[4.3 열 저항 측정(QC) 41](#_Toc153286727)

[4.3.1 실험 환경 41](#_Toc153286728)

[4.3.2 실험 결과 및 분석 43](#_Toc153286729)

[제5장 결론 45](#_Toc153286730)

[Reference 46](#_Toc153286731)

[ABSTRACT 49](#_Toc153286732)

List of Tables

[Table. 1 Number of Nodes and Elements]

[Table. 2 Material Properties]

[Table. 3 Parasitic Inductance of SC and SCS]

List of Figures

[Fig. 1.1] Electric Vehicle Powertrain

[Fig. 1.2] Conventional DSC Power Module Structure

[Fig. 1.3] Three Vertical-Stacking Designs of Chip and Spacer in DSC

[Fig. 2.1] Overview of Material Properties for Si, SiC, and GaN

[Fig. 2.2] Configuration of Commercial Discrete Package

[Fig. 2.3] Configuration of Commercial SSC and Cross-Section

[Fig. 2.4] Configuration of Commercial DSC and Cross-Section

[Fig. 2.5] Thermal Resistance Measurement Methods and Setup]

[Fig. 3.1] Cross Sections of Three Vertical-Stacking Design Modeling

[Fig. 3.2] Quarter of Three Vertical-Stacking Models having Mesh

[Fig. 3.3] Chip Metallization

[Fig. 3.4] Temperature Contour of Three Vertical-Stacking Models

[Fig. 3.5] Maximum Temperature Graph

[Fig. 3.6] Thermal resistance graph

[Fig. 3.7] Temperature Contour of Chip, Left Si, Right SiC

[Fig. 3.8] Temperature Contour of Three Vertical-Stacking Models

[Fig. 3.9] Thermal Resistance and Maximum Temperature Graph

[Fig. 3.10] Distance between upper Substrate and Chip in Cross Section Enlarged View

[Fig. 3.11] CTE Mismatch in Power Module

[Fig. 3.12] Maximum Von-mises Stress Distribution Graph

[Fig. 3.13] Thermal Stress Tendency of Each Layer in SC Model

[Fig. 3.14] Comparison of Thermal Stress, Top Solder of Chip

[Fig. 3.15] Comparison of Thermal Stress of Each Layer for Si and SiC in SC model

[Fig. 3.16] Comparison of Thermal Stress for Si and SiC, Top Solder of Chip

[Fig. 4.1] Fabrication Steps and Isometric View of Samples

[Fig. 4.2] SAT Images, Each Layer of samples

[Fig. 4.3] I-V Curve Measurements for Random Samples

[Fig. 4.4] Experiment setup

[Fig. 4.5] The Results of First Experiment

[Fig. 4.6] The Results of Second Experiment

국문 요지

각종 환경 정책 및 규제 속에서 완성 차 업체들은 친환경 자동차의 발전과 보급을 선점하기 위해 앞다퉈 뛰어들고 있다. 특히 전기 자동차의 성능 및 효율 측면에서의 발전을 위해 동력계의 핵심 부품인 전력변환장치의 전력 밀도를 높이기 위해 많은 연구가 진행 중이다.

이러한 목표를 달성하는데 WBG(Wide Bandgap, WBG)반도체 소자가 크게 기여하고 있으며, 기존의 Si 반도체 소자와 비교하여 고전압, 소형화 등의 특징은 제한된 파워모듈 크기 내에서 많은 반도체 소자를 병렬화 함으로써 높은 전력 밀도를 가능하게 한다. 이와 더불어 기존의 단면 냉각 방식(Single-Sided cooling, SSC)의 파워모듈에 비해 양면에 냉각기를 적용한 양면 냉각(Double-Sided cooling, DSC) 파워모듈은 보다 낮은 열저항을 보여 높은 출력에도 대응이 가능한 방열 특성을 가지기에, 더 높은 전력 밀도를 달성할 수 있다.

하지만, 제한된 파워모듈 크기 내에서 전력 밀도를 높이는 것은 열적 문제를 야기할 수 있다. 이러한 열적 문제는 파워모듈이 서로 다른 열팽창 계수(Coeffi-cient of Thermal Expansion, CTE)를 가지는 다양한 소재를 적층 하여 제작되기 때문에, 특히 파워모듈의 신뢰성에 큰 문제를 야기할 수 있다.

따라서 본 논문은 양면 냉각 파워모듈인 DSC 내의 수직 적층 구조 개선을 통한 열 응력 저감 방안에 대해 연구했다. 기존 산업계에서 널리 채용되고 있는 구조 및 재료만을 이용한다는 제한조건 내에서 소자와 접합 층 그리고 스페이서의 수직방향 적층 순서를 변경하여 SC, SCS, CS 세 가지 모델을 제안했고, 유한 요소 해석 시뮬레이션과 실험을 통해 비교 분석하였다.

열 해석 결과, 스페이서 접촉 면적 증가에 따라 SC, SCS, CS 모델 순으로 낮은 Tj,max 값을 나타냈으며, 특히 반도체 소자가 중간에 위치한 SCS 모델이 Rth,j-c(btm)과 Rth,j-c(top)의 균형성 면에서 우수한 결과를 보였다. 또한, SC와 SCS 모델에 대한 추가 분석을 진행했다. 열 응력 해석 결과, SCS 모델은DSC 구조 내 가장 취약한 솔더 층의 열 응력을 효과적으로 개선했다. 원인을 열 분산 비율 균형성에 있다고 판단하였고, 제작 가능성을 고려해 SC와 SCS 모델의 DSC 구조 샘플을 제작하여, 시뮬레이션과 동일 조건에서 상면 및 하면의 열저항을 측정했다. 실험과 시뮬레이션 결과가 유사한 결과값과 경향성을 보임으로써 시뮬레이션의 타당성을 검증했다.

이 연구에서 제안된 열 분산 비율의 불균형을 고려한DSC 파워모듈 구조, SCS 모델은 열 응력을 개선하는 데 효과적임을 확인했다. 이러한 결과는 발열 문제로 인한 신뢰성 저하를 해결하는 데 효과적임을 확인할 수 있었다.

제1장 서 론

## 1.1 연구 배경 및 필요성

내연기관(Internal Combustion Engine, ICE) 자동차는 이산화탄소와 기타 온실가스를 배출하는 주요 원인 중 하나로, 지구 온난화를 가속한다. 따라서 세계적으로 ICE 자동차의 판매를 제한하거나 금지하는 정책을 발의하고 있다. 예를 들어, EU는 2035년까지 ICE 자동차의 판매를 사실상 금지하는 법안을 채택했다.[1] 이러한 사회적 배경에서 완성 차 업체들은 전기자동차(Electric Vehicles, EV)나 수소자동차(Fuel Cell Electric Vehicles, FCEV)와 같은 친환경적인 대체 기술의 발전과 보급을 선점하기 위해 앞다퉈 뛰어들고 있다.

xEV의 발전에는 동력계가 큰 비중을 차지한다. 그 중 EV의 동력계 주요 구성 요소는 [Fig. 1.1]과같이 이루어져 있으며 그 중 전력변환장치인 온보드차저(On-Board Charger, OBC)와 전력제어장치(Power Control Unit, PCU)에서 전력반도체는 핵심 부품이다. 전력반도체는 위와 같은 시스템에서 스위칭 동작을 통해 승압과 강압 또는 직류와 교류 변환을 수행한다. 일반 반도체에 비해 높은 내압과 신뢰성이 요구되기 때문에, 전력반도체 소자와 패키징 소재의 모듈 집적화를 통한 파워모듈 형태로 개발되고 있다.[2]

반도체 소자 측면에서 기존의 Si 반도체 소자와 비교하여 고온 동작, 고전압 및 빠른 스위칭 등의 장점을 보이는[3] 와이드 밴드 갭(Wide Bandgap, WBG) 반도체 소자를 사용한 파워모듈은 높은 전력 밀도를 보인다. 또한 WBG 반도체 소자의 작은 크기는 제한된 파워모듈 내에 여러 개의 소자를 병렬 화할 수 있게 함으로써 더 높은 전력 밀도를 가능하게 한다

패키징 측면에서 기존의 단면 냉각 방식(Single-Sided cooling, SSC)의 파워모듈을 양면에 적용한 양면 냉각(Double-Sided cooling, DSC) 파워모듈은 낮은 열저항을 보여 높은 출력을 가능하게 하며, 이에 따라 더 높은 전력 밀도를 달성하게 한다. 또한 단면 냉각 방식은 수평으로 냉각 시스템을 구성해야 하지만, DSC 파워모듈은 수직으로 쌓아 올린 구조로 냉각 시스템 설계가 가능하여 소형화를 실현할 수 있다. 따라서 WBG 반도체 소자와 함께 DSC 파워모듈의 사용은 높은 전력 밀도를 달성하는 데 기여하고 있으며 이러한 전력 밀도의 증가는 EV 시스템의 성능과 효율을 혁신적으로 향상하고 있다.

그러나 제한된 파워모듈 크기 내에서 전력 밀도를 증가시키는 것은 발열 문제를 초래할 수 있다. WBG 반도체 소자는 더욱 높은 온도에서 동작할 수 있으므로 소자 측면에서의 발열 관련 문제를 해결할 수 있지만, 솔더와 같은 접합 층 또는 스페이서와 같은 파워모듈 내의 다른 구성 요소에서 발열 관련 문제가 발생하게 된다. 이러한 발열 관련 문제는 서로 다른 열팽창 계수(Coefficient of Thermal Expansion, CTE)를 가지는 물질들의 적층 구조로 만들어진 파워모듈의 고장을 초래하며 이는 파워모듈에서 요구되는 신뢰성에 악영향을 준다. 따라서 이러한 발열 관련 문제에 따른 신뢰성 저하를 해결하기 위한 연구가 필요하다.

스크린샷, 텍스트이(가) 표시된 사진

자동 생성된 설명

[Fig. 1.1 Electric Vehicle Powertrain]

## 1.2 연구 목표

본 논문은 발열 관련 문제에 따른 신뢰성 저하를 해결하기 위해 기존 단면 냉각 방식의 파워모듈을 양면에 적용한 DSC 파워모듈을 대상으로 방열 성능을 개선 및 신뢰성 향상을 하고자 한다.

기본적인 DSC 파워모듈은 [Fig. 1.2]와 같이 구성되어 있다. 기존 연구에서는 DCS 파워모듈을 대상으로 발열 관련 문제에 따른 신뢰성 저하를 해결하기 위해 1. 신터링 혹은 TLP(Transient Liquid Phase, TLP)을 통한 접합 층 신뢰성 개선 2. Mo 혹은 MoCu 물질을 이용한 스페이서를 통한 신뢰성 개선 등 좋은 물성을 지닌 물질을 이용한 개선이 이루어졌다. 그러나 이러한 재료는 기본구조의 솔더, Cu 스페이서에 비해 고가라는 단점이 존재한다.[4]

따라서 본 논문에서는 종래의 구조 및 재료만을 이용한다는 제한조건 내에서 DSC 파워모듈의 구조변경에 따른 방열 성능 및 신뢰성의 추이를 확인할 예정이며 구조변경 방식은 간소화해서 표현한 [Fig. 1.3]과 같이 DSC 파워모듈 구조 내에서 소자와 접합 층 그리고 스페이서의 스택 순서를 변경하는 것으로 채택하였다.

[Fig. 1.3]의 세 가지 다른 모델을 대상을 3D 모델링한 뒤 유한 요소 해석 (Finite Element Method, FEM) 시뮬레이션을 통해 열적 성능과 기계적 응력 분포를 비교할 예정이고 이를 통해 어떠한 모델이 신뢰성 측면에서 우수한지 제안할 것이다. 또한 변경된 구조의 모델이 WBG 반도체 소자가 제공하는 고속 스위칭 이점에 악영향을 미치지 않는지 확인하기 위해 추가적인 FEM 시뮬레이션을 진행하여 세 가지 다른 모델을 대상으로 기생 인덕턴스 성분을 비교할 것이다. 최종적으로 제안한 모델의 유효성 및 타당성을 확보하기 위해 실제 샘플을 제작할 것이며 시뮬레이션과 같은 조건에서 해당 샘플을 대상으로 실험을 진행할 것이다. 최종적으로는 시뮬레이션 및 실험 결과 그리고 추가적인 제한조건을 종합하여 어떠한 스택 순서를 지닌 구조가 효과적인지에 대해 고찰할 것이다.

텍스트, 스크린샷, 라인, 직사각형이(가) 표시된 사진

자동 생성된 설명

[Fig. 1.2 Conventional DSC Power Module Structure]

스크린샷, 디자인, 텍스트, 책이(가) 표시된 사진

자동 생성된 설명

[Fig. 1.3 Three Vertical-Stacking Designs of Chip and Spacer in DSC]

제2장 이론적 배경

## 2.1 Wide Band Gap (WBG) 반도체

기존 Si 기반 전력반도체 소자는 항복전압, 작동 온도. 스위칭 속도 측면에서 한계를 보인다. 현재 상업용 Si IGBT의 항복전압은 최대 6.5kV 수준이며 스위칭 속도에서의 한계를 보인다. 더불어 어떠한 Si 기반 반도체 소자는 200°C 이상의 온도에서 작동이 불가하다. 이러한 물리적 한계는 전력 변환 기술의 효율성을 저해하며, 냉각 장치와 수동 소자와 같은 복잡하고 비용이 많이 드는 부수적인 시스템을 더욱 필요하게 한다.[5]

이러한 한계를 극복하기 위해 WBG 물질 기반 반도체 소자의 상용화를 위한 연구 및 개발을 진행 중이며 차세대 반도체 소재로 주목받고 있다. WBG 반도체 소자란 일반적으로 Si 반도체 소자보다 높은 밴드 갭을 가진 반도체 소자를 가리킨다. 밴드 갭이란 전도 대역과 비전도(가전자) 대역 사이 에너지 차이를 나타내며, 높은 밴드 갭은 높은 에너지 차이를 의미한다. 이는 밴드 갭 간에 이동 즉, 전기전도를 위해서는 더 높은 에너지가 필요하다는 것을 의미한다.

따라서 이는 높은 차단 전압 능력 즉, 항복전압이 높게끔 한다. 또한 높은 밴드 갭은 고온에서 안정하게 작동할 수 있게끔 한다. 따라서 더 높은 온도에서 작동을 허용한다. 마지막으로 높은 에너지 차이는 전자를 빠르게 가속 및 정지할 수 있으며 이는 빠른 스위칭 속도를 가능하게 한다.

그 중 많은 연구가 진행되고 차세대 반도체 소재로 주목받는 물질로는 SiC와 GaN이 있다. 밴드 갭 너비, 불순물의 농도, 결정구조 등 복합적인 작용으로 이 두 물질은 높은 항복전압, 높은 작동 온도, 빠른 스위칭 속도와 같은 물성을 보인다. [Fig. 2.1]은 Si 대비 SiC와 GaN 반도체 소자들의 몇 가지 물질 특성들을 나타낸다. 추가로 이러한 우수한 특성(고전압, 고전류, 고온 동작)은 WBG 반도체 소자를 소형화(두께. 너비 측면)할 수 있게 해준다.

특히 고전압, 고전류, 고온 동작 특성과 더불어 높은 열전도도 특성을 가지는 SiC 반도체 소자는 고전력 및 고주파 응용 분야에서 주목받고 있다. 더불어 에피택셜 성장 기술의 발전으로 넓고 높은 품질의 웨이퍼를 생산할 수 있게 되어 대량 생산을 통한 원가 절감을 통해 점차 Si 반도체 소자를 대체하고 있다.

스크린샷, 텍스트, 도표, 디자인이(가) 표시된 사진

자동 생성된 설명

[Fig. 2.1 Overview of Material Properties for Si, SiC, and GaN]

## 2.2 파워모듈

전력반도체는 전기 기기의 전력 변환에 필요한 스위칭 소자로, 전기차, 태양광 발전 시스템, 풍력 발전 시스템 등 사용되는 시스템에 따라 고전압, 고전류, 고온 등의 열악한 환경에서도 높은 신뢰성을 유지해야 하는 전자부품이다. 열악한 환경에서 동작하는 전력반도체는 디스크리트 패키지[Fig 2.2]보다 더 높은 수준의 전력 변환 효율, 방열 성능, 전기적 절연 성능 등이 필요하다. 이를 달성하기 위해 여러 이종 소재를 접합하여 하나의 모듈 화된 부품으로 만든 것을 파워모듈 패키지[Fig 2.3]라고 한다.

파워모듈은 우선 세 가지의 메인 부품인 전력반도체 소자, 금속 패턴의 절연기판, 접합 물질로 구성된다. 전력반도체 소자에는 IGBT, FRED, MOSFET 등이 있고 절연기판에는 금, 은, 구리 등의 금속 패턴을 가진 세라믹 혹은 Si 기반 기판 마지막으로는 솔더링, 신터링, TLP 등의 방식을 이용한 접합 물질들이 있다. 서브 부품으로는 외부로부터의 보호를 위한 Encapsulant, 소자 간의 전기적 연결을 위한 와이어, 외부와의 전기적 연결을 위한 터미널 등이 존재한다.[6]

파워모듈은 냉각 방식에 따라 단면 냉각 모듈과 양면 냉각 모듈로 구분된다. 단면 냉각 모듈의 상용 제품의 모습과 단면 모습은 [Fig 2.4]에 나타나 있고 양면 냉각 모듈의 상용 제품의 모습과 단면 모습은 [Fig 2.5]에 나타나 있다.

양면 냉각 모듈에 스페이서의 역할은 상하부의 기판 사이의 충분한 공간을 제공하여, 몰딩 공정 시 원활한 충전을 위함과 스위칭 동작 시 전기장의 세기를 조절하여 부분 방전과 같은 사고를 대책하기 위함에 있다.[7,8] 양면 냉각 모듈에서는 단면 냉각 모듈과 달리 게이트 신호를 위한 와이어 제외하고는 와이어를 통한 전류의 경로가 형성되지 않아 기생 인덕턴스가 감소하게 된다. 또한 소자 상하부 모두 열전달을 위한 경로로 사용되므로, 동일 정격의 단면 냉각 모듈 대비 약 18%의 열저항 감소의 효과를 보인다.[9]

전자제품, 회로 구성요소, 튜브이(가) 표시된 사진

자동 생성된 설명

[Fig. 2.2 Configuration of Commercial [10] Discrete Package]

텍스트, 스크린샷, 플래시 메모리이(가) 표시된 사진

자동 생성된 설명스크린샷이(가) 표시된 사진

자동 생성된 설명

[Fig. 2.4 Configuration of Commercial [10] DSC and Cross-Section]

[Fig. 2.3 Configuration of Commercial [10] SSC and Cross-Section]

## 2.3 파워모듈 Qualification

자동차 산업에서 파워모듈의 Qualification을 위한 가이드라인으로 ‘AQG324’를 채택하고 있다. ‘AQG324’는 자동차 시장에서 활동하고 있는 ECPE 회원사로 구성된 'Automotive Power Module Qualification'에 의해 작성되었으며, ECPE와 ZVEI 협회 공동으로 독일의 자동차 OEM 업체들과 전력전자 산업의 대표 업체들이 함께 고안한 LV 324에 기반하는 가이드라인으로 현재 알려진 고장 메커니즘 및 자동차 주행 프로파일을 기반으로 동차 산업에서 사용하기 위한 파워모듈의 특성 및 수명을 검증하는 역할을 한다.[11]

검증 단계로는 QM – Module test(모듈 검증), QC - Characterizing module testing(모듈 특성 검증), QE - Environmental testing(환경 검증), QL - Lifetime testing(수명 검증)으로 이루어져 있다. QM은 모듈 제작이 파워 반도체 칩 자체에 영향을 주었는지, QC는 제작된 모듈이 전기적, 기계적으로 어떠한 특성을 보이는지, QE는 제작된 모듈이 자동차 구동 환경에 적합한지, QL은 제작된 모듈에 전형적인 파워모듈의 고장 메커니즘을 촉진하였을 때 수명의 양상이 어떠한 지를 확인하는 역할을 한다.

QC 즉, 모듈 특성 검증에는 열 저항 측정 방법이 정의되어 있다. 열저항은 물질이나 물체가 열을 전도하는 능력을 나타내는 물리적인 속성으로 열저항이 크면 물질이나 물체 내 열의 흐름이 크지 않음을 의미 즉, 열 성능이 좋지 못함을 의미한다.

측정 방법은 단면 냉각 모듈의 Rth,j-c, Rth.j-s, Rthj-f 3개 그리고 양면 냉각 모듈의 Rth.j-s 1개 총 4개로 구성된다[Fig 2.5]. j는 Junction으로 Tj는 파워모듈 내 반도체 칩의 온도, c는 Case로 Tc는 파워모듈의 외부 케이스온도, s는 Sink로 Ts는 파워모듈이 실장 된 히트 싱크의 온도, 마지막으로 f는 Fluid로 Tf는 냉각 시스템에 직접 접촉된 경우의 냉각수 온도를 의미한다.

Tc, s, f는 온도 센서로 직접적인 측정을 수행하게 되어 있다. 하지만 Tj, 파워모듈 내부의 칩 온도는 직접 측정이 어려우므로 TSEP(Temperature Sensitive Electrical Parameter, TSEP)을 통한 가상온도 Tvj를 측정하게 되어 있다. 권고되는 파라미터는 IGBT의 경우 VCE.sat, MOSFET의 경우 바디 다이오드의 VF.SD, 다이오드의 경우 VF이다. 최종적으로 측정된 가상온도 Tvj와 Tc, s, f 그리고 열류량 P를 통해 열 저항 Rth,j-c, s, f를 식[1-4]에 따라 정의하고 이 값은 특정 파워모듈의 기계적인 특성을 나타내는 값으로 사용되게 된다.

[식1]

[식2]

[식3]

[식4]

텍스트, 도표, 스크린샷, 평면도이(가) 표시된 사진

자동 생성된 설명

[Fig. 2.5 Thermal Resistance Measurement Methods and Setup][11]

제3장 시뮬레이션

실제 샘플을 제작하기에 앞서 상용 프로그램인 ANSYS Workbench 내 Spaceclaim을 사용해 3D 모델링을, Mechanical Steady-State Thermal Analysis와 Steady-State Structure Analysis을 사용해 FEM 시뮬레이션을 진행했다.

## 3.1 3D 모델링

DSC 파워모듈의 구조 내에서 반도체 소자, 접합 층, 그리고 스페이서의 적층 순서를 변경함으로써, [Fig. 3.1]에 표시된 세 가지 모델을 사용하여 시뮬레이션 후 분석을 진행했다.

중첩 효과의 영향을 배제하기 위해, 구조는 단일 반도체 소자로 구성하였고, 게이트 신호를 위한 와이어의 영향을 배제하기 위해, MOSFET이나 IGBT가 아닌 Diode를 사용했다. 최종적으로 각 모델은 절연기판, 반도체 소자, 접합 물질, 스페이서로 구성되어 있다.

책, 디자인이(가) 표시된 사진

자동 생성된 설명

[Fig. 3.1 Cross Sections of Three Vertical-Stacking Design Modeling]

## 3.2 Mesh 및 Boundary Condition

상충 관계인 시뮬레이션의 정확도와 시간을 모두 확보하기 위해 1/4 모델을 이용했으며 각각 모델 Mesh 형상을 [Fig. 3.2]에, Mesh 절점 수와 요소 수를 [Table. 1]에 나타냈다.

|  |  |  |
| --- | --- | --- |
| Model | Nodes | Elements |
| SC | 1859827 | 451548 |
| SCS | 1859827 | 451548 |
| CS | 1912621 | 464504 |

[Table. 1 Number of Nodes and Elements]

앞서 설정한 연구 목표에 따라, 기본구조의 재료를 사용하기 위해, 접합 물질로는 솔더(Sn-0.7Cu-0.06 Ni-P)를, 스페이서의 물성치로는 Cu(C1100)를 각각 사용했다. 또한 세 가지 동일한 모델에서 Si 반도체 소자와 WBG 물질인 SiC 반도체 소자를 비교하기 위해, Diode의 물성치로 Si와 SiC 모두를 사용했다. 이외의 해석에 적용된 물성치에 대한 정보는 [Table. 2]에 나타냈다.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Structure | Material | Young's Modulus ,GPa | Poisson's ratio | CTE ,ppm/℃ | Thermal Conductivity ,W/mK | Density ,g/cm3 |
| Substrate | Cu | 130 | 0.34 | 16.5 | 388 | 8.90 |
| AlN | 320 | 0.27 | 4.5 | 170 | 3.30 |
| Cu | 130 | 0.34 | 16.5 | 388 | 8.90 |
| Adhesive | Solder | 54.5 | 0.35 | 24.4 | 68 | 7.30 |
| Spacer | Cu, C1100 | 115 | 0.33 | 17.7 | 388 | 8.89 |
| Die | Si | 165 | 0.27 | 2.6 | 135 | 2.33 |
| SiC | 410 | 0.14 | 4.5 | 353.3 | 3.20 |
| Encapsulation | Epoxy | 9.17 | 0.23 | 0.29 | 0.8 | 1.68 |

[Table. 2 Material Properties]

3D 모델링을 수행할 때 반영한 Si 반도체 소자의 데이터 시트에 따라 소자에 충분한 열을 발생시킬 수 있는 가열 전류를 정격 전류로 설정했다. 이 정격 전류를 바탕으로 RT(Room Temperature, RT)에서의 I-V 곡선으로 전압 강하(VF) 값을 추출하여 30W의 발열량을 계산했다. 또한 실제 발열 상황을 묘사하기 위해 소자의 Active Region을 고려해 발열을 인가했다.

SiC 반도체 소자의 경우 열적 물성이 다르므로, 동일 발열 조건 내에서 구조의 열 해석 및 열 응력 해석을 위해, 반도체 소자의 중심에서 비슷한 Tj,max를 얻을 수 있게끔 Active Region에 인가하는 발열량의 변화가 필요하다. 즉, 두 종류의 반도체 소자를 비교함에 있어서 전력밀도는 일정하지 않다.

또한 강제 순환식 수냉 방식을 묘사하기 위해 양면의 절연기판에 3000W/m2℃의 Convection을 인가했다.

Steady-State Thermal Analysis의 결과값을 기반으로 Steady-State Structure Analysis로 열 응력 해석을 진행하였으며 과도한 구속조건으로 인한 영향을 배제하기 위해 Weak spring을 인가해 열 응력 해석을 진행했다.

상자, 매트리스, 디자인이(가) 표시된 사진

자동 생성된 설명

[Fig. 3.2 Quarter of Three Vertical-Stacking Models having Mesh]

## 3.3 Steady-State Thermal Analysis

구조만의 영향을 비교하기 위해, 열 해석 결과 분석을 Si 반도체 소자일 때의 세 가지 모델에 대한 열 해석 비교, SiC 반도체 소자일 때의 세 가지 모델에 대한 열 해석 비교 순으로 진행했다.

# 3.3.1 Si

텍스트, 스크린샷, 폰트, 직사각형이(가) 표시된 사진

자동 생성된 설명[Fig. 3.3]과같이 반도체 소자의 Metallization에 영향으로 반도체 소자 상면과 하면에 부착할 수 있는 면적이 차이 나게 된다. Heat Spreading 효과에 의해 면적이 클수록 동일 발열 및 방열 조건에서, 더욱더 많은 열을 제거할 수 있다. 이와 더불어 열전도율이 높은 Cu 소재의 Spacer는 Heat Spreading 효과를 극대화하게 된다.

[Fig. 3.3 Chip Metallization]

이는 열 해석 시뮬레이션 결과는 [Fig. 3.4]와 [Fig. 3.5] 로 확인할 수 있다. 가장 큰 면적의 Adhesive와 Spacer를 부착할 수 있는 CS 모델에서 동일 발열 및 방열 조건에서 가장 낮은 온도를 보이고 가장 작은 면적의 Adhesive와 Spacer를 부착할 수 있는 SC 모델에서 가장 큰 온도를 보인다.

상면과 하면에 스페이서가 붙어 있는 SCS 모델은 열이 병렬로 전달되는 구조를 가지기 때문에, CS 모델과 SC 모델의 접촉 면적이 중간 수준이라고 볼 수 있다. 이에 따라 시뮬레이션 결과 SCS 모델은 CS 모델보다는 온도가 높고, SC 모델보다는 온도가 낮게 나타난다.

추가적으로 [Fig 3,6]에서 보듯, Tj,max의 감소로 동일 발열 및 방열 조건에서 SC-SCS-CS 모델 순으로 열저항이 감소하는 경향을 보인다. 그러나, 반도체 소자 상면 혹은 하면에만 부착된 Spacer의 존재로 인해 SC 모델과 CS 모델에서는 Rth,j-c(top)와 Rth,j-c(btm)사이의 불균형이 존재한다.

다채로움, 스크린샷, 그래픽, 패턴이(가) 표시된 사진

자동 생성된 설명



65.7

60

55

50

45

40

35

30

[Fig. 3.4 Temperature Contour of Three Vertical-Stacking Models]

텍스트, 라인, 스크린샷, 그래프이(가) 표시된 사진

자동 생성된 설명

[Fig. 3.5 Maximum Temperature Graph]



[Fig. 3.6 Thermal resistance graph]

# 3.3.2 Si vs SiC

[Fig 3.7]에서 보듯, SiC는 Si 대비 높은 열전도도 특성을 보이므로 수평 방향의 열저항이 낮아 소자의 중심부에서 경계부로 더 많은 열이 전달된다. 이 영향으로 [Fig 3.8]에서 나타난 것처럼 파워모듈 내부에 열 분포가 확산한 것을 확인할 수 있다.

다채로움, 스크린샷, 무지개, 그래픽이(가) 표시된 사진

자동 생성된 설명

[Fig. 3.7 Temperature Contour of Chip, Left Si, Right SiC]

다채로움, 스크린샷, 그래픽, 패턴이(가) 표시된 사진

자동 생성된 설명



65.7

60

55

50

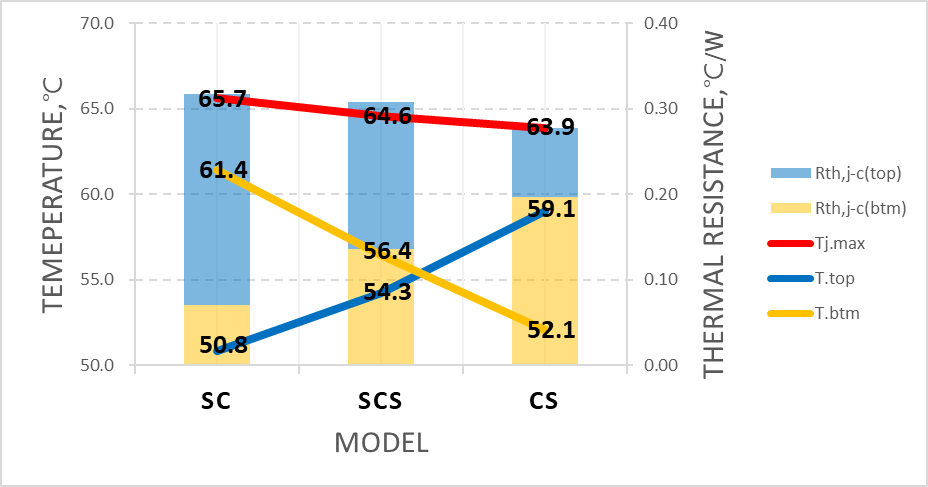
45

40

35

30

[Fig. 3.8 Temperature Contour of Three Vertical-Stacking Models]

Si 소자와 마찬가지로, Tj,max의 감소로 동일 발열 및 방열 조건에서 SC-SCS-CS 모델 순으로 열저항이 감소하는 경향을 [Fig 3.9]에서 확인할 수 있고 SC 모델과 CS 모델에서는 Rth,j-c(top)와 Rth,j-c(btm)사이의 불균형이 존재하는 것을 보인다.

[Fig. 3.9 Thermal Resistance and Maximum Temperature Graph]

# 3.3.3 분석

열 해석 결과, Tj,max나 열 저항 측면에서 보았을 때 CS 모델이 가장 합리적으로 보이나, 해당 모델은 실제로 제작하기 힘든 여러 가지 문제가 존재한다. [Fig. 3.10]에서 보듯, CS 모델은 상면의 절연기판과 반도체 소자 사이의 충분한 공간이 존재하지 않는다.

첫째, Diode를 제외한 MOSFET, IGBT와 같은 다른 반도체 소자들은 게이트 신호를 위한 와이어 공정이 필요로 한데, 불충분한 공간은 이를 어렵게 한다. 둘째, 파워모듈 내의 절연을 위해 주입되는 Encapsulant의 경우, 불충분한 공간은 공정의 방해 요소로 작용해 Void와 같은 결함이 발생하기 쉬워진다. 더 나아가 상부의 절연기판과의 근접한 거리는 강한 전계를 형성하며[12], 이는 앞서 언급한 문제와 결합해 부정적인 영향을 더욱 가중시키게 된다.

SCS 모델은 기본구조인 SC 모델 대비 Tj,max나 열 저항 측면에서 감소 효과를 보이며 Rth,j-c(top)와 Rth,j-c(btm)사이의 균형을 보인다.

스크린샷, 텍스트, 도표, 직사각형이(가) 표시된 사진

자동 생성된 설명

[Fig. 3.10 Distance between upper Substrate and Chip

in Cross Section Enlarged View]

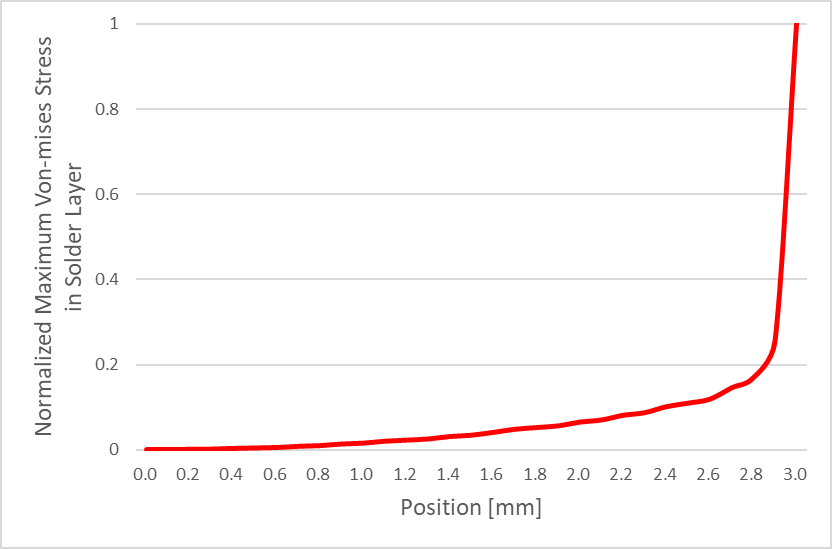
## 3.4 Steady-State Structure Analysis

앞서 설명한 바와 같이 실제적으로 불가능한 CS 모델을 제외한 나머지 두모델만 열 해석 결과로 열 응력 해석을 진행했다. 구조만의 영향을 비교하기 위해, 열 응력 해석 결과 분석을 Si 반도체 소자일 때의 두 가지 모델에 대한 열 응력 해석 비교, SiC 반도체 소자일 때의 두 가지 모델에 대한 열 응력 해석 비교 순으로 진행했다. 다음으로 구조적인 영향을 배제한 뒤 반도체 소자만의 영향을 비교하기 위해 동일 구조모델의 Si 반도체 소자와 SiC 반도체 소자의 결과를 두 가지 모델에 대해 비교했다.

# 3.4.1 Si

[Fig. 3.11]에서 볼 수 있듯이, 솔더 층은 파워모듈 내부 다른 층들과 비교했을 때 CTE(Coefficient of Thermal Expansion, CTE)의 불일치가 가장 크게 나타나며, 이로 인해 파워모듈 내에서 가장 취약한 부분으로 여겨진다. [Fig. 3.12]에서 보이듯, 솔더 내부의 열응력은 중심에서 가장자리로 갈수록 증가하는 경향이 있고, 이는 솔더 층에서 발생할 수 있는 크랙이 가장자리에서 중심으로 퍼져 나가는 현상을 설명해준다.

기본 구조의 DSC 파워모듈의 경우, 세개의 솔더 층이 존재한다. 그 중 스페이서와 반도체 소자 사이에 위치한 중간 솔더 층에 가장 큰 응력이 발생하는 고장 유발 부위로 판단된다.[13]

텍스트, 스크린샷, 디자인이(가) 표시된 사진

자동 생성된 설명

[Fig. 3.12 Maximum Von-mises Stress Distribution Graph]

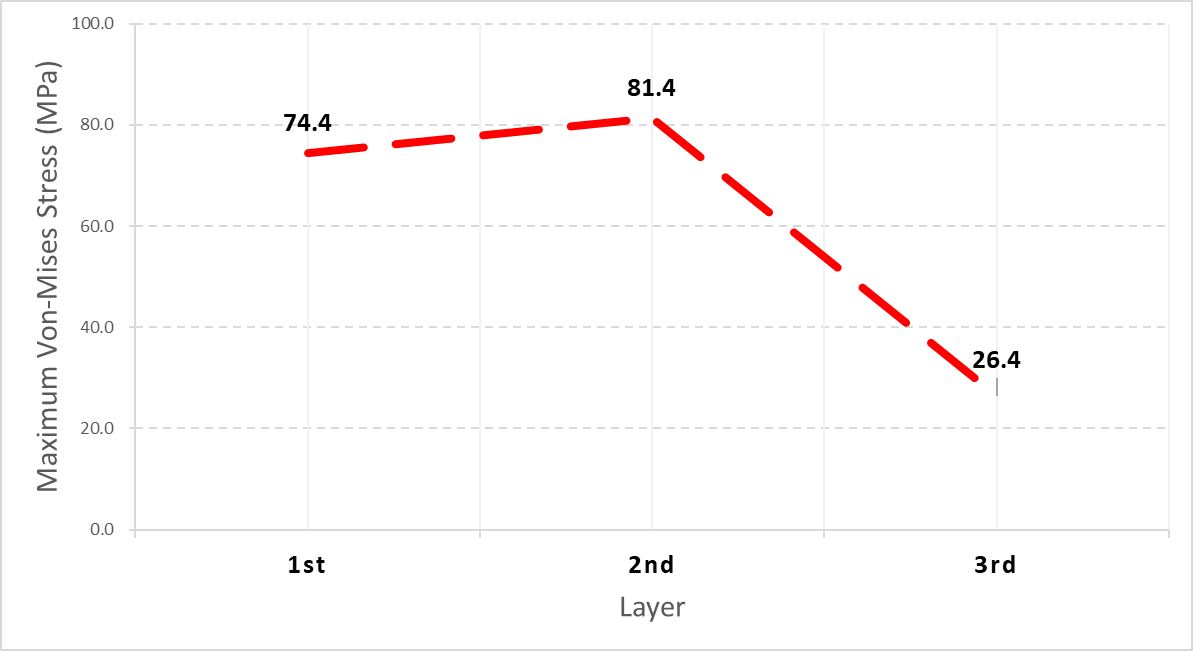
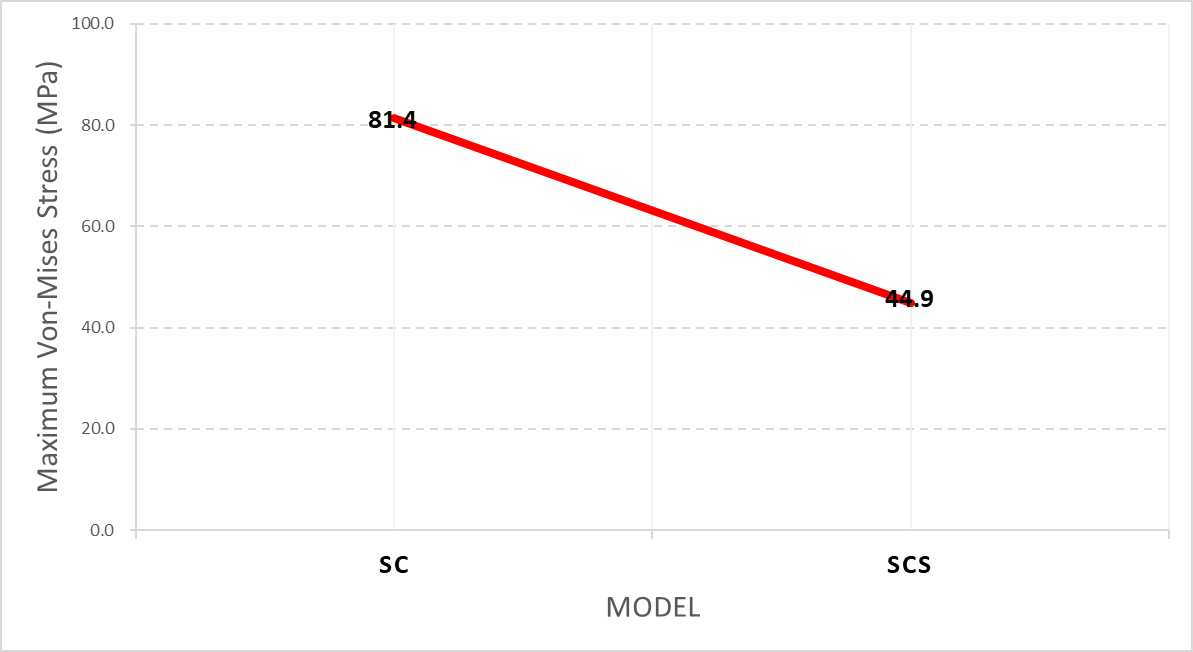
[Fig. 3.11 CTE Mismatch in Power Module]

절연 기판과 반도체 소자 사이에 위치한 솔더 층은 중간 솔더 층과 유사한 수준의 CTE 불일치를 나타내지만, 3.3의 열 해석 결과와 Hooke의 법칙을 이용해 1차 선형가정의 [식5]을 기반으로 열응력을 분석한 결과, Rth,j-c(btm)에 비해 상대적으로 높은 Rth,j-c(top)으로 인해 중간 솔더 층에서 더 큰 온도 차이(ΔT)를 보이기에 이러한 현상을 가중시키는 것으로 보인다. α는 열팽창계수, ε은 열변형율, σ는 열 응력, E는 탄성계수를 나타낸다.

이는 DSC 파워모듈의 기본구조라고 할 수 있는 SC 모델의 열 응력 해석 결과를 나타낸 [Fig. 3.13]에서 확인할 수 있다.

반면 SC 모델과 비교했을 때, [Fig. 3.14]에서 보이 듯, 같은 발열과 방열 조건 하에서 낮은 Tj,max를 보이며 Rth,j-c(btm)과 Rth,j-c(top)의 균형을 이룬 SCS 모델은 모델 내부의 가장 취약한 반도체 소자 위, 중간 솔더 층의 열 응력이 개선됨을 확인 할 수 있다.

[식5]



[Fig. 3.14 Comparison of Thermal Stress, Top Solder of Chip]

[Fig. 3.13 Thermal Stress Tendency of Each Layer in SC Model]

# 3.4.2 Si vs SiC

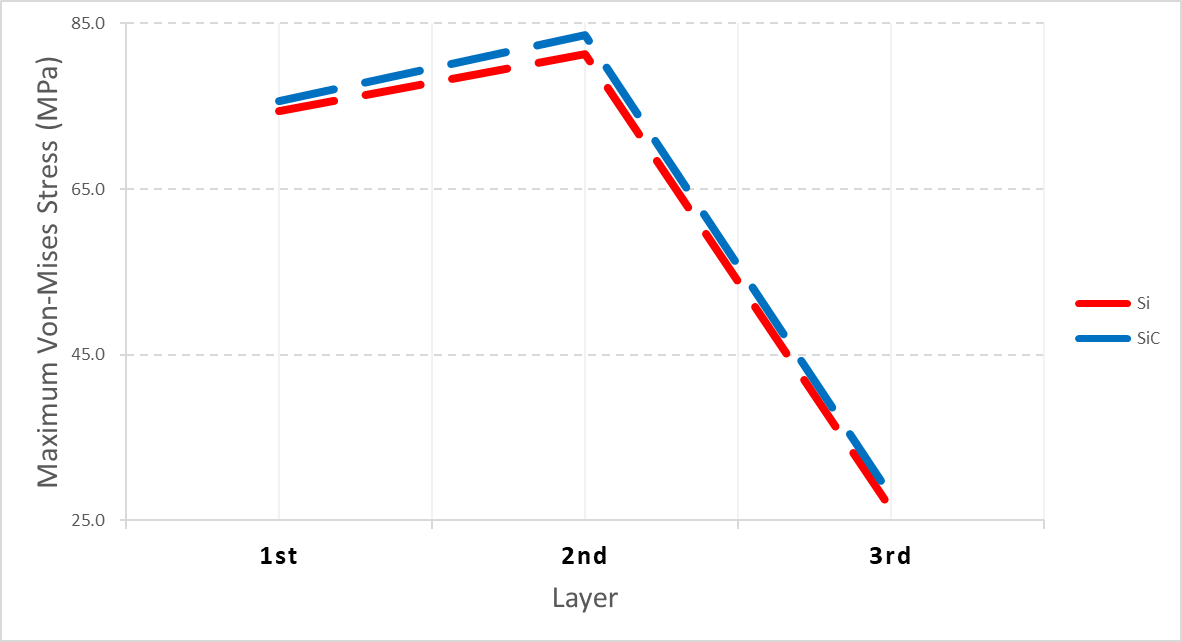
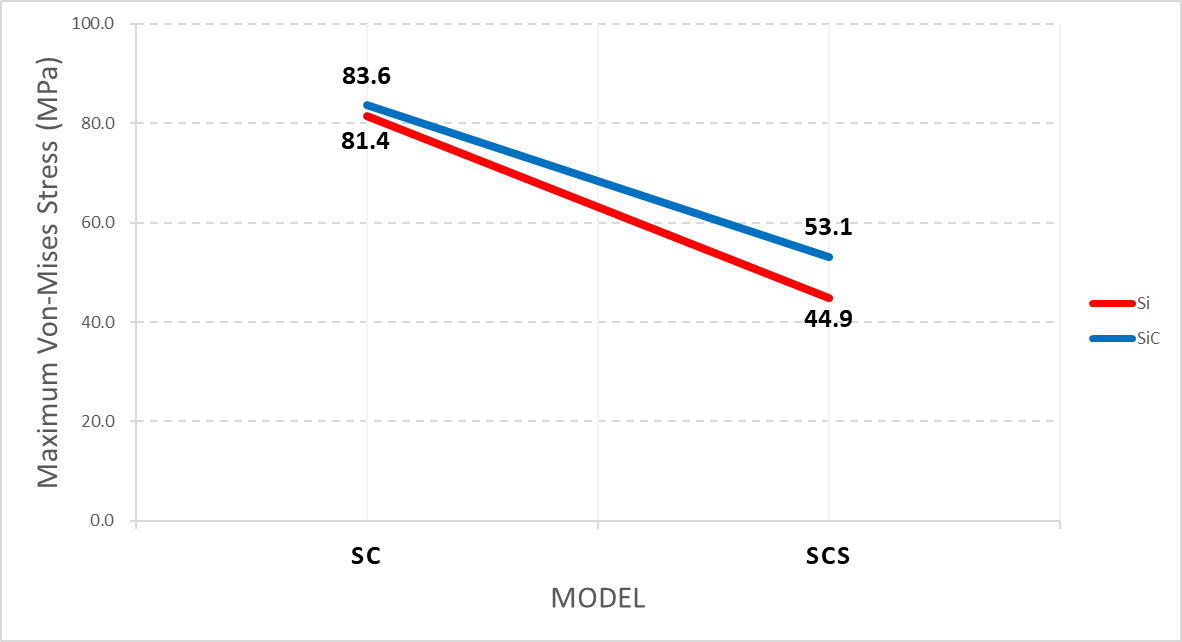
3.3절의 열해석에서 언급된 바와 같이, SiC는 Si에 비해 높은 열전도율을 보인다. 따라서 수평 열저항이 낮아져 반도체 소자의 중앙에서 발생하는 열이 소자의 경계 부분으로 더 많이 전달된다. 즉, Si 소자에 비해 SiC에서는 경계 부분에서 더 큰 열팽창이 일어난다는 것을 의미한다.

또한 SiC는 Si보다 더 높은 탄성계수(E)를 가진다. 이는 선형적인 가정 하에 [식6]으로 분석해 보았을 때, 비슷한 열변형율과 기계변형율에서 SiC는 Si에 비해 더욱 큰 응력이 발생함을 확인할 수 있다.[14] 이는 기존 기본구조의 SC모델을 사용할 경우 더욱 큰 고장 위험에 노출시키며, 신뢰성의 문제로 이어질 수 있음을 시사한다. εt는 열변형율을 εm은 기계변형율을 나타낸다.

[식6]

이는 기본 구조인 SC 모델에서 Si와 SiC를 비교한 [Fig. 3.15]에서 볼 수 있듯이, 솔더 층 전체에 걸쳐 응력이 증가하는 것을 보인다.

Si 모델과 마찬가지로, SC 모델 대비, [Fig. 3.16]에서 보이듯, 같은 발열 및 방열 조건에서 낮은 Tj,max를 보이며 Rth,j-c(btm)과 Rth,j-c(top)의 균형을 이룬 SCS 모델은 모델 내부의 가장 취약한 반도체 소자 위, 중간 솔더 층의 열 응력이 개선됨을 확인 할 수 있다.



[Fig. 3.16 Comparison of Thermal Stress for Si and SiC Top Solder of Chip]

[Fig. 3.15 Comparison of Thermal Stress of Each Layer for Si and SiC in SC model]

# 3.4.3 분석

물성적으로 Si에 비해 SiC는 더 높은 전력 밀도를 달성할 수 있지만, 동일한 Tj,max 조건에서 열응력 측면에서 더 취약한 면모를 보인다. 또한, SiC가 더 높은 온도 환경에서 동작할 수 있다는 점을 고려할 때, SCS 모델과 같이 수직 방향의 적층 구조를 변경하는 방식을 이용해 열적 및 열응력적 측면에서의 개선이 더욱 필요하다.

## 3.5 Parasitic Inductance Extraction

파워모듈 내부의 기생 인덕턴스는 스위칭 특성, 즉 동적 특성에 중대한 영향을 미친다. 기생 인덕턴스의 증감에 따라, 전압 및 전류 스위칭 파형의 오버슈트 혹은 오실레이션이 변화하는 결과를 가져오며 이는 본래 설계한 시스템의 오작동에 영향을 주게 된다.[15] 특히 고속 스위칭이 가능한 SiC 반도체 소자의 경우, 기생 인덕턴스의 변화는 Si 소자에 비해 훨씬 큰 영향을 끼친다. 이는 고속 스위칭 동안 발생하는 전압과 전류 변화가 더욱 민감하기 때문이며, SiC 소자를 사용하는 시스템에서는 기생 인덕턴스 관련 설계가 특히 중요하다.

앞선FEM 해석 결과, 열적 및 열 응력 감소 측면에서 효과적인 것으로 평가된 수직 적층 구조 변경이 파워모듈 내의 기생 인덕턴스, 즉 자기 및 상호 인덕턴스에 미치는 영향을 분석하기 위해, ANSYS Q3D Extractor를 사용하여 해당 모델의 기생 인덕턴스를 추출하였다. 이 결과는 [Table. 3]에 나타난 바와 같이 매우 미미한 차이를 보이고, 이는 수직 적층 구조 변경이 시스템 내 기생 인덕턴스에 큰 영향을 주지 않음을 의미한다.

|  |  |  |  |
| --- | --- | --- | --- |
| Model | L Btm-Out (nH) | L Top-In (nH) | Total (nH) |
|
| SC | 13.38 | 13.48 | 13.43 |
| SCS | 13.28 | 13.5 | 13.39 |

[Table. 3 Parasitic Inductance of SC and SCS]

제4장 실험 방법 및 결과

3장의 시뮬레이션 결과의 유효성 및 타당성을 확보하기 위해 실제 샘플을 제작해 시뮬레이션과 같은 조건에서 해당 샘플을 대상으로 실험을 진행했다. 2.3절에서 언급된 파워모듈 Qualification 'AQG 324'에 따라, 시뮬레이션 검증 및 샘플 검증 과정은 QM(모듈 검증)과 QC(모듈 특성 검증)을 중심으로 진행했다.

샘플 제작에 앞서 이론적 배경에서 언급된 바와 같이, WBG 소자인 SiC는 Si에 비해 우수한 물성을 가지고 있어, 두께와 너비 면에서 소형화 할 수 있지만, 반도체 제조 과정에서 결정 성장과 관련해 성숙도가 상대적으로 낮아 현재 제조되는 SiC 반도체 소자의 두께는 Si 소자보다 두꺼운 편이다. 또한, 소자의 크기에 영향을 미치는 정격과 관련하여 Si와 SiC는 대상 정격이 다르므로 실제로 동일 정격임에 동시에 동일 크기의 소자를 실제 구하는데 있어서 어려움이 있다.[16]

따라서 Si 및 SiC 반도체 소자에 관한 시뮬레이션 결과의 전반적인 유효성과 타당성을 확인하기 위해, 유사한 경향을 보이지만 열적 및 열 응력 측면에서 더 악화된 현상을 나타내는 SiC 반도체 소자의 결과를 포함할 수 있는 Si 반도체 소자를 대상으로 샘플을 제작했다.

또한 3.3절에서 언급한 내용과 같이 실제적으로 제작이 불가능한 CS 모델을 제외한 나머지 두 모델, SC, SCS 모델에 대해서 제작 및 실험을 진행했다.

## 4.1 샘플 제작

제작 순서로는 우선 (a) 외부 정렬 맞추기 위한 지그에, 하면의 절연 기판 위엔 솔더와 반도체 소자 그리고 리드프레임을 상면의 절연 기판 위엔 솔더와 스페이서 그리고 리드프레임을 실장시켰다. 반도체 소자와 스페이서와 같은 내부 정렬의 경우 단일 소자로 제작했기에 프리폼 솔더를 이용한 Self-alignment 효과를 이용했다. 이후 Void를 최소화하기 위해 진공 리플로우 설비를 이용해 (b) 1차 솔더링을 진행하였고 (c) 상하면의 절연 기판을 포개 2차 스택 솔더링을 진행했다. 마지막으로 제작된 샘플의 외곽을 따라 가이드라인을 설치하고, 매뉴얼로 에폭시를 주입한 뒤 큐어링 오븐을 통해 경화시켜 Encapsulation 작업을 완료했다.

SCS 모델의 경우 1차 솔더링 과정에서 하면 절연기판과 반도체 소자 사이에 스페이서를 추가로 위치시켜 제작하였다.

**스크린샷, 텍스트이(가) 표시된 사진

자동 생성된 설명**

[Fig. 4.1 Fabrication Steps and Isometric View of Samples]

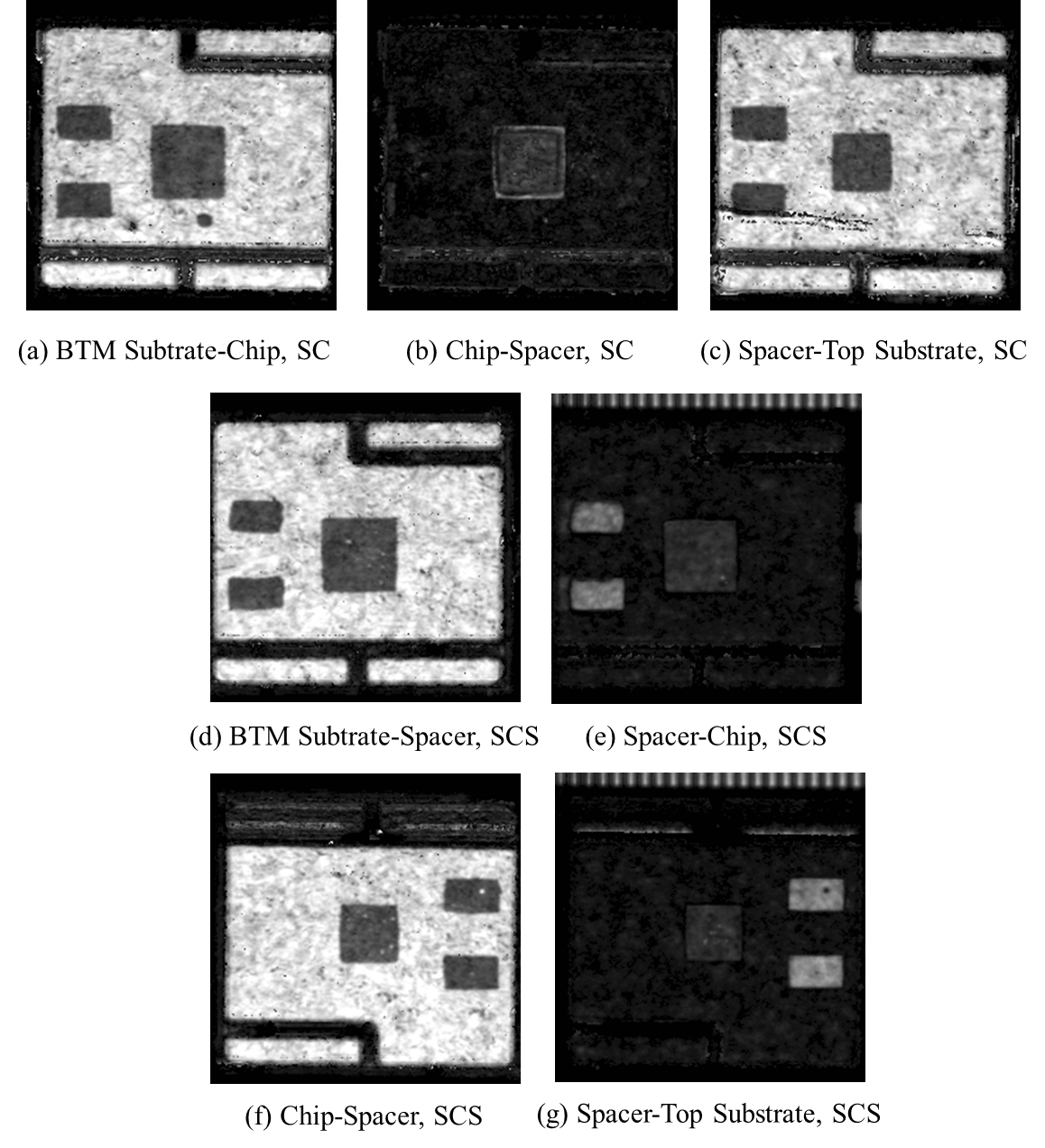
## 4.2 모듈 검증(QM)

결함이 없는 DUT(Device Under Test), 즉 제작된 샘플만이 시뮬레이션 유효성 검증의 대상이 되게끔. 전기적 및 기계적 특성을 확인하는 QM 검증을 진행했다. QM의 방법은 2.3에서 언급한 ‘AQG324’를 참고해 구성했다.

# 4.2.1 Testing Interconnection Layers

Adhesive 즉, 접합 층의 품질을 확인하는 절차로, Void, Delamination 또는 Crack으로 인한 열화 가능성을 사전에 SAT(Scanning Acoustic Tomography, SAT)와 같은 장비를 통해 기록하는 절차이다.

Void의 판단 기준은 Single-Void(기공)가 전체 면적의 3%이하 Multi-Void(다공)의 합이 전체 면적의 5%이하를 충족했을 때, 결함이 없다고 판단하였다. [Fig. 4.2]에서 확인할 수 있듯, Delamination 또는 Crack은 발견되지 않았고 Void 또한 판단 기준을 충족함을 확인하였다.

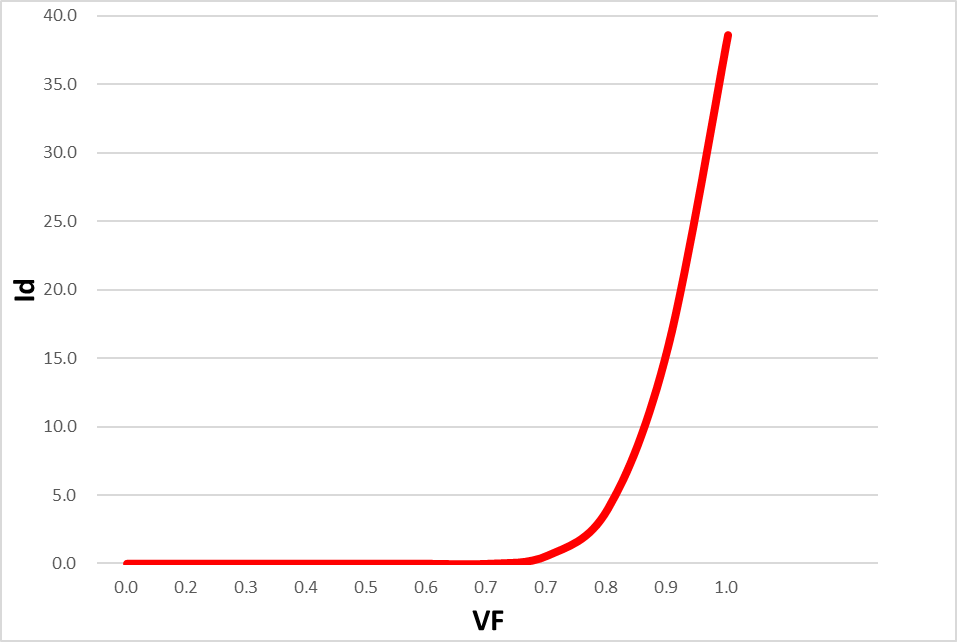


[Fig. 4.2 SAT Images, Each Layer of samples]

# 4.2.2 VF

VF은 RT와 Tj,max에서 결정되어야 하고, Self-heating을 가능한 낮게 유지하기 위해 펄스 동작으로 순방향 전압, VF를 결정해야 한다. 실험 장비의 한계로, RT에서만 Tektronix 사의 371B High Power Curve Tracer를 이용해 측정을 진행했다.

[Fig. 4.3]에서 확인하듯, 제작된 샘플 모두 I-V곡선에 문제가 발생하지 않은 것으로 보아 샘플 제작 상의 오픈 서킷, 쇼트 서킷, 반도체 소자 내부 손상과 같은 결함이 발생하지 않음을 확인할 수 있다.

****

[Fig. 4.3 I-V Curve Measurements for Random Sample]

## 4.3 열 저항 측정(QC)

열 해석 및 열 응력 해석 시뮬레이션 결과 동일 발열 및 방열 조건에서 기존 구조인 SC 모델 대비 SCS 모델은 낮은 Tj,max을 보여주며, DSC 구조 내 취약 부위로 판단되는 솔더 층의 열응력을 효과적으로 개선한 모습을 보였다.

이를 기존 SC 모델에서 나타나는 Rth,j-c(btm)과 Rth,j-c(top)의 불균형을 개선한 효과로 보고 이를 실제 측정해 시뮬레이션의 유효성 및 타당성을 확보했다. 두 번의 실험을 진행하였는데, 첫번째는 [Fig. 2.5]의 (d), DSC 구조의 독립적인 양면 열 저항 측정 방식을 참고하여, 두번째는 동일 방열 및 발열 조건에서의 양쪽 각각의 단면 냉각 시에 Tvj를 측정하였다.

# 4.3.1 실험 환경

첫번째 실험에서는 발열 전류 공급은 Simens 사의 Power Tester를 이용, 상면 및 하면의 Tc 측정은 Fiber Optic 센서 인 Opsens-solutions 사의 CoreSens를 이용해 측정을 진행했다. 두번째 실험에서는 Simens 사의 Power Tester만을 이용하여 측정을 진행했다. [Fig.4.4]에는 전반적인 실험 세팅 모습을 보여준다.

텍스트, 컴퓨터, 기계, 전자제품이(가) 표시된 사진

자동 생성된 설명

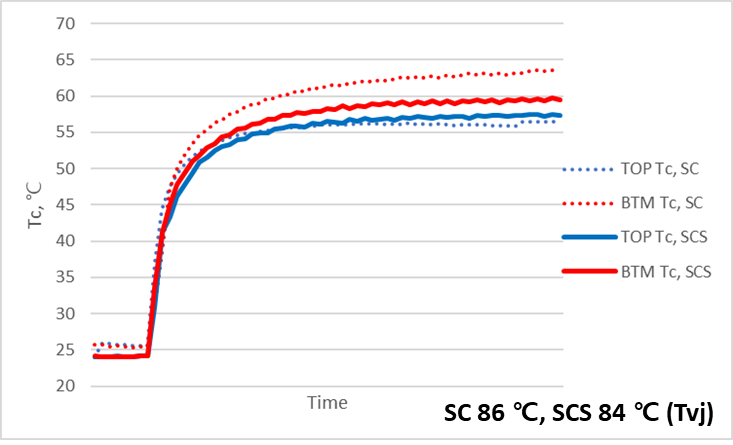
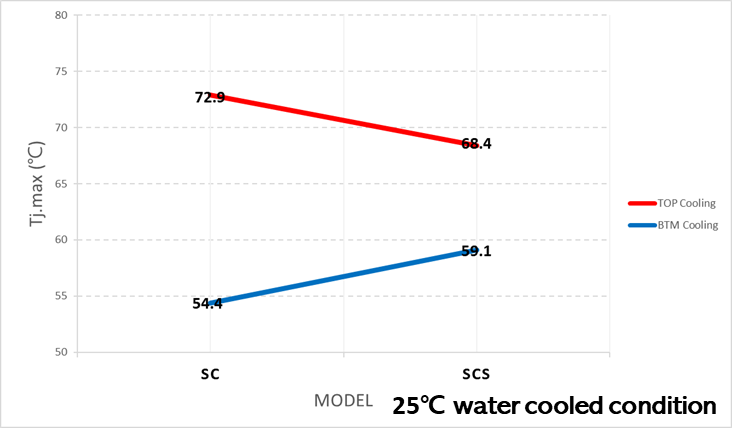
[Fig. 4.4 Experiment setup]

# 4.3.2 실험 결과 및 분석

실제 제작이 어려운 CS모델을 제외한 두가지 모델에 대해, 정상상태에 도달했을 때, 첫번째 실험의Fiber optic을 이용하여 측정한 Tc와 두번째 실험의TSEP을 이용하여 측정한 Tvj는 각각 [Fig. 4.5], [Fig. 4.6]와 같다.

첫번째 실험 결과 동일 방열 및 발열 조건에서 시뮬레이션 결과와 유사하게, SCS모델에서 Tc(top)과 Tc(btm)의 균형이 맞춰진 것을 확인하였고, Tvj의 값의 저감 또한 확인하였다. 두번째 실험 결과 동일 발열 조건과 동일한 방열 조건으로 양쪽 각각의 단면 냉각시에 SCS모델에서 Tvj(top-cooling)과 Tvj(btm-cooling)의 균형이 맞춰진 것 또한 확인하였다. 따라서 제안한 실험 결과와 유사한 경향성을 가지는 것을 확인하였다.

실험과 시뮬레이션 결과 사이에 약간의 온도 차이가 발생하는데, 이는 몇 가지 요인으로 인해 발생한 것으로 보인다. 첫째, 시뮬레이션에서 대류 열전도계수의 경계 조건을 실험과 정확히 일치시키기 어렵다는 점이다. 둘째, TSEP를 사용하여 소자의 온도를 측정하는 방법은 센서를 이용한 직접 측정보다 정확성과 신뢰성 면에서 떨어지며, 특히 최대 온도 측정에 어려움이 있다는 점도 영향을 미친다. 그러나 실험과 시뮬레이션의 결과에 대한 경향성이 유사하므로, 결과값의 신뢰성에 대한 문제는 없다고 판단된다.



[Fig. 4.6 The Results of Second Experiment]

[Fig. 4.5 The Results of First Experiment]

제5장 결론

본 연구에서는 양방향 냉각 파워모듈인 DSC 내의 열 분산 비율 불균형을 고려한 수직 적층 구조의 열 응력 저감 방안에 대해 연구했다. SC, SCS, CS 모델의 세 가지 수직 적층 순서 변형 모델을 비교 분석하며, 이들의 열 해석 및 열 응력 해석 시뮬레이션을 진행했다. 열 해석 결과, 스페이서 접촉 면적 증가에 따라 SC, SCS, CS 모델 순으로 낮은 Tj,max 값을 나타냈으며, 특히 반도체 소자가 중간에 위치한 SCS 모델이 Rth,j-c(btm)과 Rth,j-c(top)의 균형성 면에서 우수한 결과를 보였다.

하지만 CS 모델은 3D Model의 실제 제작이 어려워 열 응력 비교에서 제외되었고, SC와 SCS 모델에 대한 열 응력 분석을 진행했다. 이 중 SCS 모델은 낮은 Tj,max와 균형 잡힌 열 저항을 보이며 DSC 구조 내 가장 취약한 솔더 층의 열 응력을 효과적으로 개선했다.

SC와 SCS 모델의 DSC 구조 샘플을 제작해, 반도체 소자 및 상면 및 하면의 히트 싱크의 온도를 측정했다. 실험과 시뮬레이션 결과가 유사한 결과값과 경향성을 보임으로써 시뮬레이션의 타당성을 검증했다.

이 연구를 통해 제안된 양방향 냉각 파워모듈의 DSC 내 열 분산 비율 불균형을 고려한 수직 적층 구조 중 SCS모델은 기존 SC모델 대비 Tj,max 저감, 열 저항의 균형, 그리고 열 응력 개선을 통해 발열 문제로 인한 신뢰성 저하를 해결하는 데 효과적임을 확인할 수 있었다.

Reference

[1] Popp, D. (Ed.). (2023). *Fit for 55: Zero CO2 Emissions for New Cars and Vans in 2035.* European Parliament. https://www.europarl.europa.eu/news/en/press-room/20230210IPR74715/fit-for-55-zero-co2-emissions-for-new-cars-and-vans-in-2035

[2] 윤정원, 방정환, 고용호, 유세훈, 김준기, & 이창우. (2014). 전기자동차용 고신뢰성 파워모듈 패키징 기술. *마이크로전자 및 패키징학회지*, 21(4), 1-13.

[3] 고상춘, 장우진, 정동윤, 박영락, 전치훈, & 남은수. (2014). 자동차용 WBG 전력반도체 및 전력변환 모듈과 ETRI GaN 소자 기술. *전자통신동향분석*, 2014(12), 53-62.

[4] Jeon, J., Seong, J., Lim, J., Kim, M. K., Kim, T., & Yoon, S. W. (2020). Finite element and experimental analysis of spacer designs for reducing the thermomechanical stress in double-sided cooling power modules. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 9(4), 3883-3891.

[5] Millan, J., Godignon, P., Perpiñà, X., Pérez-Tomás, A., & Rebollo, J. (2013). A survey of wide bandgap power semiconductor devices. *IEEE transactions on Power Electronics*, 29(5), 2155-2163.

[6] Sheng, W. W., & Colino, R. P. (2004). *Power electronic modules: design and manufacture.* CRC press.

[7] Cao, X., Wang, T., Ngo, K. D., & Lu, G. Q. (2010). Parametric study of joint height for a medium-voltage planar package. *IEEE Transactions on Components and Packaging Technologies*, 33(3), 553-562.

[8] Haque, S., Xing, K., Lin, R. L., Suchicital, C. T., Lu, G. Q., Nelson, D. J., ... & Lee, F. C. (1999). An innovative technique for packaging power electronic building blocks using metal posts interconnected parallel plate structures. *IEEE Transactions on Advanced Packaging*, 22(2), 136-144.

[9] Sun, P., Niu, F., Zeng, Z., Li, K., & Ou, K. (2023). FEA-Dominant Reliability and Lifetime Model of Double-Sided Cooling SiC Power Module. *IEEE Transactions on Device and Materials Reliability.*

[10] *Products*. (n.d.). Infineon Technologies AG. https://www.infineon.com/

[11] ECPE (European Center for Power Electronics e.V.). (2021). *Aqg 324: Qualification of Power Modules for Use in Power Electronics Converter Units in Motor Vehicles* (Tech. Rep., Ed. 03.1). ECPE Guideline.

[12] Zhang, Z., Zhang, J., Xu, J., Ngo, K. D., Lu, G. Q., Cousineau, E., ... & Narumanchi, S. (2021, August). Packaging of an 8-kV silicon carbide diode module with double-side cooling and sintered-silver joints. In 2021 *IEEE Electric Ship Technologies Symposium (ESTS)* (pp. 1-7). IEEE.

[13] Cao, X., Lu, G. Q., & Ngo, K. D. (2012). Planar power module with low thermal impedance and low thermomechanical stress. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2(8), 1247-1259.

[14] Poller, T., & Lutz, J. (2010, September). Comparison of the mechanical load in solder joints using SiC and Si chips. In *10th International Seminar on Power Semiconductors ISPS.*

[15] Li, H., Munk-Nielsen, S., Wang, X., Maheshwari, R., Bęczkowski, S., Uhrenfeldt, C., & Franke, W. T. (2015). Influences of device and circuit mismatches on paralleling silicon carbide MOSFETs. *IEEE Transactions on Power Electronics*, 31(1), 621-634.

[16] Langpoklakpam, C., Liu, A. C., Chu, K. H., Hsu, L. H., Lee, W. C., Chen, S. C., ... & Kuo, H. C. (2022). Review of silicon carbide processing for power MOSFET. *Crystals*, 12(2), 245.

ABSTRACT

**Comparative Study on Vertical-Stacking Structure of Double-Sided Cooling Power Module for Thermal Stress Reduction**

**considering Unbalanced Heat Spreading Ratio**

Seunghyun Won

Dept. of Automotive Engineering

(Automotive-Computer Convergence)

Graduate School of Hanyang University

Under various environmental policies and regulations, automakers are rushing to preempt the development and supply market of eco-friendly cars. For the development of EV, many studies are underway to increase the power density of the power conversion system.

Wide Bandgap (WBG) semiconductor devices contribute greatly to achieving this goal, and features such as high voltage and miniaturization compared to conventional Si semiconductor devices enable high power density by parallelizing many semiconductor devices within a limited power module size. In addition, Double-Sided Cooling (DSC) power modules show low thermal resistance, enabling high output, thereby achieving higher power density.

However, increasing the power density within a limited power module size can cause thermal problems. This thermal problem adversely affects the reliability of power modules made by stacking heterogeneous materials with different coefficient of thermal expansion (CTE).

Therefore, this paper studied thermal stress reduction method of a vertical stacked structure in DSC. Three models of SC, SCS, and CS were proposed by changing the stack order of chip, bonding layers, and spacers within the constraints of using only the conventional structure and materials and then were compared and analyzed through finite element analysis (FEM)simulation and experiments.

As a result of thermal analysis, as the spacer contact area increased, the lower Tj.max values were shown in the order of SC, SCS, and CS models, in particular, the SCS model with the semiconductor chip in the middle showed excellent results in terms of balance between Rth, j-c.btm and Rth, j-c.top.

In addition, in consideration of the possibility of fabrication, analysis was conducted on SC and SCS models. As a result of thermal stress analysis, the SCS model effectively improved the thermal stress of the most vulnerable solder layer in the DSC structure. The cause was analyzed to be in thermal dissipation ratio balance.

Samples of the SC and SCS models were produced, and thermal resistance of the upper and lower surfaces was measured under the same conditions as the simulation. The validity of the simulation was verified by showing similar results and trends.

It was confirmed that the SCS model considering the imbalance of the heat dissipation ratio proposed in this study are effective in improving the thermal stress. These results were confirmed to be effective in solving the decrease in reliability due to the thermal problem.