

数电实验三：组合电路实验报告

一、实验目的

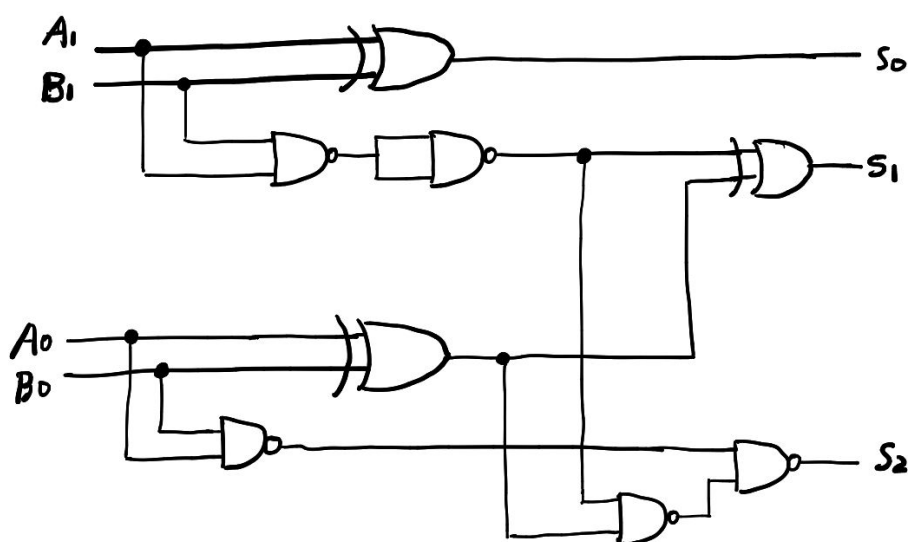
- 实践用中小规模数字IC实现组合逻辑电路的分析与设计方法；
- 体会二进制补码的用途，掌握用补码实现减法运算的方法；
- 学习组合逻辑电路的调试方法。

二、实验内容

- 利用与非门芯片4011和异或门芯片7486实现加法运算；
- 利用与非门芯片4011和异或门芯片7486实现减法运算（补码形式和原码形式）；（选做）
- 测量并比较两个电路的传输延迟时间。（选做）

三、实验原理

1. 加法运算：通过半加器和进位构成两位加法器（如图）



2. 减法运算

- 补码形式

取-B的补码C（符号位 $C_2 = ((B_0 B_0)'(B_1 B_1'))'$, $C_1 = B_0 \oplus B_1$, $C_0 = B_0$ ），利用前面的加法器，计算二位加法 $A_1 A_0 + C_1 C_0$ ，得到 Do, S_1, S_0 ，最后， $S_2 = Do \oplus C_2$ 为补码的符号位。

- 原码形式

即将补码形式的 S_2, S_1, S_0 转化为原码形式，

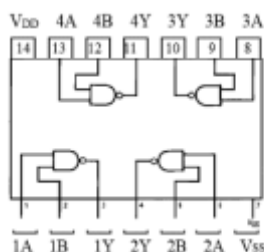
符号位 $S_{原2} = S_2$ ，

$S_{原1} = ((S_2(S_0 \oplus S_1))'((S_2 S_2)'S_1))'$ （意思为 S_2 为 1 时， $S_{原1} = S_0 \oplus S_1$, S_2 为 0 时， $S_{原1} = S_1$ ），

$S_{原0} = S_0$

四、IC数据手册阅读

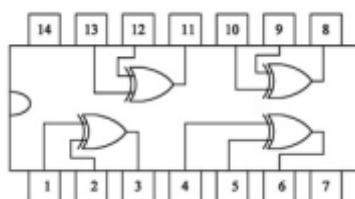
- 与非门芯片CD4011



CD4011内部为4组与非门，供电为14正，7负，123脚是一组与非，12脚同时高电平，3脚为低电平，12脚别的状态3脚都是高电平，另外三组在电路中为反相器，也就是11脚和3脚是相反的，3高11低，3低11高，1脚外接光控，2脚为触发延时。

CD4011属于数字电路，当将它一组两个输入端相连时，这一组就变成了一个非门。其特点是：输入高电平时，输出低电平，输入低电平时，输出高电平。

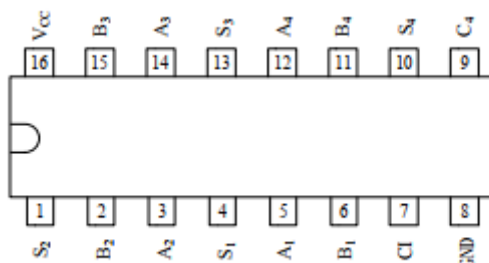
- 异或门芯片74HC86



HC86和HCT86在一个包中包含四个独立的异或门。它们为系统设计者提供了一种实现异或功能的方法。逻辑门采用硅栅CMOS技术，以标准CMOS集成电路的低功耗实现与LSTL门类似的工作速度。所有设备都能驱动10个LSTTL负载。HCT逻辑系列在功能上与标准LS逻辑系列兼容。

74HC86特点是功耗很低。他的电源电压4.75-5.25V，他能和7486，CT4086，DG74LS86，LH74LS86等元件相互代换。

- 加法器芯片74HC283

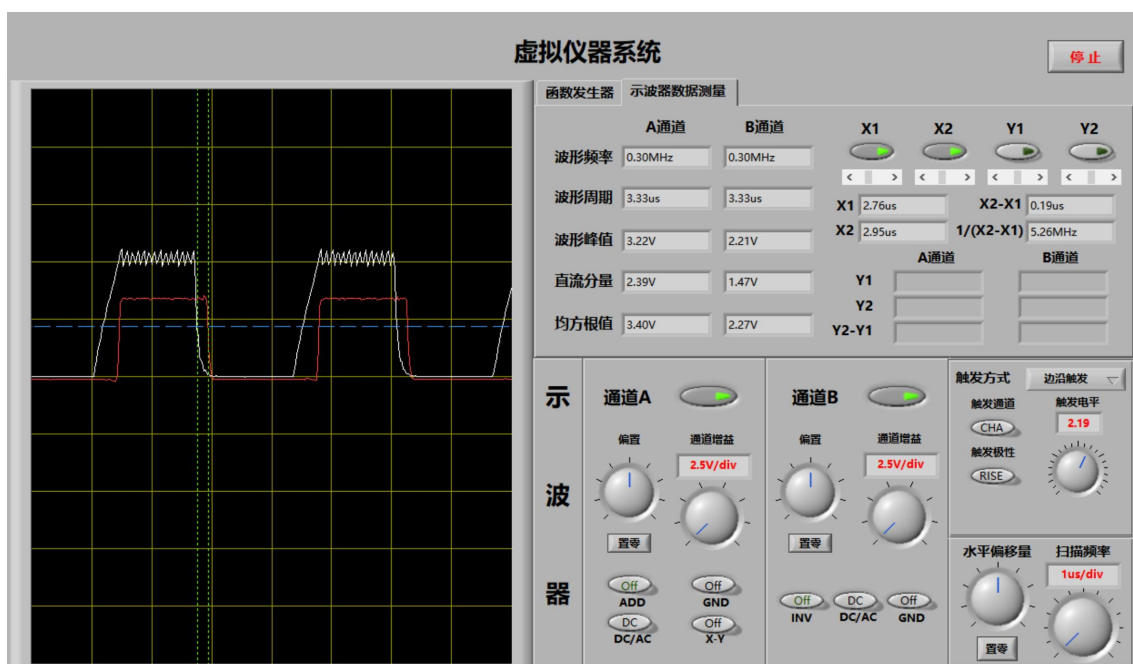
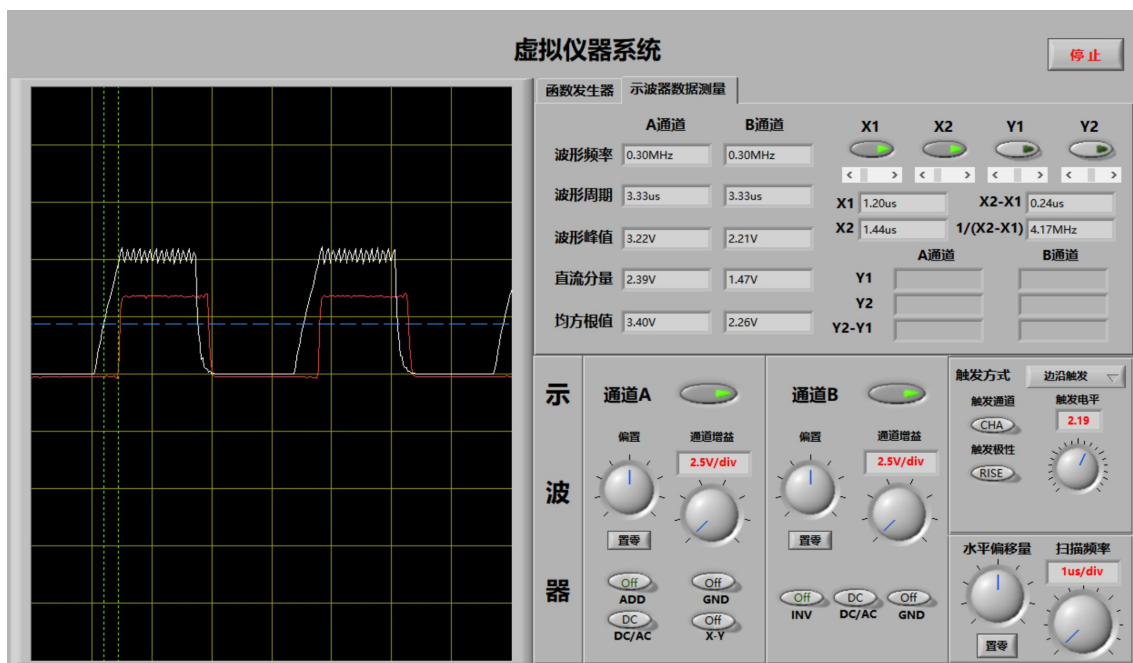


HC283和HCT283二进制全加器将两个4位二进制数相加，如果总和超过15，则生成一个执行位。由于加法函数的对称性，此设备可与所有活动的高操作数（正逻辑）或所有活动的低操作数（负逻辑）一起使用。当使用正逻辑时，如果没有进位，进位输入必须是低电平的。

五、实验数据分析

- 加法器：课堂上已验收
- 减法器（反码、补码形式）：课堂上已验收
- 传输延迟时间测量

自己实现的加法器：

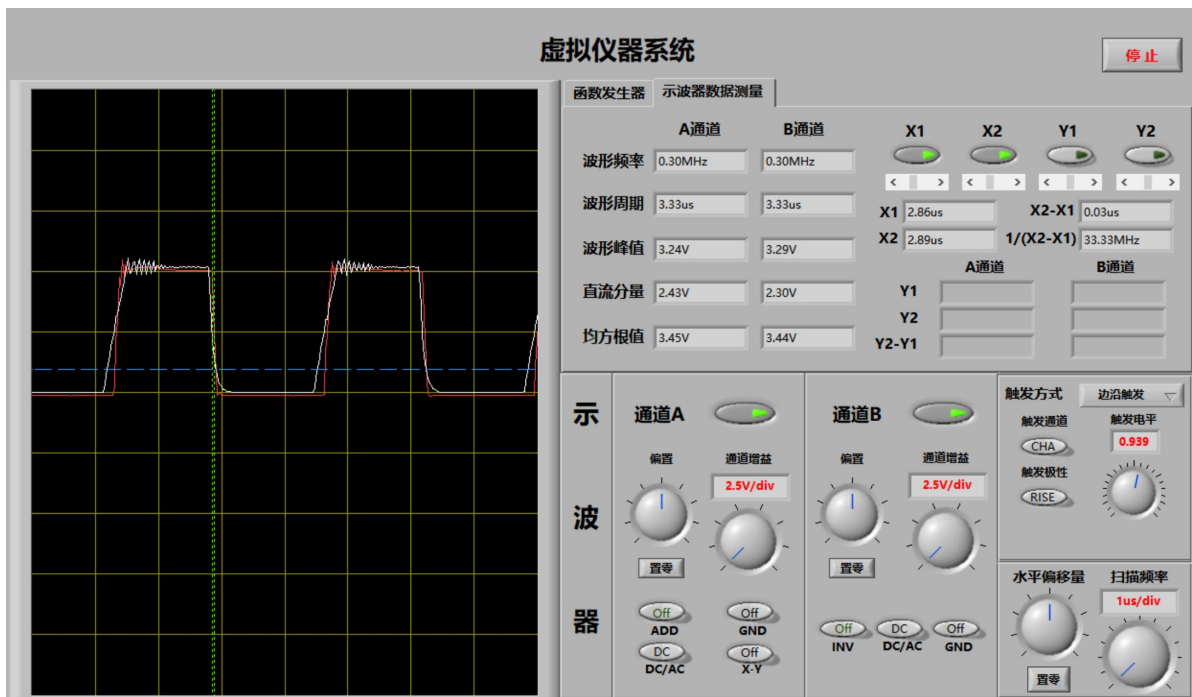
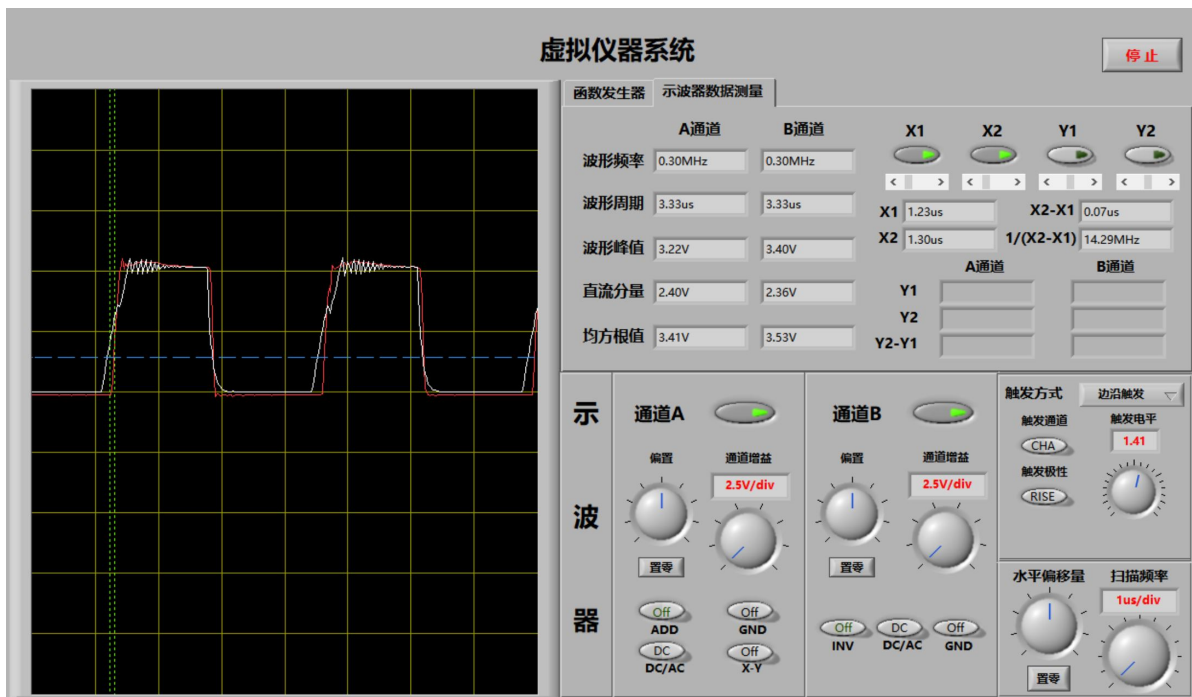


$$t_{PHL} = 0.19\mu s$$

$$t_{PLH} = 0.19\mu s$$

$$t_{pd} = (t_{PHL} + t_{PLH})/2 = 0.215\mu s$$

加法器芯片：



$$t_{PHL} = 0.07\mu s$$

$$t_{PLH} = 0.03\mu s$$

$$t_{pd} = (t_{PHL} + t_{PLH})/2 = 0.05\mu s$$

六、实验中遇到的问题及解决方法

在选做实验（传输延迟时间的测量中）：

使用加法器芯片的时候，一开始没有将不用的输入端接地，导致了出现错误。

后来，将加法器芯片所有不用的输入端都接地，解决了问题。

七、实验体会

通过这次实验，我更加深刻地理解了原码、反码和补码之间的转换关系，体会到了补码设计的巧妙之处。