



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 2 Deney Raporu

Birleşimli Mantık Devreleri ve Çözümler

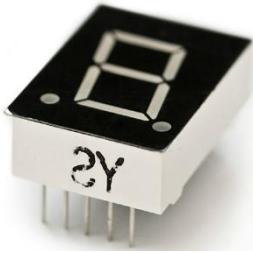
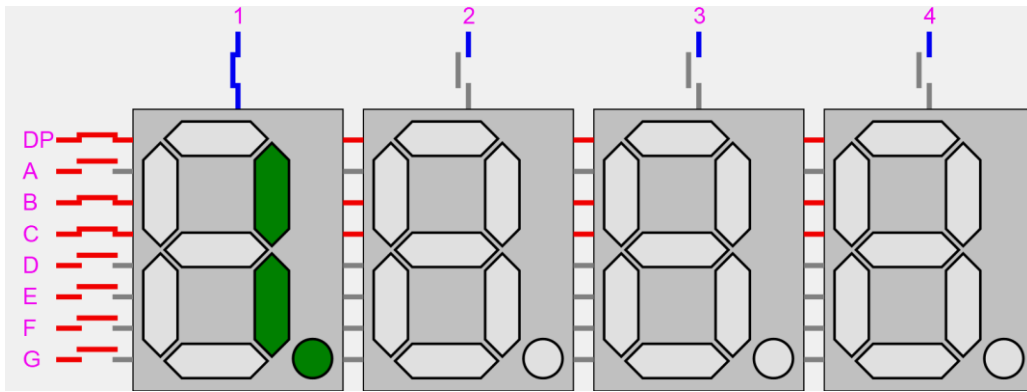
Hazırlayanlar
1) 1901022025 – Ayşe Serra ŞİMŞEK
2) 1901022038 – Selen Erdoğan

1. Giriş

Bu laboratuvar dersinde devre çizimi ile decoder tasarımı gerçekleştirilmiştir. Aynı zamanda devre sadeleştirme işlemleri, Quartus programının kullanımı ve zaman şeması yorumlayarak devrenin çalışmasının doğrulanması üzerine çalışılmıştır.

1.1. Teorik Araştırma

7 Segment Display diye adlandırılan sayısal göstergeler oldukça yaygın şekilde kullanılan elektronik devre elemanlarıdır. 7 Segment Display'ler LED tabanlı göstergelerdir. İçerisinde bulunan 7 adet LED ile aydınlatılan 7 ayrı bölmeden oluşan bir sistem bütünüdür. 7 Segment Display'lerde LED'lerin kullanılmasının en önemli nedeni LED'lerin çok küçük hacimlerde olan türlerinin olmasıdır. Bu küçük LED'ler belirli bir kalıp içerisine yerleştirilerek 7 Segment Display'ler oluşturulmaktadır.



Elemanın yapısındaki 7 LED'den her birinin pinleri konumsal kısımları ayrılmış şekilde bir dikdörtgen düzlemin arka alt zemininde bulunmaktadır. Konumsal olarak kısımlandırılmış 7 bölge "a" ile "g" harfleri arasındaki 7 harfle (a,b,c,d,e,f,g,) etiketlendirilir. Sistem işleyişi olarak ayrılmış 7 kısımda bulunan 7 LED'in bir uçları ortak uç diğer uçları ise ayrı ayrı bağlantıları bulunan kontrol uçlarıdır. Kontrol uçlarından yapılacak devre

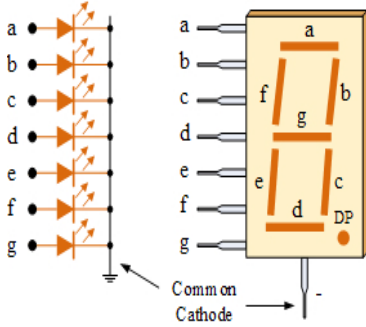
beslemeleri ile ayrılmış 7 bölmeden, elde edilmek istenilen sayısal değere göre, istenilen kısımlar aydınlatılır ve böylelikle diğer kısımlarda karanlık kalmış olur. Bu şekilde gösterge üzerinde görüntülenmesi istenilen değer elde edilebilir. Bu işleyiş 7 Segment Display üzerinde bize 0-9 arasındaki ondalık rakamların görüntülenmesini sağlar.

7 Segment Display'lerdeki ortak pin 7 bölmeli görüntüleyicinin tipini belirlemede kullanılır. Bilindiği gibi LED'lerin bir diğer adı **ışık yayan diyotlardır**. **Diyotlarda** bilindiği üzere akımın tek yönde akmasına izin veren elemanlardır. Böylelikle LED'lerinde aydınlatılabilmeleri için besleme ve toprak bağlantılarının belirli bir yönde bağlanması gerekmektedir. 7 Segment Display'de LED'lerin bir uçları ortak uç olduğundan bu ucun toprak ya da besleme ucu olmasına göre 7 Segment Display'ler ortak anot ve ortak katot olmak üzere iki çeşide ayrılırlar.

İki çeşittir

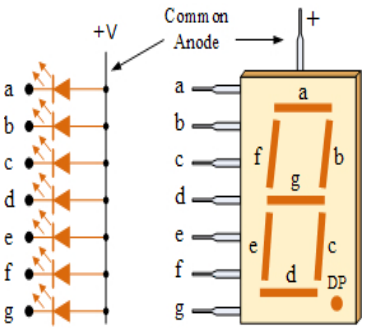
**ORTAK KATOT 7 SEGMENT
DISPLAY**

**ORTAK ANOT 7 SEGMENT
DISPLAY**



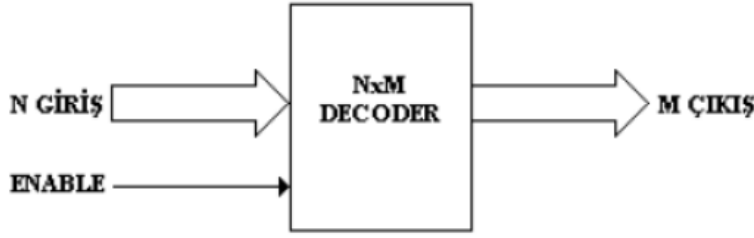
ORTAK KATOT 7 SEGMENT DISPLAY: Harflendirilen kısımları ve iç yapısındaki devrenin temel bağlantısı gösterilmiştir. Görüldüğü gibi görüntüleyicideki 7 LED'in katot uçları birleştirilerek, 7 Segment Display'in arkasından çıkan ortak katot pinine bağlanmıştır. Görüntüleme elemanı devreye bağlanırken ortak katot ucu güç kaynağının negatif ucuna, a-g arasında harflendirilen 7 anot ucu devrenin yapısına göre ya direkt olarak güç kaynağının artı ucuna ya da 7 Segment Display sürmeye yarayan entegrelerin bacaklarına bağlanır. Burada

dikkat edilmesi gereken nokta, görüntüleyicinin arkasından çıkan 7 adet anot ucunu, güç kaynağına ya da entegrelere bağlamadan önce, LED'lerin anot uçlarının hemen öncesine, devrenin anot uçlarından uygulanan gerilim değerine göre, uygun değerde bir direnç bağlanmasıdır. Çünkü görüntüleyici yapısındaki LED'ler güce maruz kaldığında kullanılmaz hale gelebilirler.



ORTAK ANOT 7 SEGMENT DISPLAY: Harflendirilen kısımları ve iç yapısındaki devrenin temel bağlantısı gösterilmiştir. Ortak katot mantığıyla aynı şekilde burada da LED'lerin anot uçları birleştirilerek, 7 Segment Display'in arkasından çıkan ortak anot pinine bağlanmıştır. Yukarıdaki görüntüleme elemanı devreye bağlanırken ortak **anot** ucu güç kaynağının pozitif ucuna, a-g arasında harflendirilen 7 katot ucu devrenin yapısına göre ya direkt olarak güç kaynağının negatif ucuna ya da 7 Segment Display sürmeye yarayan entegrelerin bacaklarına bağlanır. Burada da

dikkat edilmesi gereken nokta LED'lerin yüksek güce maruz kalmamaları için ortak anot ucunu güç kaynağına ya da entegrelere bağlamadan önce, LED'lerin anot uçlarından hemen öncesine, devrenin ortak anottan uygulanan gerilim değerine göre, uygun değerde bir direnç bağlanmasıdır. Aksi takdirde görüntüleyicinin yapısındaki LED'ler kullanılmaz hale gelebilir.



Kod Çözücü (Decoder):

Decoder, N giriş hattından oluşan binary giriş bilgisini 2^N çıkış hattına çevirebilen kombinyonel devredir. Decoderler şekilde

görüldüğü gibi yapı olarak N binary giriş hattını M çıkış hattına çevirdiklerinden dolayı NxM ya da N-M decoder olarak adlandırılır. Burada $M=2^N$ ilişkisi söz konusudur. Decoder'lar kodlanmış bilgileri anlaşılır hale dönüştürmek için kullanılır. Örneğin cep telefonumuza gelen mesajları 2'lik sayı sisteminde anlayamayız. Gelen bilgiler çözümlenerek metin formatı haline getirilir.

		AB			
		00	01	11	10
CD	00	0	0	1	1
	01	0	0	1	1
	11	0	0	0	1
	10	0	1	1	1

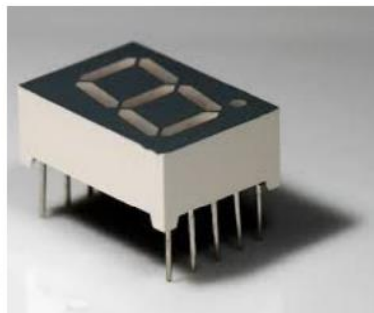
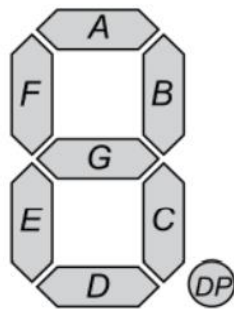
$$f(A,B,C,D) = E(6,8,9,10,11,12,13,14)$$

$$F = AC' + AB' + BCD' + AD'$$

$$F = (A+B)(A+C)(B'+C'+D')(A+D')$$

KARNAUGH HARİTASI : Boolean cebri'ndeki ifadeleri sadeleştirmek için kullanılan bir yöntemdir. Gerekli Boolean sonuçları iki boyutlu doğruluk tablosundan Karnaugh haritasına aktarılır. Karnaugh haritaları fiziksel devrelerde minimum sayıda mantık kapısı kullanılması için gerçek dünyadaki mantık gereksinimlerini sadeleştirmede kullanılır. Karnaugh haritaları aynı zamanda yazılım tasarımlarındaki mantık ifadelerini sadeleştirmek için de kullanılır. Boolean ifadeleri, koşullu durumlarda olduğu gibi okuması ve sürdürülebilmesi zor ve karmaşık hâle gelebilir. Ancak bir kez sadeleştirilen kod standart formlara getirildikten sonra VE- VEYA kapıları kullanılarak direkt gerçekleştirilebilir.

PROBLEM 1- ÇÖZÜCÜ TASARIMI



Şekil 1

1.A Şekil 1 deki 7BE elemanın bölmleri Tablo 1 de verilen gösterimlerde yakmak için 4 girişli bir çözücü (decoder) devresinin doğruluk tablosu:

X0	X1	X2	X3	A	B	C	D	E	F	G
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	X	X	X	X	X	X	X
0	0	1	0	1	0	0	1	1	1	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	X	X	X	X	X	X	X
0	1	0	1	0	0	0	1	1	1	0
0	1	1	0	X	X	X	X	X	X	X
0	1	1	1	X	X	X	X	X	X	X
1	0	0	0	X	X	X	X	X	X	X
1	0	0	1	X	X	X	X	X	X	X
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	1	0	0	1	1	1	0
1	1	0	1	1	1	0	1	1	0	1
1	1	1	0	1	0	1	1	0	1	1
1	1	1	1	X	X	X	X	X	X	X

Tablo1. Kullanılmayan giriş kombinasyonları için önemseme (don't care) kullanıldı.

1.B Her bir çıkış için K-Map kullanarak en sade Boolean cebri:

A çıkışı için:

SELEN ERDOĞAN					AYŞE SERRA ŞİMŞEK				
X4X3/X2X1	00	01	11	10	X3X2/X1X0	00	01	11	10
00	0	X	1	1	00	0	X	1	1
01	X	0	X	X	01	X	0	X	X
11	1	1	X	1	11	1	1	X	1
10	X	X	X	X	10	X	X	X	X
$Y = X1 + X3$					$Y = X1 + X3$				

B çıkışı için:

SELEN ERDOĞAN					AYŞE SERRA ŞİMŞEK				
X4X3/X2X1	00	01	11	10	X3X2/X1X0	00	01	11	10
00	0	X	1	0	00	0	X	1	0
01	X	0	X	X	01	X	0	X	X
11	0	1	X	0	11	0	1	X	0
10	X	X	X	X	10	X	X	X	X
$Y = X2'X4 + X2X3$					$Y = X0.X3 + X1.X0$				

C çıkışı için:

SELEN ERDOĞAN					AYŞE SERRA ŞİMŞEK				
X4X3/X2X1	00	01	11	10	X3X2/X1X0	00	01	11	10
00	0	X	1	0	00	0	X	1	0
01	X	0	X	X	01	X	0	X	X
11	0	0	X	1	11	0	0	X	1
10	X	X	X	X	10	X	X	X	X
$Y = X2'X4 + X2X3$					$Y = X3.X1 + X3'.X2'$				

D çıkışı için:

SELEN ERDOĞAN					AYŞE SERRA ŞİMŞEK				
X4X3/X2X1	00	01	11	10	X3X2/X1X0	00	01	11	10
00	0	X	0	1	00	0	X	0	1
01	X	1	X	X	01	X	1	X	X
11	1	1	X	0	11	1	1	X	0
10	X	X	X	X	10	X	X	X	X
$Y = X2 + X3$					$Y = X2.X1' + X1$				

E çıkışı için:

SELEN ERDOĞAN					AYŞE SERRA ŞİMŞEK				
X4X3/X2X1	00	01	11	10	X3X2/X1X0	00	01	11	10
00	0	X	0	1	00	0	X	0	1
01	X	1	X	X	01	X	1	X	X
11	1	1	X	0	11	1	1	X	0
10	X	X	X	X	10	X	X	X	X
$Y = X2X3' + X1'X3X4'$					$Y = X1X0'X3' + X1'$				

F çıkışı için:

SELEN ERDOĞAN					AYŞE SERRA ŞİMŞEK				
X4X3/X2X1	00	01	11	10	X3X2/X1X0	00	01	11	10
00	0	X	0	1	00	0	X	0	1
01	X	1	X	X	01	X	1	X	X
11	1	0	X	1	11	1	0	X	1
10	X	X	X	X	10	X	X	X	X
$Y = X3X4' + X1'X2 + X2X4'$					$Y = X0'X3 + X2X3 + X1X0$				

G çıkışı için:

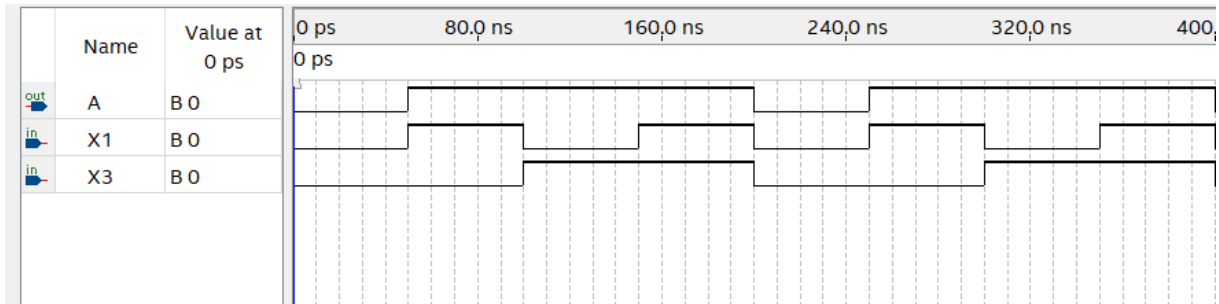
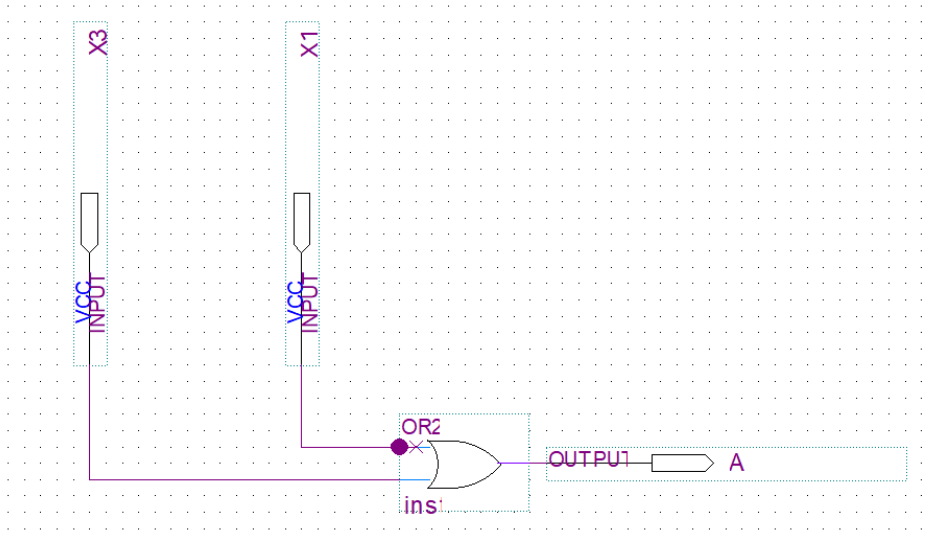
SELEN ERDOĞAN					AYŞE SERRA ŞİMŞEK				
X4X3/X2X1	00	01	11	10	X3X2/X1X0	00	01	11	10
00	1	X	1	1	00	1	X	1	1
01	X	0	X	X	01	X	0	X	X
11	0	1	X	1	11	0	1	X	1
10	X	X	X	X	10	X	X	X	X
$Y = X2' + X3 + X1X4$					$Y = X2' + X1 + X0X3$				

Toplamda Kullanılan Eleman Sayısı	Ayşe Serra Şimşek	Selen Erdoğan
	25	26

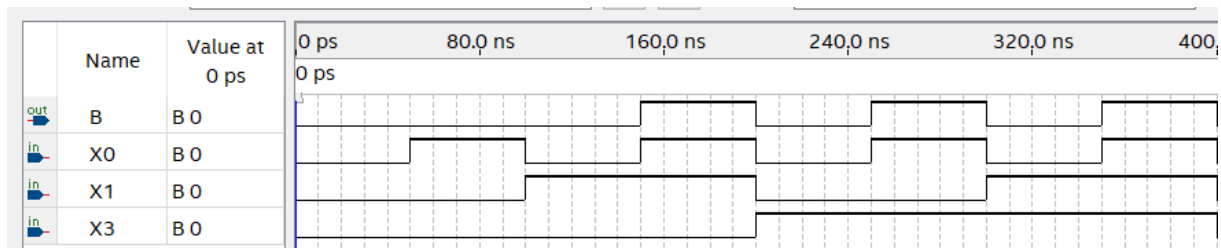
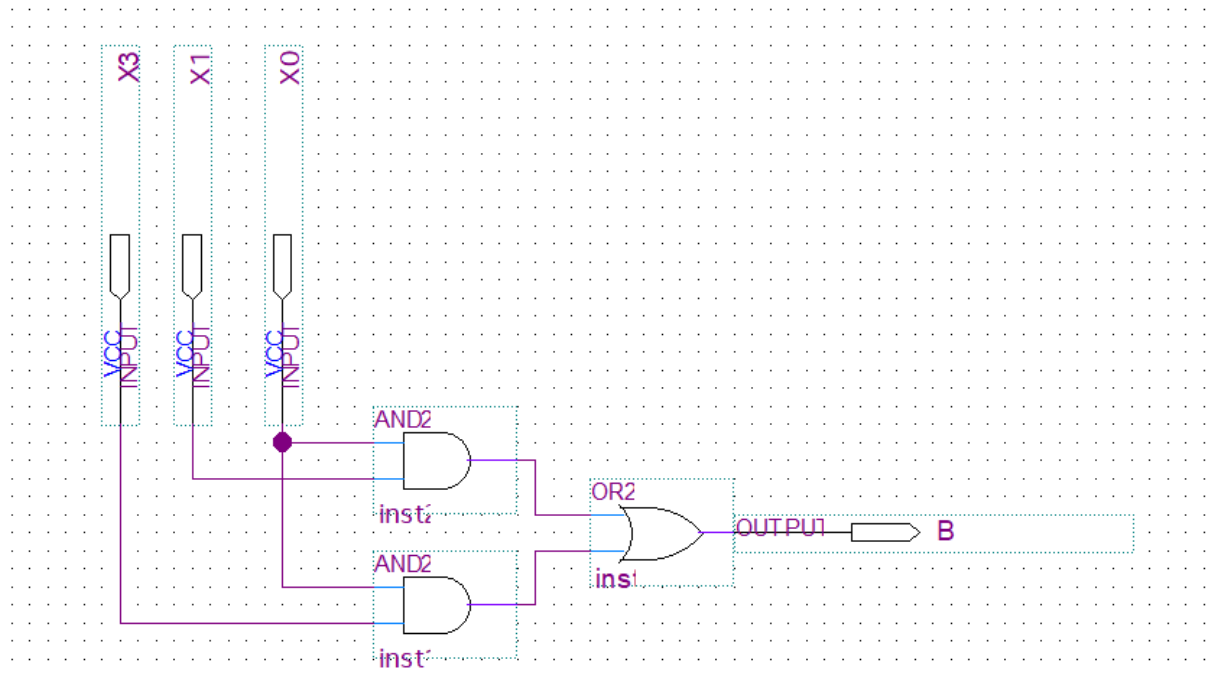
1.C Devre Çizimleri:

Ayşe Serra Şimşek

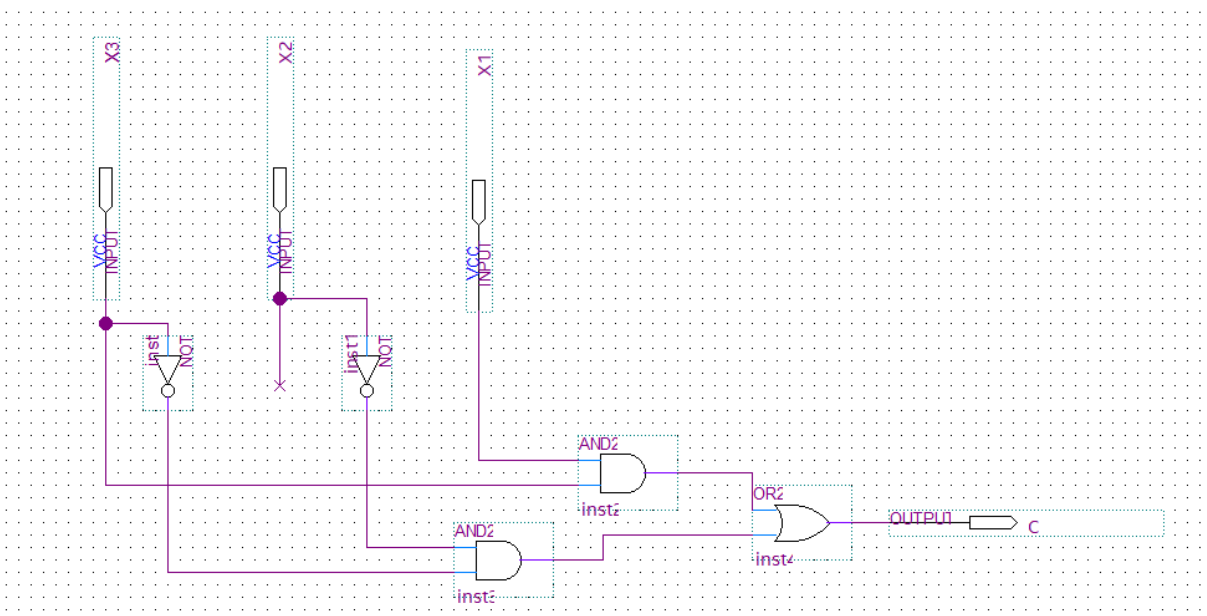
A.

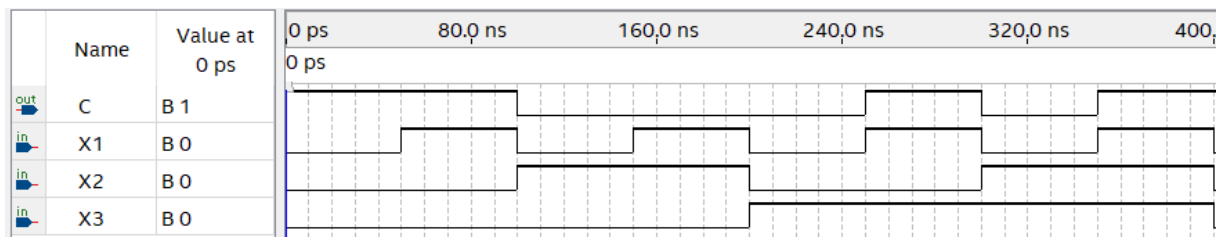


B.

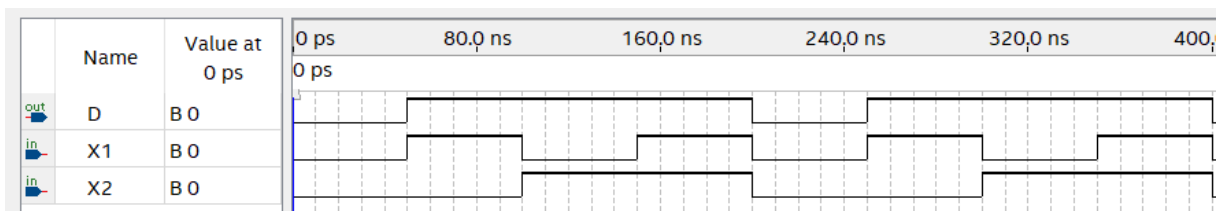
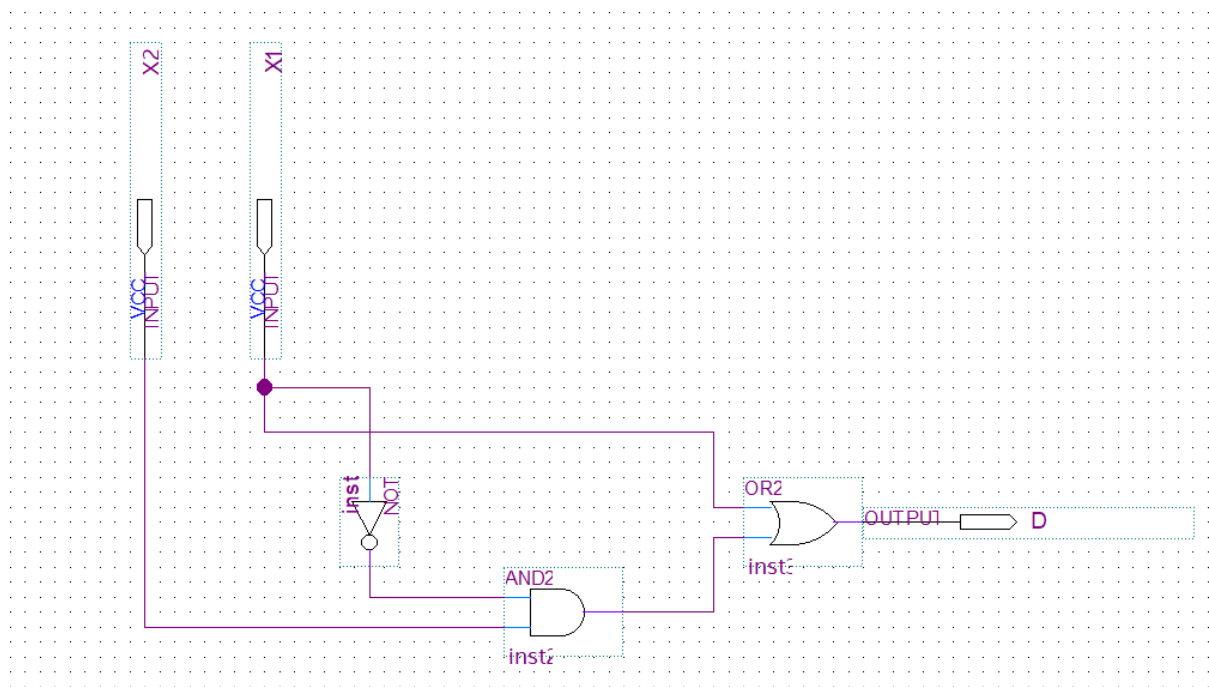


C.

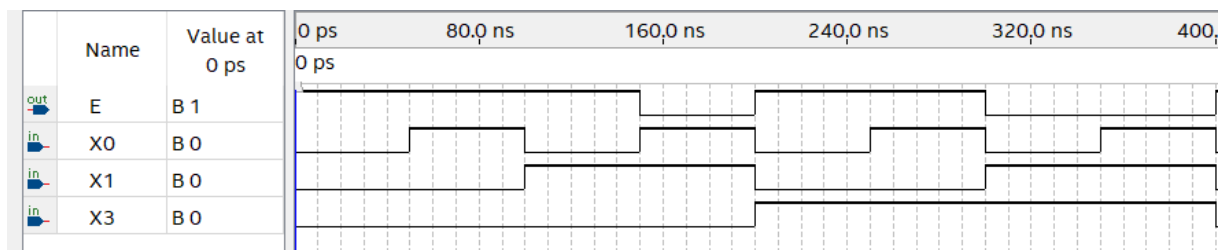
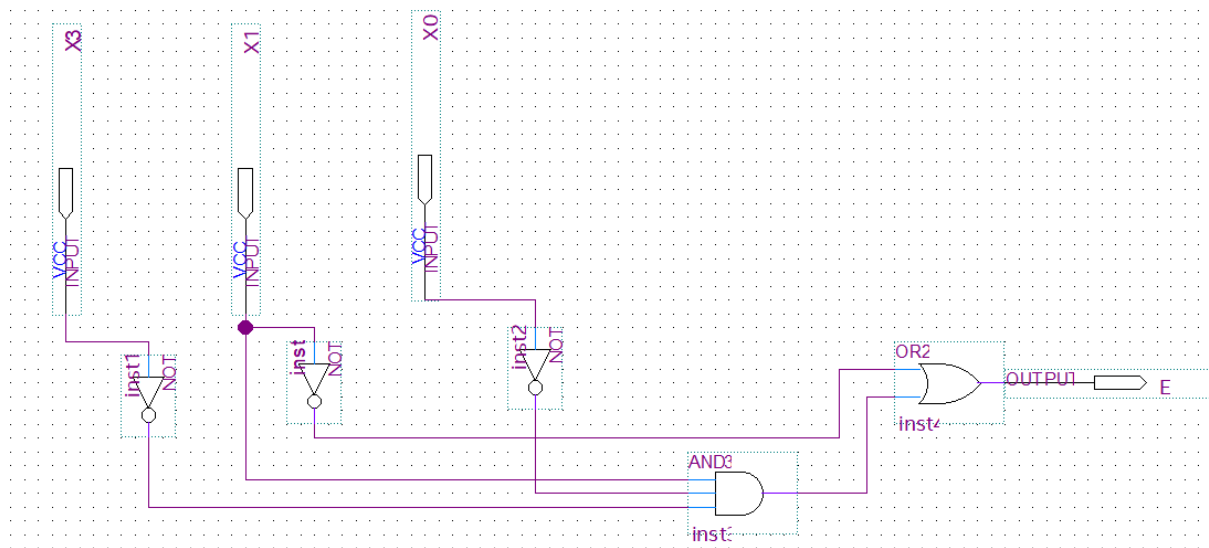




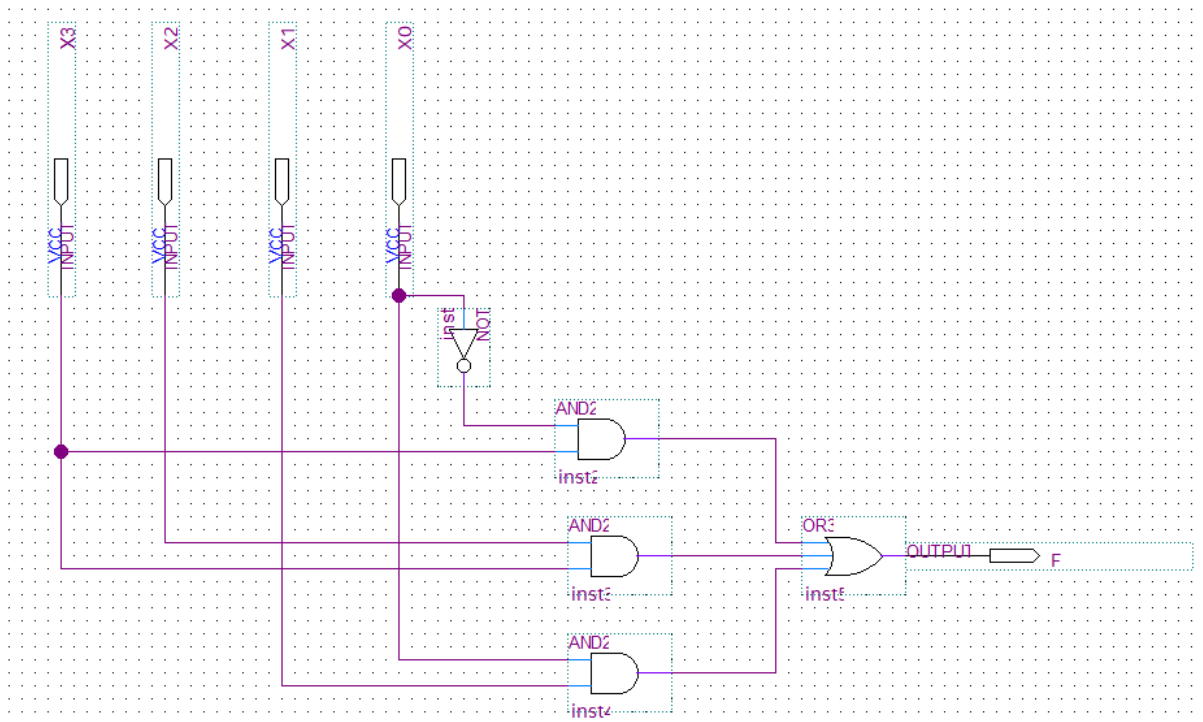
D.

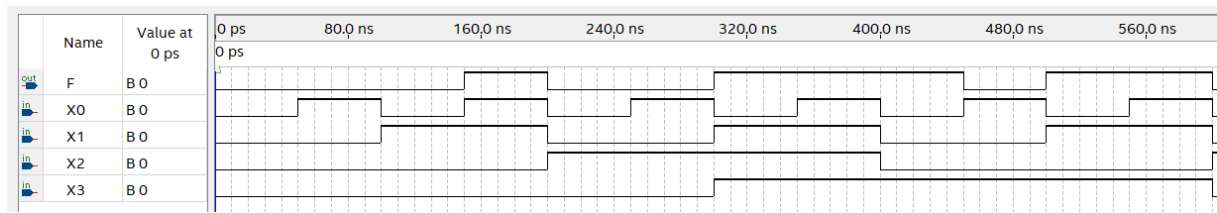


E.

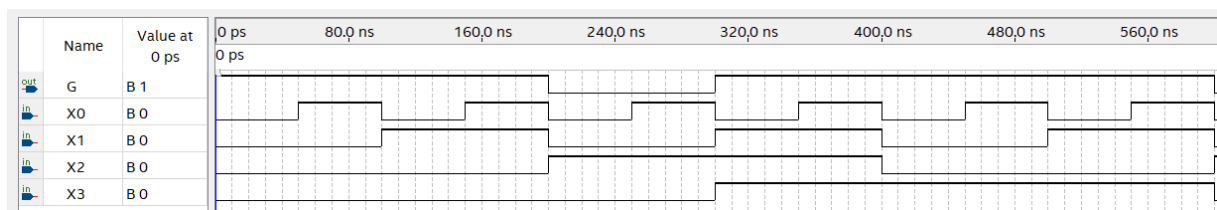
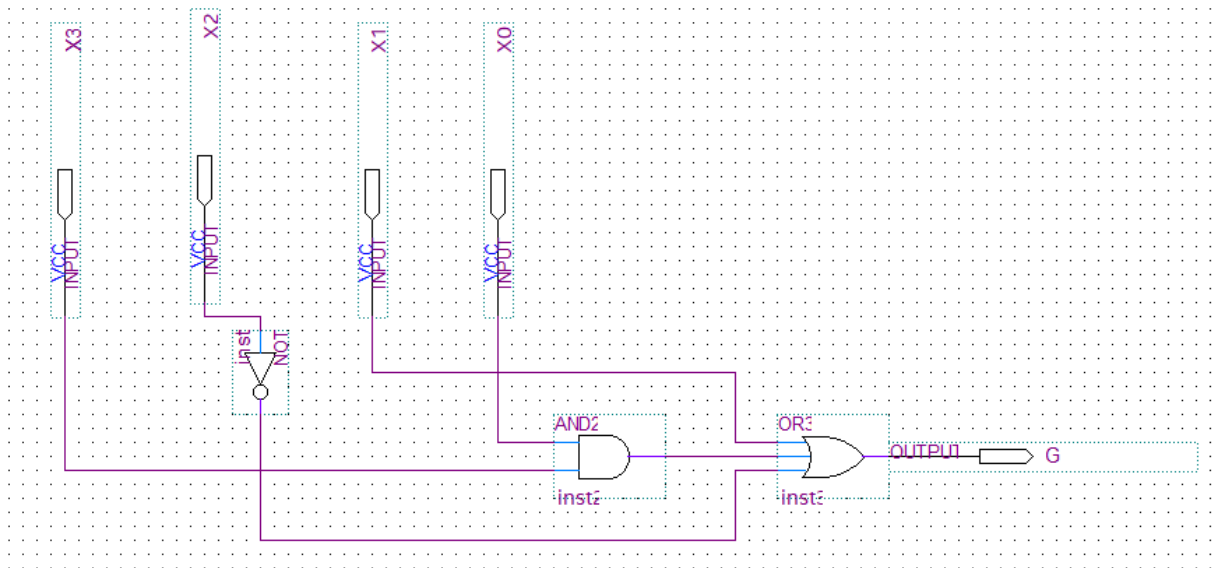


F.



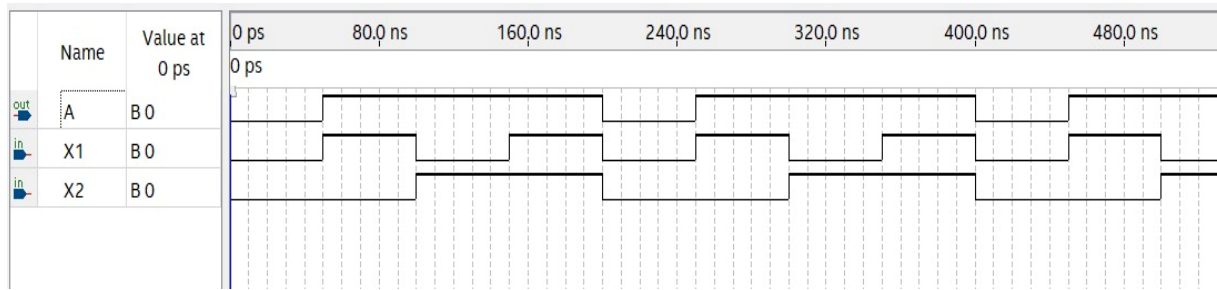
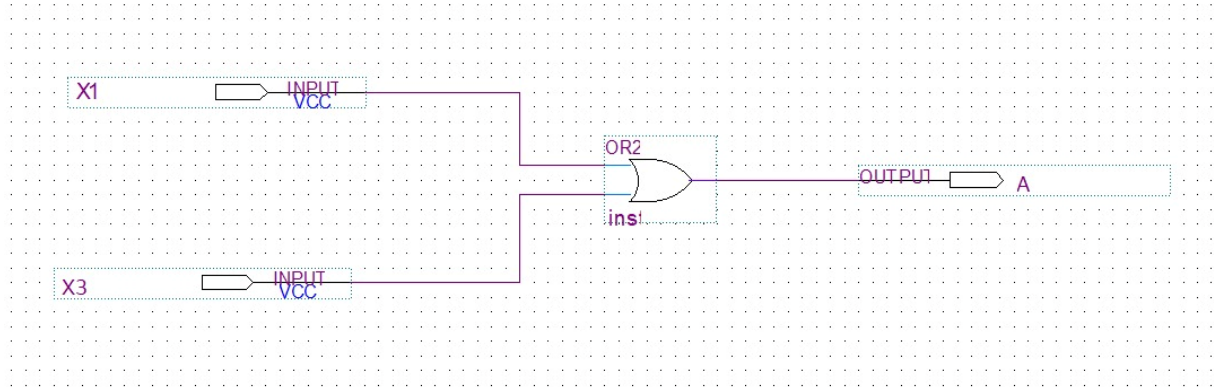


G.

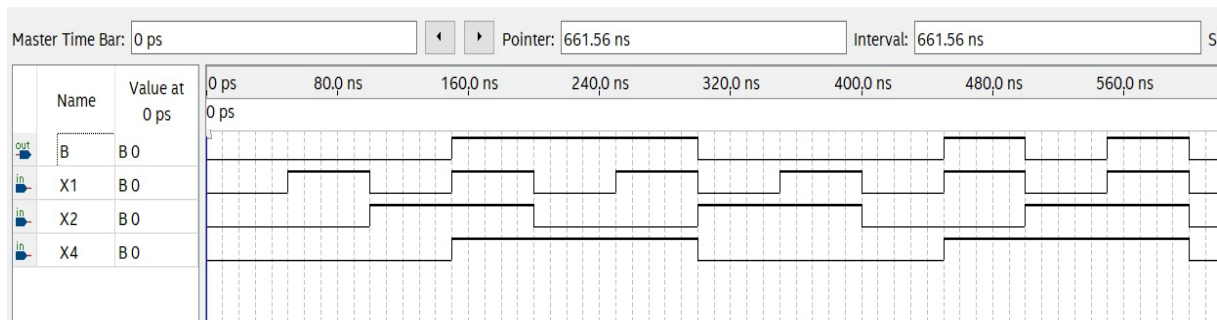
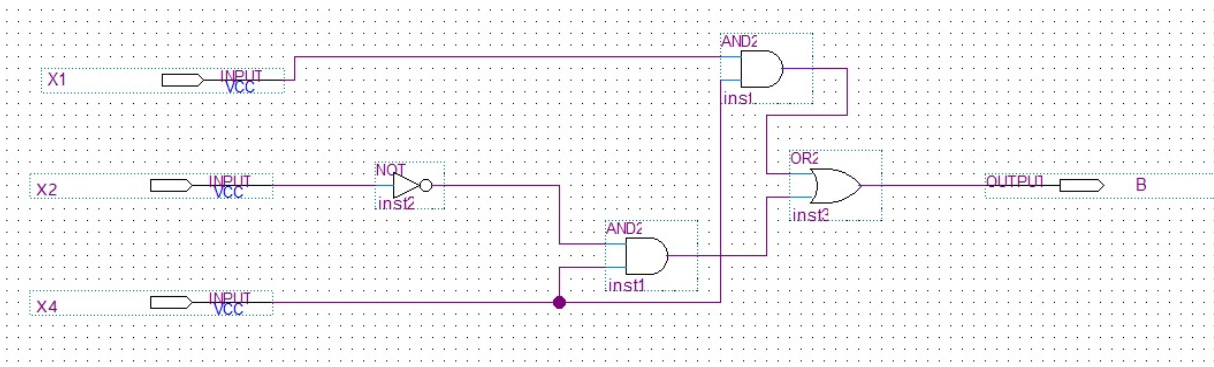


Selen Erdoğan

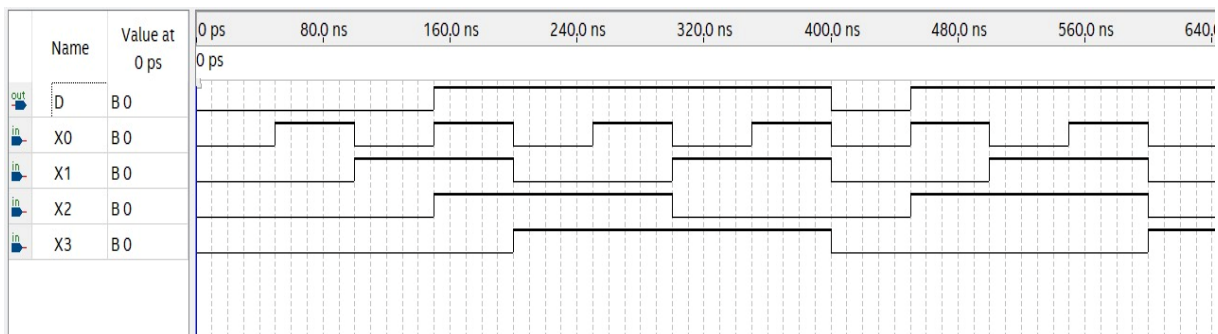
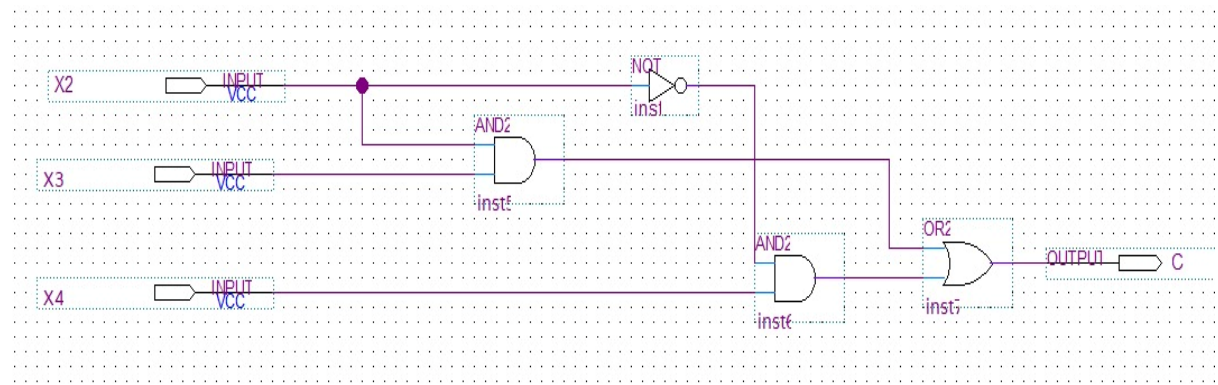
A.



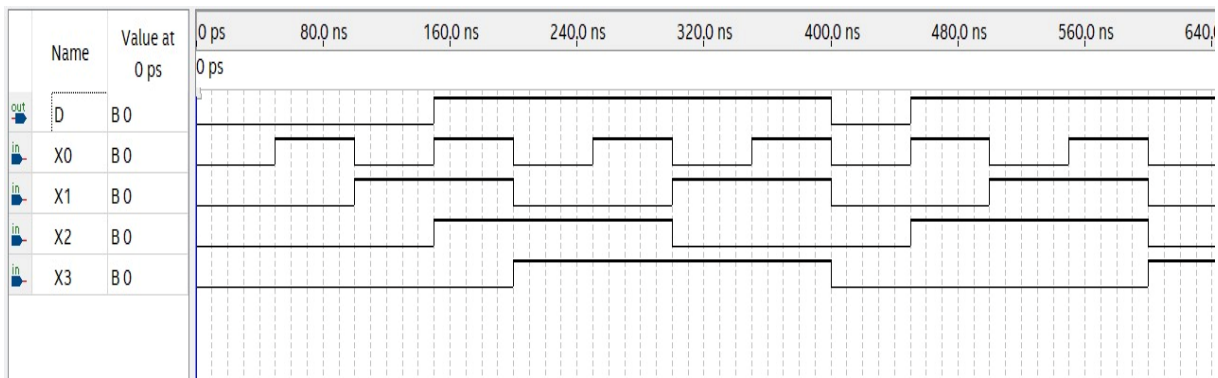
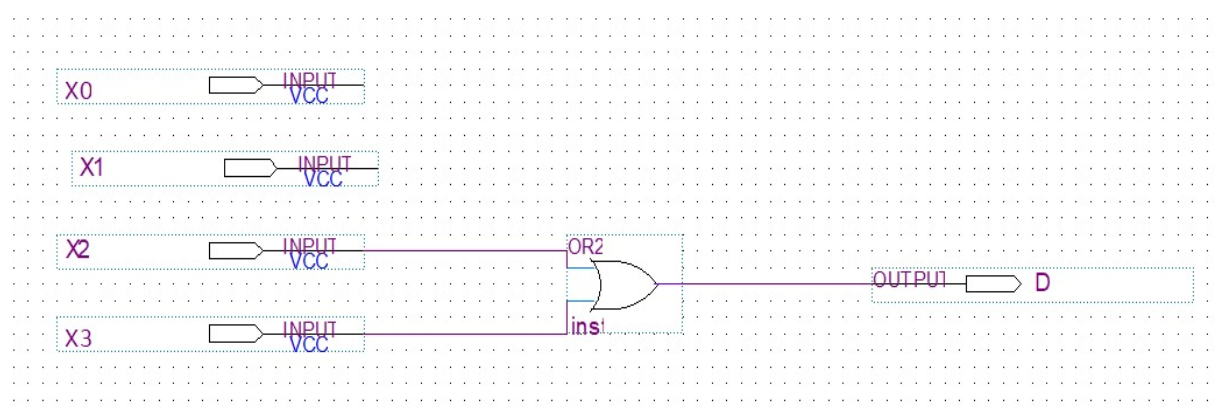
B.



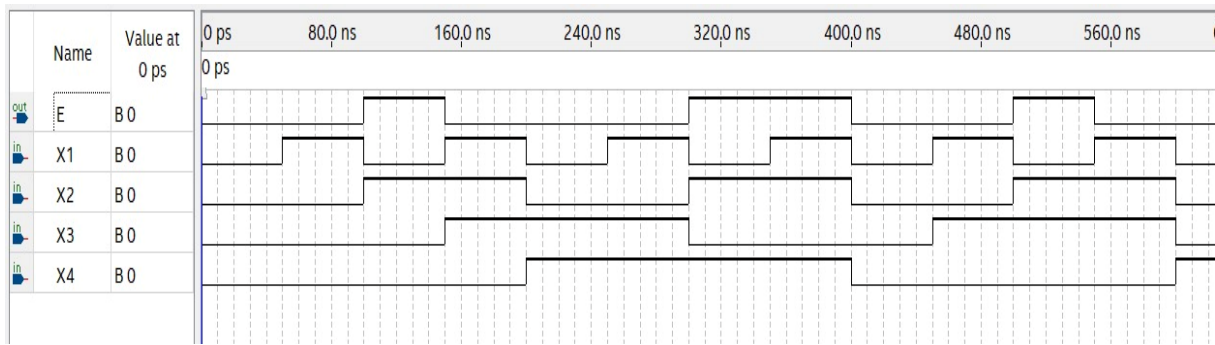
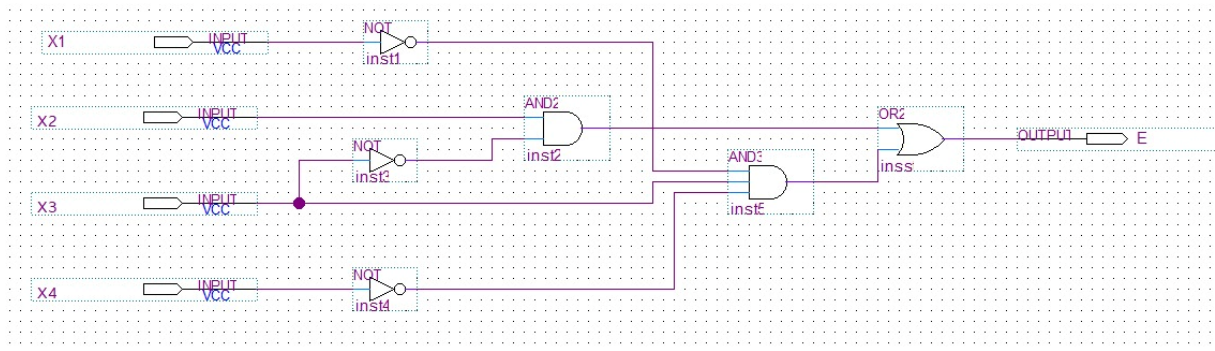
C.



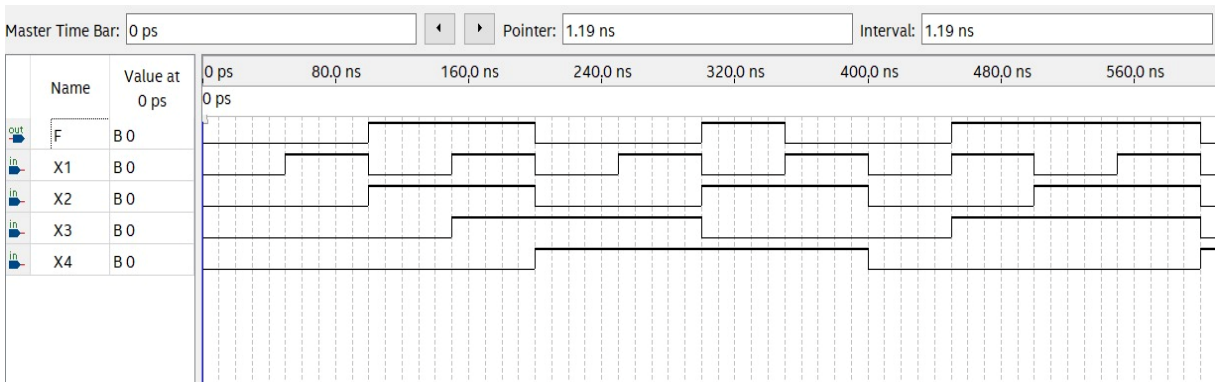
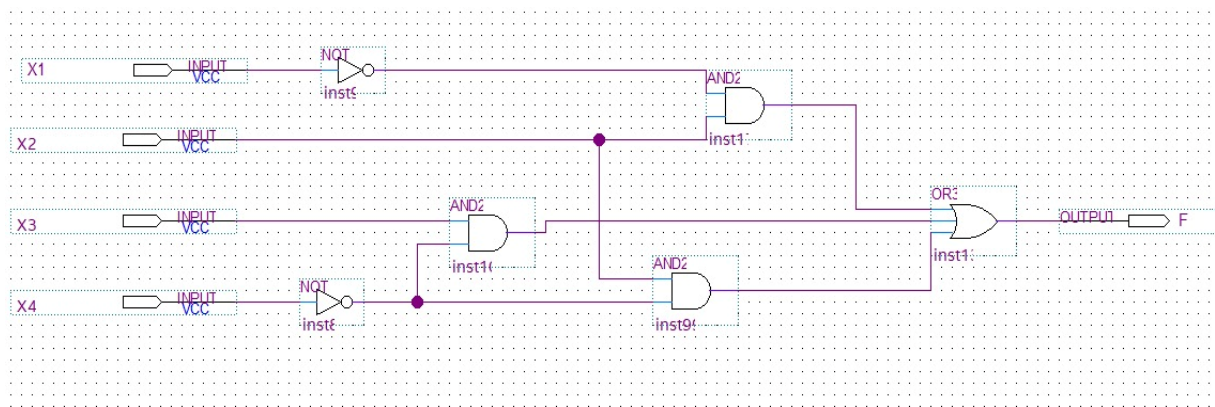
D.



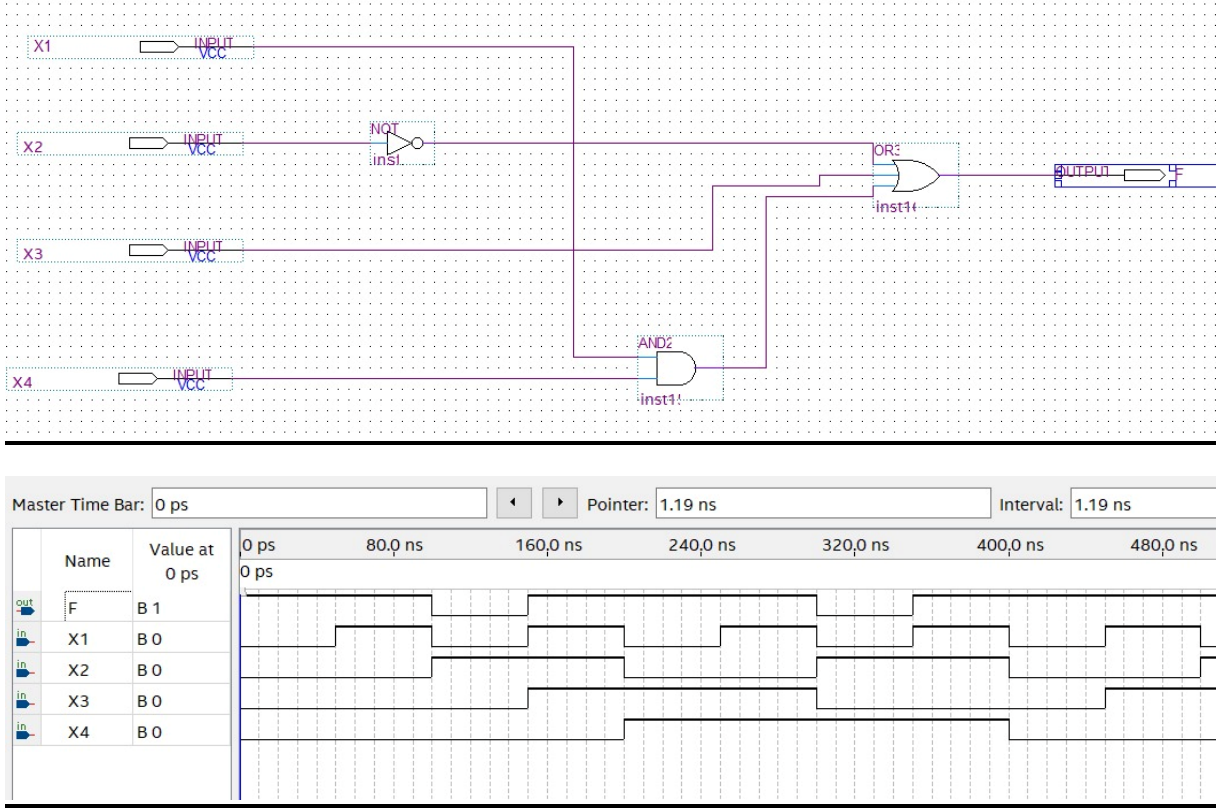
E.



F.



G.



1.D Karşılaştırma:

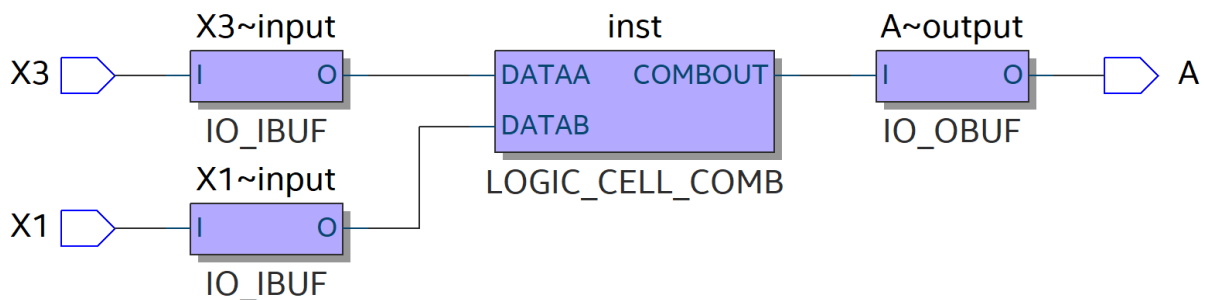
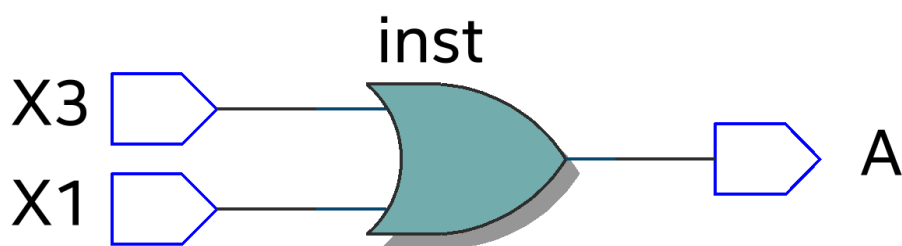
A çıkışı için iki öğrencinin de sadeleştirme sonucu elde ettiği denklemler aynıdır. Böylelikle tasarlamış oldukları devre ve devrede kullandıkları kapılar aynıdır. A devresi iki öğrencide de 1 kapı kullanarak oluşturulmuştur. Simülasyon sonucunda aynı dalga formlarını elde ettikleri gözlemlenmiştir. B, C, D, E, F çıkışları için 2 öğrenci de K-map ile sadeleştirdikleri farklı denklemler üzerinden farklı devreler simüle etmiş böylelikle kullanılan kapı sayıları birbirinden farklı olmuştur. G çıkışı için sadeleştirme sonucu elde edilen denklem aynı ve devrenin gerektirdiği tüm çıktılar aynı olarak elde edilmiştir.

1.E Kaplanan alan, RTL, Eşleştirme Ardı şeması:

Ayşe Serra Şimşek

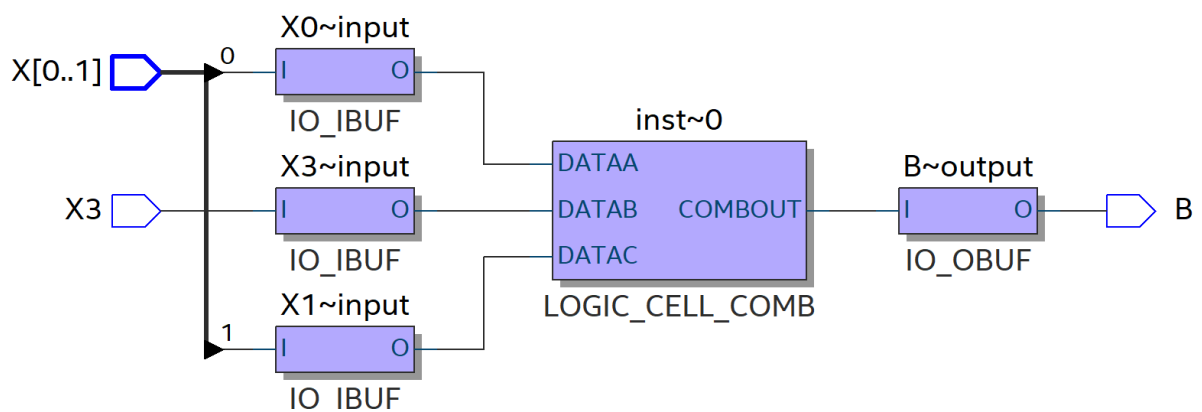
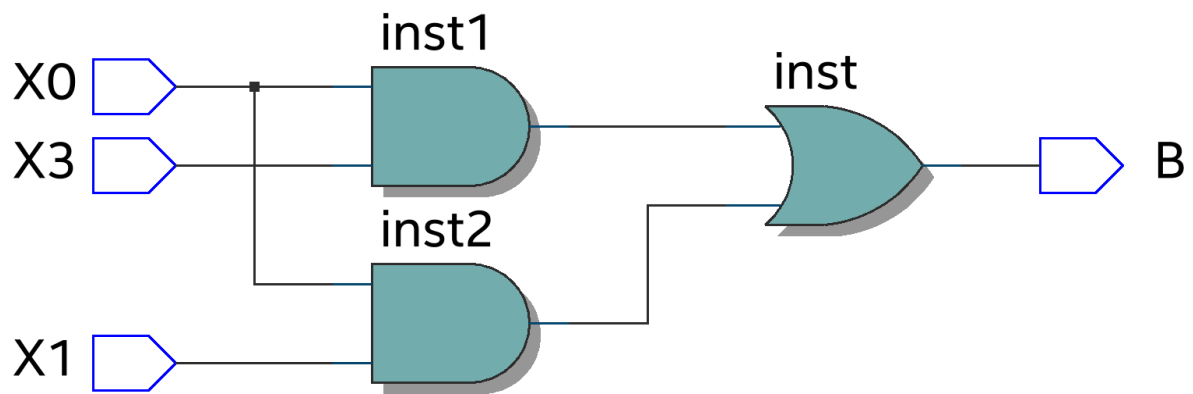
A.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst
15	Maximum fan-out	1
16	Total fan-out	6
17	Average fan-out	0.86



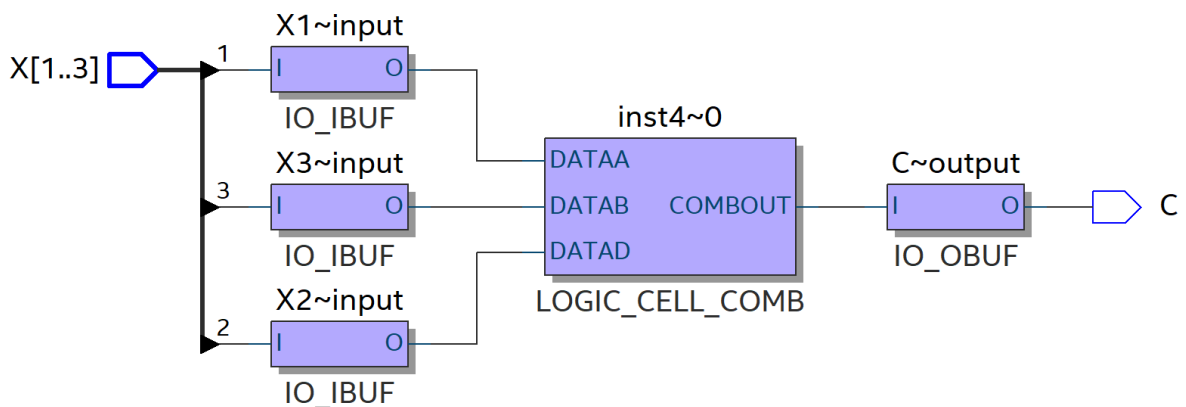
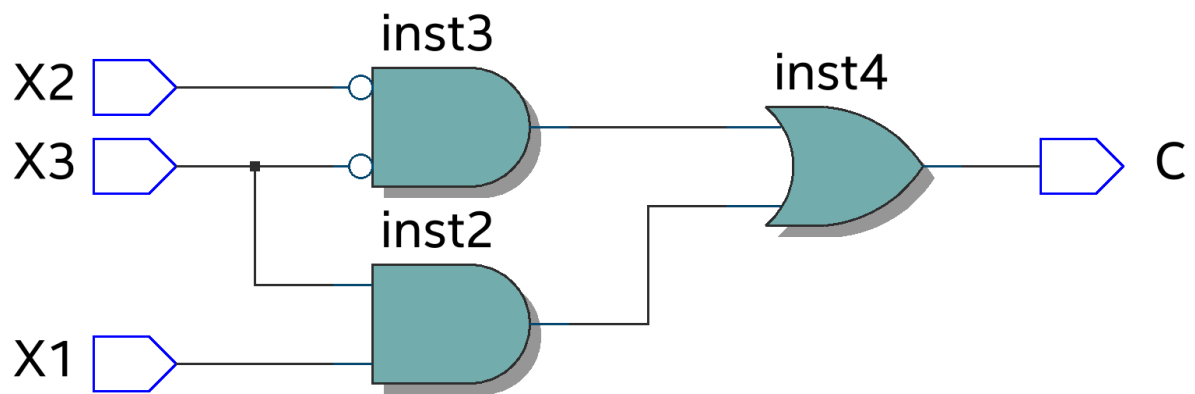
B.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	1
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	4
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst~0
15	Maximum fan-out	1
16	Total fan-out	8
17	Average fan-out	0.89




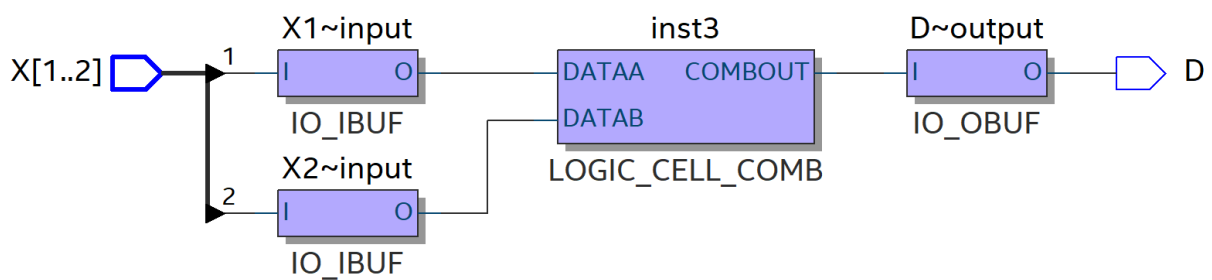
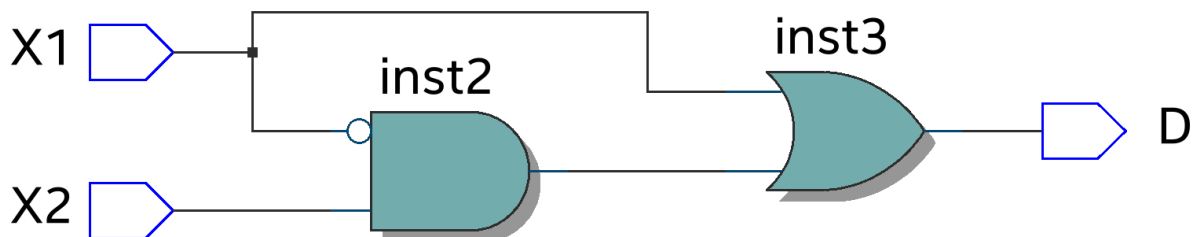
C.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	1
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	4
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst4~0
15	Maximum fan-out	1
16	Total fan-out	8
17	Average fan-out	0.89



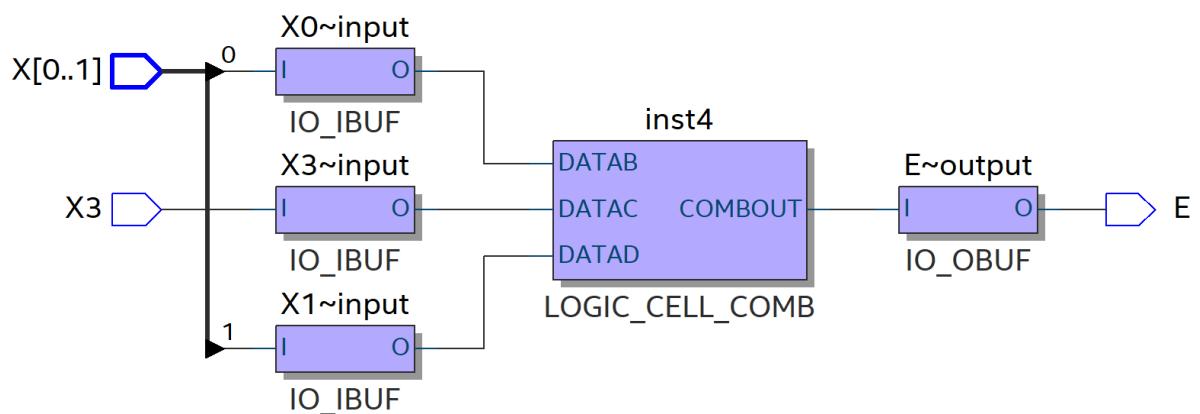
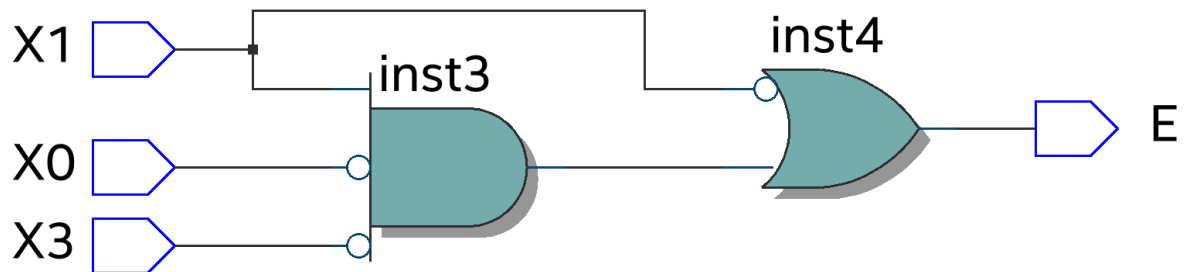
D.

Analysis & Synthesis Resource Usage Summary		
 <<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst3
15	Maximum fan-out	1
16	Total fan-out	6
17	Average fan-out	0.86



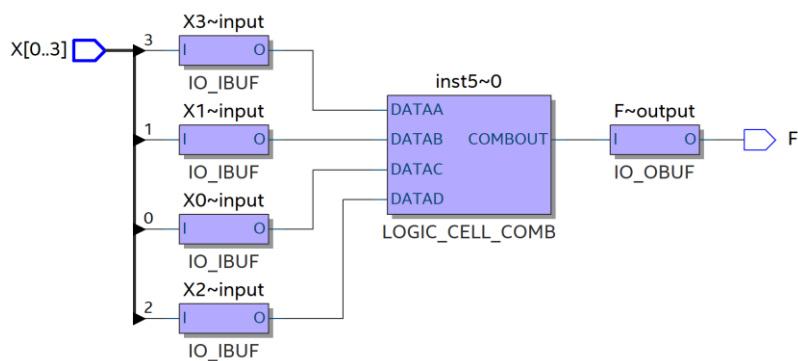
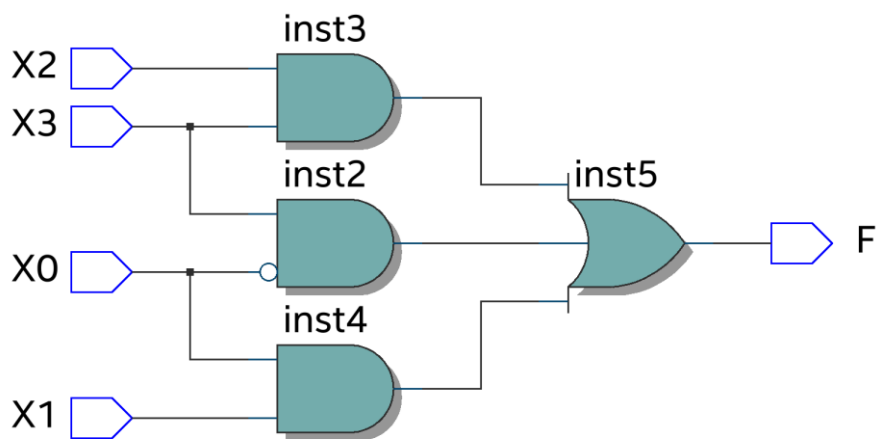
E.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	1
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	4
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst4
15	Maximum fan-out	1
16	Total fan-out	8
17	Average fan-out	0.89



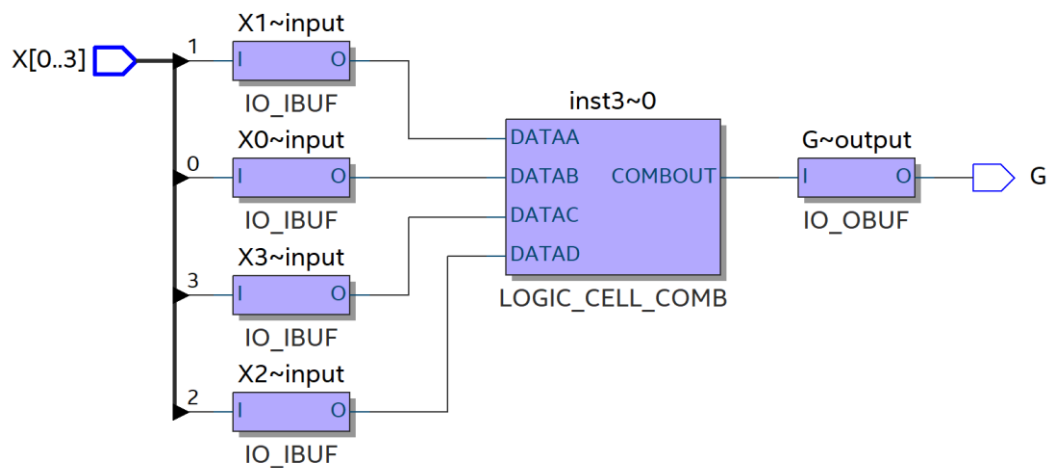
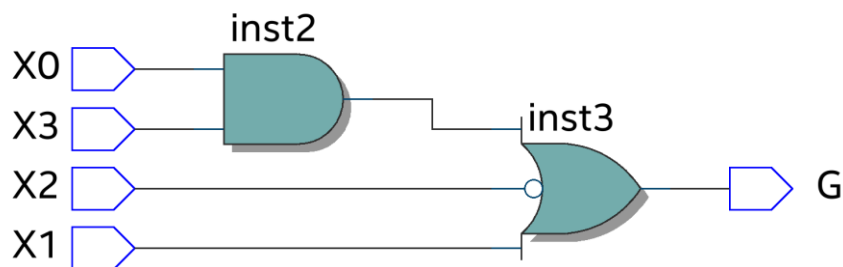
F.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	1
2	-- 3 input functions	0
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	5
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst5~0
15	Maximum fan-out	1
16	Total fan-out	10
17	Average fan-out	0.91



G.

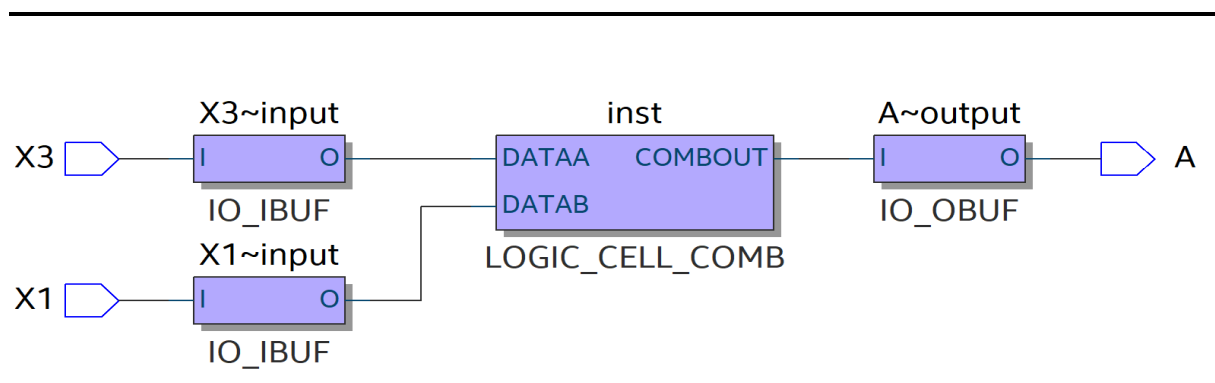
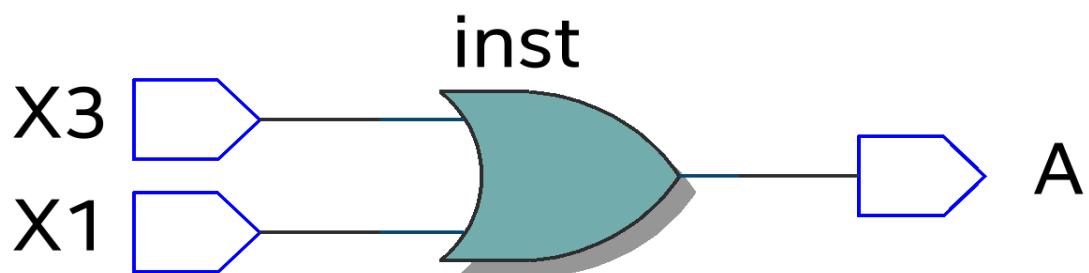
Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	1
2	-- 3 input functions	0
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	5
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst3~0
15	Maximum fan-out	1
16	Total fan-out	10
17	Average fan-out	0.91



Selen Erdoğan

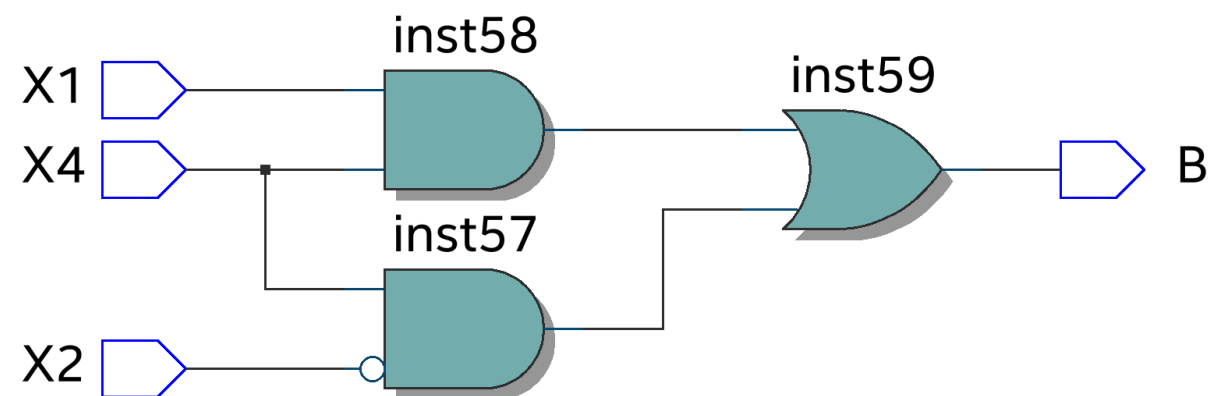
A.

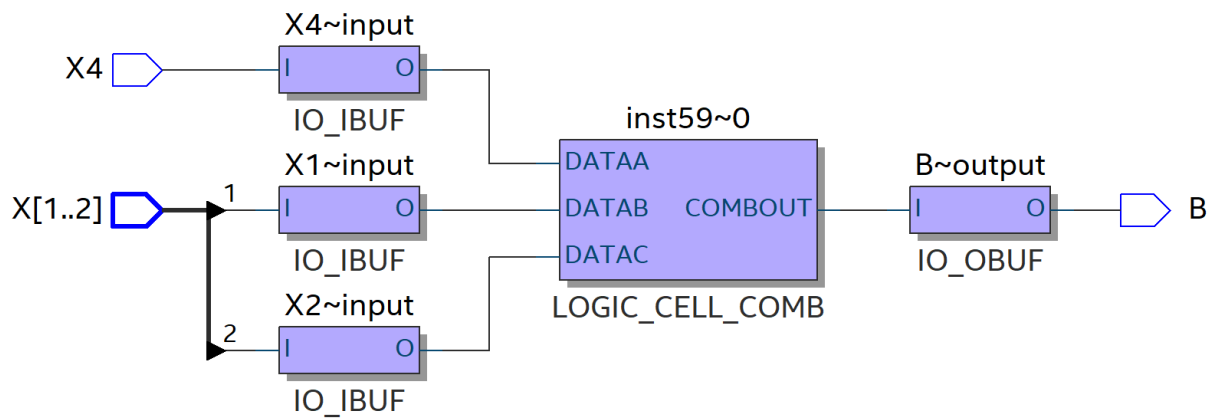
Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	1
2		
3	▼ Combinational ALUT usage for logic	1
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	0
5	-- <=3 input functions	1
4		
5	Dedicated logic registers	0
6		
7	I/O pins	3
8		
9	Total DSP Blocks	0
10		
11	Maximum fan-out node	inst
12	Maximum fan-out	1
13	Total fan-out	6
14	Average fan-out	0.86



B.

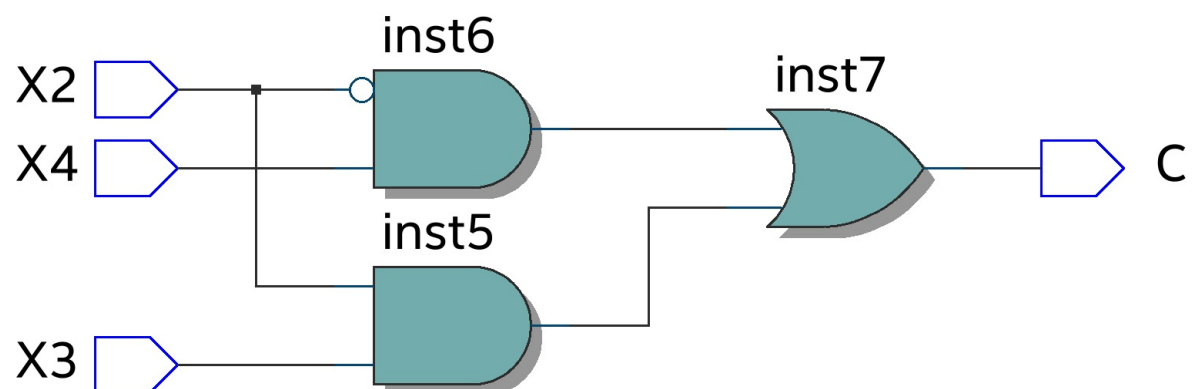
Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	1
2		
3	▼ Combinational ALUT usage for logic	1
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	0
5	-- <=3 input functions	1
4		
5	Dedicated logic registers	0
6		
7	I/O pins	4
8		
9	Total DSP Blocks	0
10		
11	Maximum fan-out node	inst3~0
12	Maximum fan-out	1
13	Total fan-out	8
14	Average fan-out	0.89

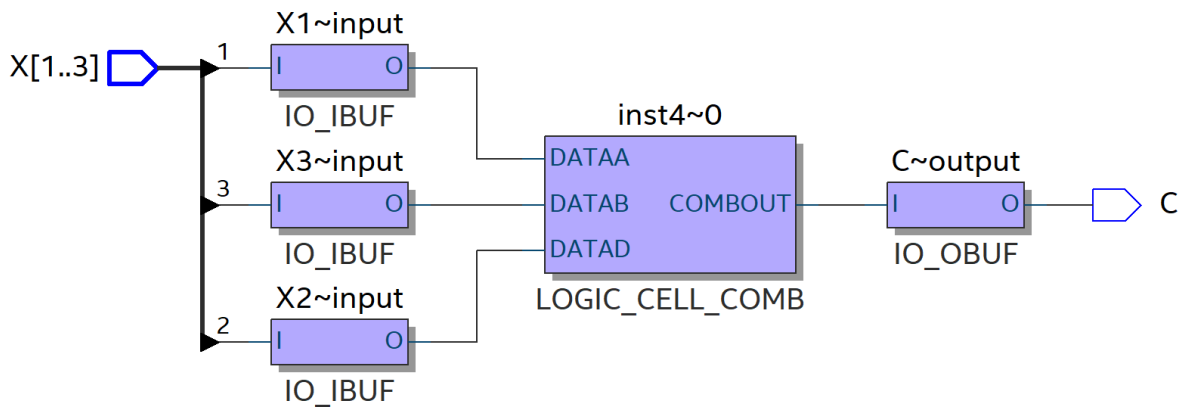




C.

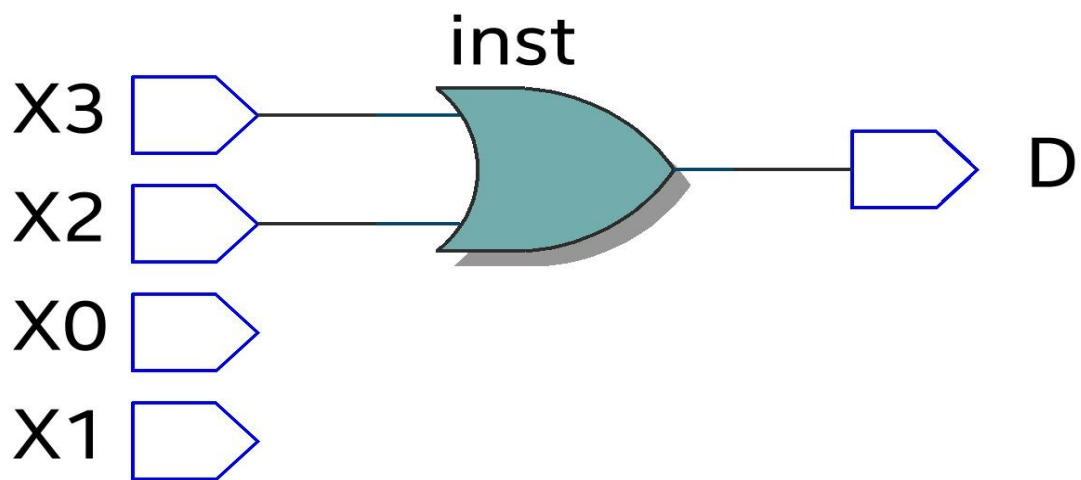
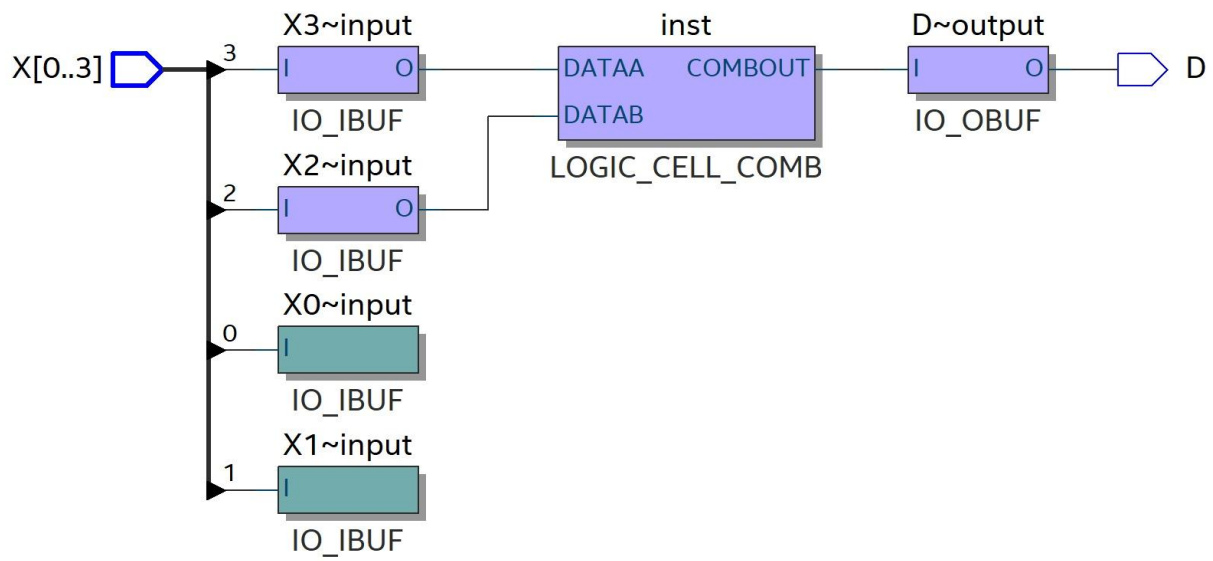
Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	1
2		
3	Combinational ALUT usage for logic	1
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	0
5	-- <=3 input functions	1
4		
5	Dedicated logic registers	0
6		
7	I/O pins	4
8		
9	Total DSP Blocks	0
10		
11	Maximum fan-out node	inst7~0
12	Maximum fan-out	1
13	Total fan-out	8
14	Average fan-out	0.89





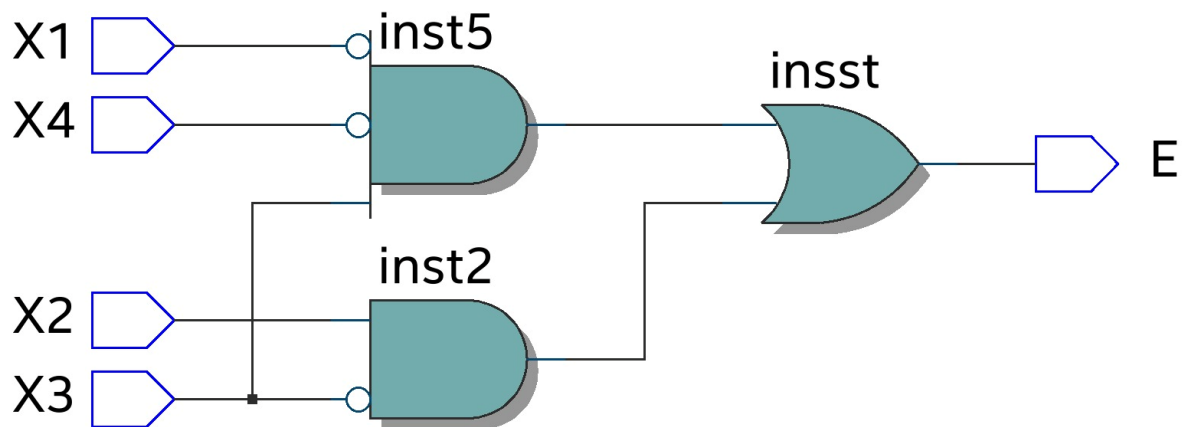
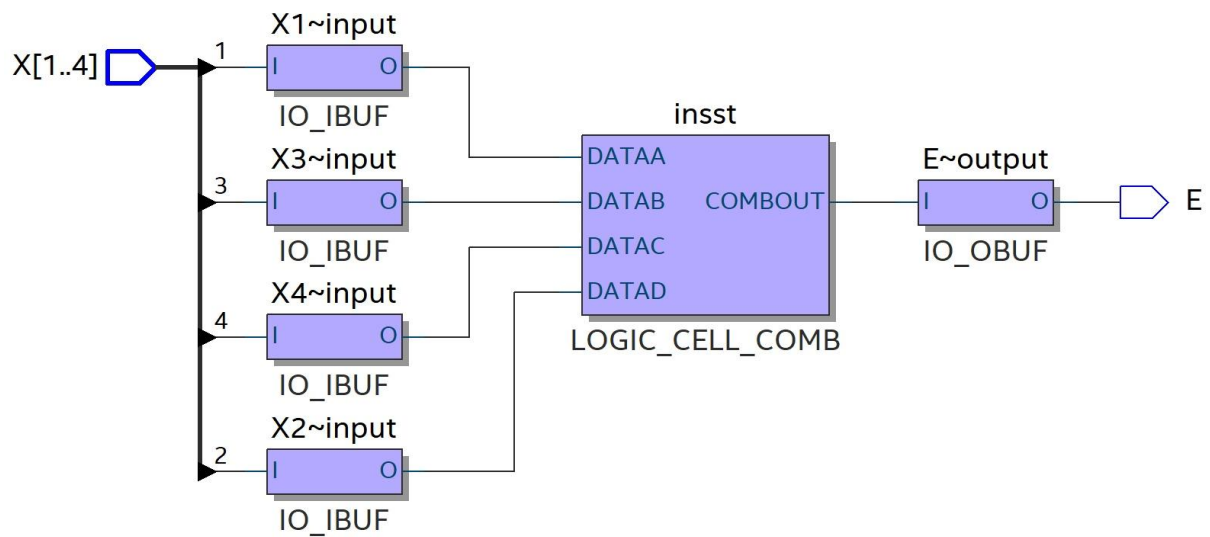
D.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst3
15	Maximum fan-out	1
16	Total fan-out	6
17	Average fan-out	0.86



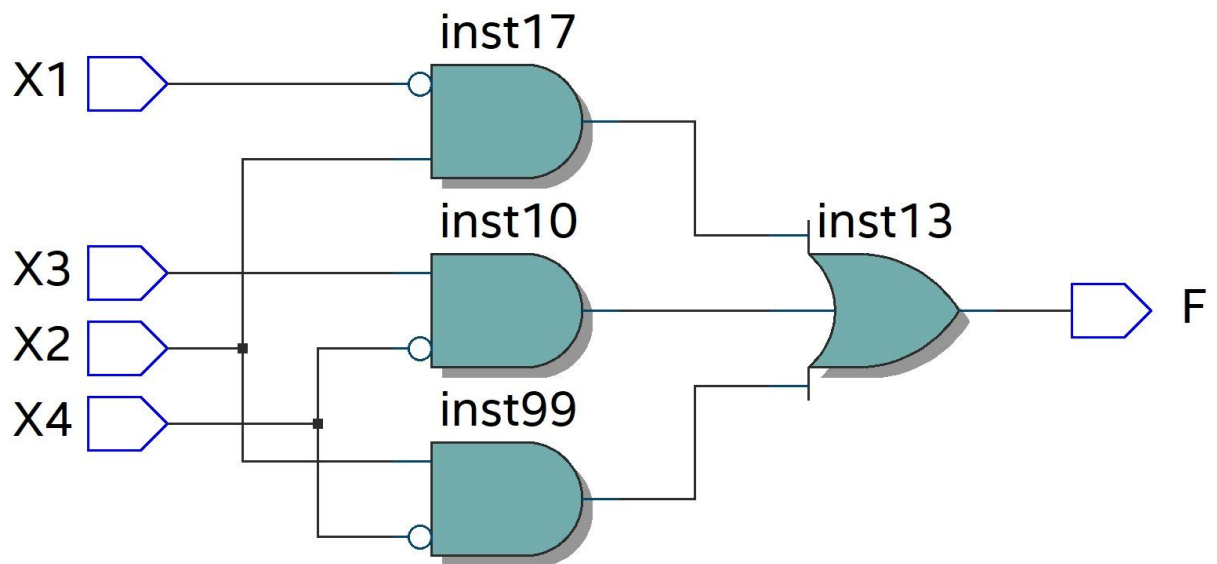
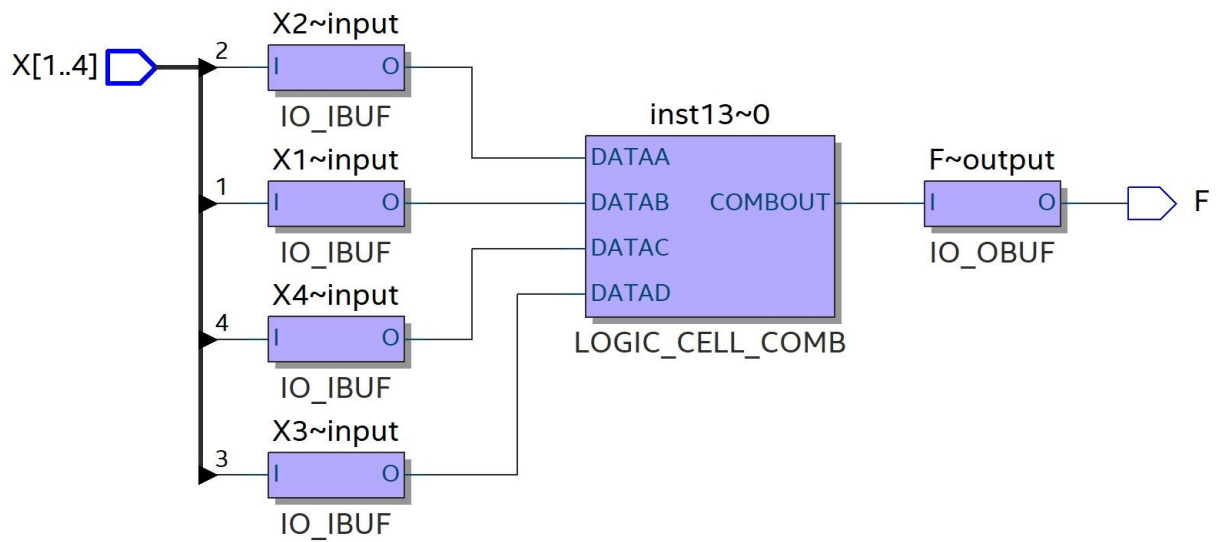
E.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	1
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	4
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst4
15	Maximum fan-out	1
16	Total fan-out	8
17	Average fan-out	0.89



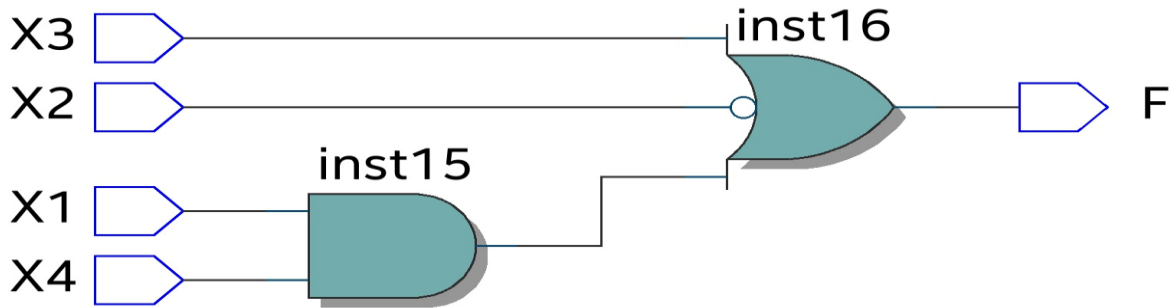
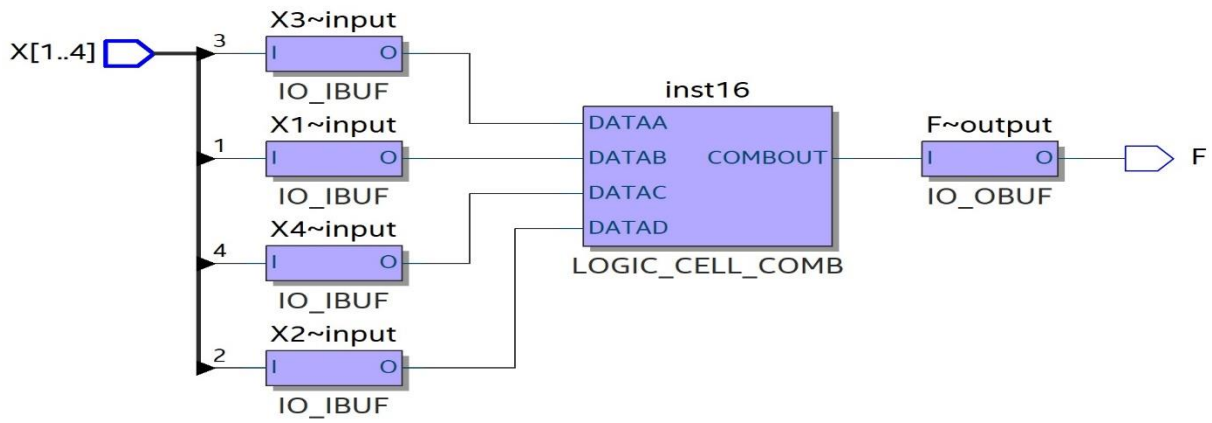
F.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	Logic element usage by number of LUT inputs	
1	-- 4 input functions	1
2	-- 3 input functions	0
3	-- <=2 input functions	0
5		
6	Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	5
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst5~0
15	Maximum fan-out	1
16	Total fan-out	10
17	Average fan-out	0.91



G.

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	1
2		
3	▼ Combinational ALUT usage for logic	1
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	1
5	-- <=3 input functions	0
4		
5	Dedicated logic registers	0
6		
7	I/O pins	5
8		
9	Total DSP Blocks	0
10		
11	Maximum fan-out node	inst16
12	Maximum fan-out	1
13	Total fan-out	10
14	Average fan-out	0.91



1.2. Sonuç

Bu deneyde K-map ve Decoder üzerine araştırmalar yapılmış, föyde belirtilen 7 segment display entegresinde istenilen şekilleri oluşturmak suretiyle kapı/devre çizimleri gerçekleştirilmiştir. Devrelerin girişlere karşı nasıl davrandığı gözlenmiştir. Devrelerin ne kadar yer kapladığı gözlenmiştir. Tabloların simülasyonları Quartus programı ile simüle edilmiştir. Denklemlerin RTL devreleri çizilmiştir. Simülasyon sonuçları teorik tablolarla karşılaştırıldığında deneyin başarı ile tamamlandığı gözlenmiştir. Bu deneyler sırasında MultiSim ve Quartus kullanımı farklı problemler üzerinde kullanılarak pekiştirilmiştir. Bu çizimler yapılırken deneyi gerçekleştiren iki kişinin K-map kullanımında farklı sadeleştirmeler yapması sonucu kapı sayısı farklı olan devreler elde edilmiştir. Ancak aynı sonuçlara ulaşıldığı görülmüştür.

1.3. Referanslar:

https://en.wikipedia.org/wiki/Seven-segment_display

<https://www.allaboutcircuits.com/textbook/digital/chpt-9/decoder/>

<https://www.youtube.com/watch?v=Jg6zsHi3YR0>

<https://www.youtube.com/watch?v=4chjQFpVRag&t=650s>