



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

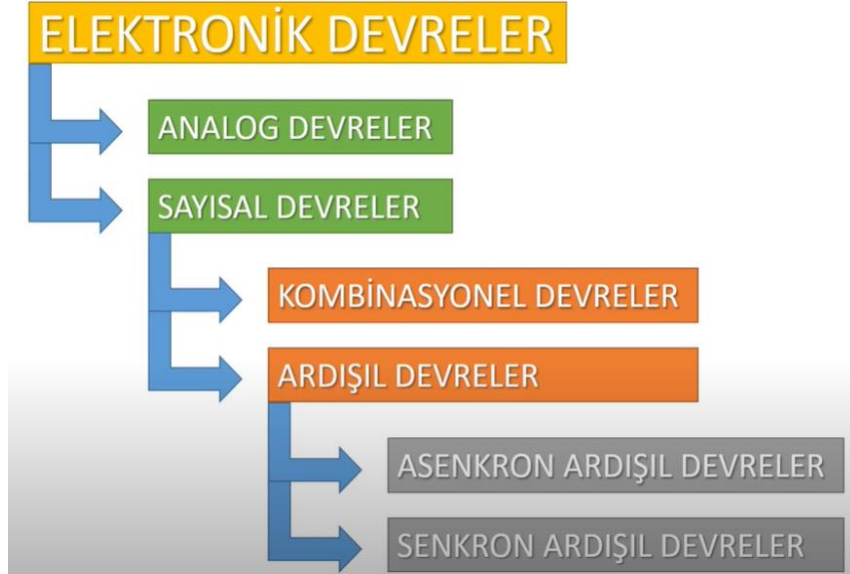
LOJİK DEVRE TASARIM LABORATUVARI

LAB 0x5 Deney Raporu

SIRALI MANTIK TASARIM

Hazırlayanlar
1) 1901022038- SELEN ERDOĞAN
2) 1901022025- AYŞE SERRA ŞİMŞEK

1. Giriş



Dijital

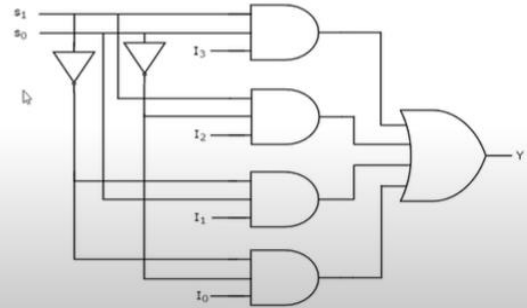
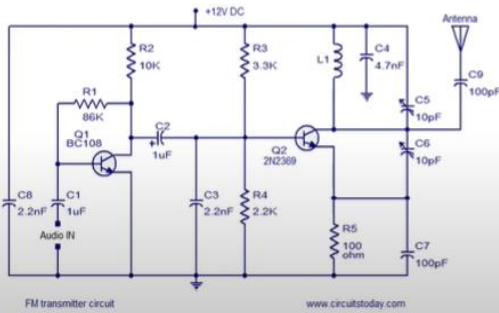
Devre teorisinde, “Sıralı Mantık” devrenin çıktılarının sadece şu anki durumuna değil, aynı zamanda geçmişteki Dijital Sinyal girdilerine de bağlı olduğu mantık devresi yapısıdır. Sıralı

mantık devreleri kombinasyonel mantık devrelerinin aksine sadece şu anki inputlara bağlı değildir. Şöyle ki, sıralı mantık devrelerinin durum hafızaları varken, kombinasyonel mantık devrelerinin yoktur. Diğer bir deyişle, sıralı mantık devreleri hafıza elemanı taşıyan kombinasyonel devrelerdir.

ANALOG DEVRELER



SAYISAL DEVRELER

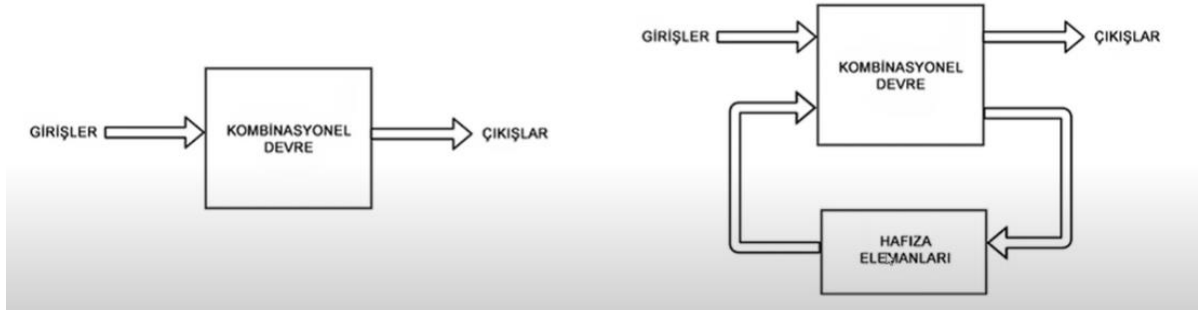


Sıralı mantık, hafıza elemanları vb. güncel elektroniğin temel inşa bloğu olan sonlu durum makinelerinin dizaynında kullanılır. Aslında tüm kullanımda olan dijital cihazlar, kombinasyonel ve sıralı devrelerin birleşiminden oluşmaktadır.

KOMBİNASYONEL DEVRELER



ARDIŞIL DEVRELER

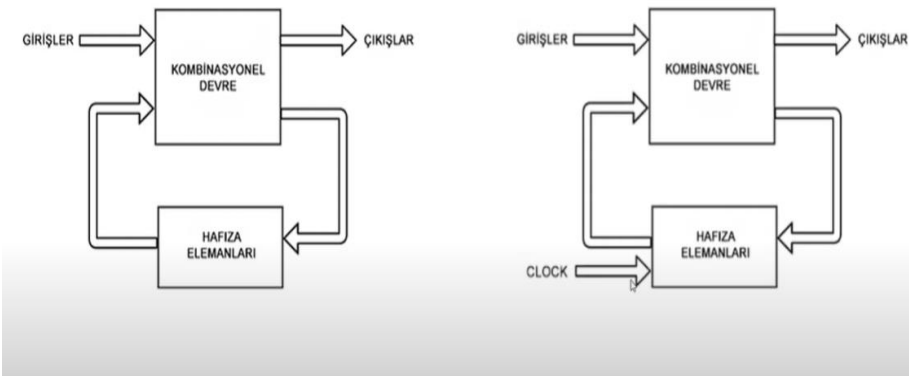


✚ Dijital sıralı devreler senkron ve asenkron olmak üzere iki tipe sahiptirler. Senkron dijital devrelerde, hafıza elemanının durumu, sadece saat girdisinin belirli zamanlarında değiştirilebilirler. Asenkron tipe ise inputun değişimine bağlı olarak anlık durum değişimleri yaşanmaktadır. Örneğin sırasıyla sayı sayan bir devre, her bir saat tikinde değerini senkron bir biçimde artırırken, istendiğinde onun durumunu sıfırlayan kontrol pini bunu asenkron biçimde yapar.

ASENKRON ARDIŞIL DEVRELER



SENKRON ARDIŞIL DEVRELER



✚ Günümüzde kullandığımız neredeyse tüm mantık devreleri “saatli” ya da senkron devrelerdir. Senkron bir devrede, “saat” ismi verilen, arka arkaya atmalar üreten bir elektronik osilatör

bulunur. Bu atmaların her biri devre üzerindeki tüm hafıza elemanlarına ulaştırılır. Sıralı bir devre içerisinde kullanılan en basit hafıza elemanı Flip-Flop’tur ki kendisi sadece 1 bit lik bir veri muhafaza edebilir. Devre içerisindeki herhangi bir flip-flop’un değeri sadece kendisine ulaştırılmış olan saat atmalarının yükselme veya alçalma anında değiştirilebilir. Bu sebeple tüm devre aynı anda başlar ve aynı anda durum değiştirir. Buna devrenin senkronize olması denir.

- Asenkron sıralı devreler, belirli bir saat sinyali tarafından kontrol edilmezler, devrenin durumu anlık olarak girdinin değişmesiyle beraber değişir. Asenkron devrelerin senkronlara oranla daha hızlı çalıştığı bilinmektedir çünkü durumun değişmesi için bir sonraki saat atmasını beklemesine gerek yoktur. Devrenin potansiyel hızı, devre içerisinde kullanılan mantık kapılarının ilerleme gecikmeleriyle sınırlıdır.
- Fakat, asenkron devreler, senkronlara oranla dizaynı ve kontrol etmesi daha zordur. Temel problem dijital hafıza elemanlarının gelen girdi sırasına hassas olmalarından kaynaklanmaktadır, eğer iki girdi mantık kapısına neredeyse aynı anda ulaşırlarsa, devrenin vereceği çıktıyı tahmin etmek zorlaşmaktadır, daha erken gelen sinyal devrenin durumunu belirlemektedir. Bu sebeple devredeki sıcaklık vb. dış etmenlerden kaynaklanan gecikmeler devrenin istenmeyen bir duruma girmesine sebep olabilir.

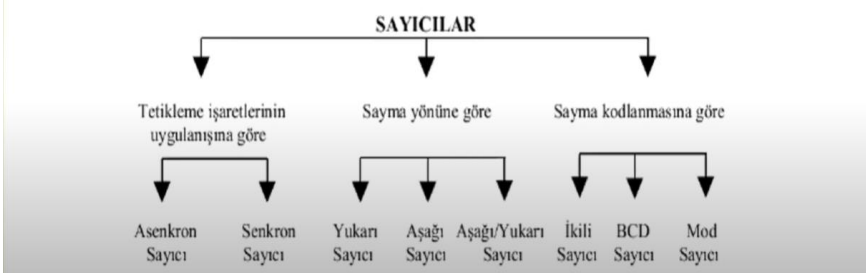
Sayıcılar Nedir?

SAYICILARA GİRİŞ

Sayıcılar: Giriş darbelerine bağlı olarak belirli bir durum dizisini tekrarlayan lojik devrelerdir.

- Flip Flop'ların uygun şekilde bağlanmalarıyla elde edilirler.
- Dijital ölçü, kumanda ve kontrol sistemlerinin en önemli elemanlarıdır.
- Zamanlama (frekans bölme), zaman gecikmesi elde etme, girişteki palsleri istenilen koda dönüştürme ve bu kod bilgisini depolama, özel ardışık-sıralı kodlar üretme gibi amaçlarla kullanılırlar.

3 farklı sınıfa ayrılabilirler:



kullanılmasına **sayıcılar** ismi verilir. Sayıcı devreleri, giriş darbelerine bağlı olarak belirli bir durum dizisini tekrarlayan lojik devrelerdir.

1. Sayıcıların tetikleme işaretinin uygulanışına göre sınıflandırılması:

- Asenkron (farklı zamanlı) sayıcılar,
- Senkron (eş zamanlı) sayıcılar.

Asenkron sayıcılarda;

- Sayma işlemi için kullanılan tetikleme sinyali ilk Flip Flop'a uygulanır.
 - İlk flip flop'un Q veya Q' çıkışından alınan sinyal ile daha sonra gelen FF tetiklenir.
- Diğer bir deyişle; FF'ler birbirini tetiklerler.

Senkron sayıcılarda;

- Tetikleme sinyalleri sayıcıyı oluşturan bütün Flip Flop'lara tek bir hattan aynı anda uygulanır.
- Bu durumda devrede bulunan tüm FF'ler birlikte tetiklenir.

Flip-flopların uygun şekillerde bağlanmasıyla, sayıları saymak için

Asenkron Sayıcılar

Sayma işlemi için kullanılan saat sinyali ilk flip-flopa uygulanıyorsa ve o flip-flopun çıkışında diğer flip-flopun saat girişine bağlanıyorsa ve bu bağlantı devredeki bütün flip-floplar için geçerliyse

bu tür sayıcılara **Asenkron Sayıcılar** denir. Bu sayıcı devrelerinde saat sinyali ilk flip-


flopa uygulanır ve daha sonraki flip flopların saat girişi kendisinden bir önceki flip-flopun Q veya \bar{Q} değil çıkışına bağlanır.

2. Sayıcıların sayma yönüne göre sınıflandırılması:

Sayıcılar sayma yönüne göre üç grupta incelenebilir:

- Yukarı / İleri sayıcılar (Up counters):** Sayıcı 0'dan başlayıp yukarı doğru sayma işlemi gerçekleştiriyorsa, 'yukarı sayıcı' denir.
- Aşağı / Geri sayıcılar (Down counters):** Sayıcı belirli bir sayıdan başlayıp 0'a doğru sayma işlemi yapıyorsa, 'aşağı sayıcı' olarak adlandırılır.
- Yukarı-Aşağı sayıcılar (Up-Down Counters):** Sayıcı her iki yönde sayma işlemini gerçekleştirebiliyorsa, 'yukarı-aşağı sayıcı' olarak isimlendirilir.

Senkron Sayıcılar

 Sayma işlemi için kullanılan saat sinyali bütün flip-floplara eş zamanlı olarak aynı anda uygulanıyorsa bu tür sayıcılara da **Senkron Sayıcılar** denir. Burada saat girişi bütün flip-floplar için ortaktır. Bu sayede bütün flip-floplar birlikte tetiklenir.

Saat sinyalinin uygulanışıyla oluşan bu farklılık ile birlikte asenkron

sayıcılar senkron sayıcılara göre daha yavaş çalışmaktadır. Bunun sebebi ise asenkron sayıcılarda flip-flopların birbirini tetiklemesidir.

2.Problemler

```
module lab5_1 (
input logic clk,reset,en , // input ve output pinleri tanımlanmıştır
input logic [4:0] psc,
output logic thick,
output logic [4:0] counter);
logic [4:0] count; // sayaç değişkeni tanımlanmıştır
always_ff @(posedge clk ,negedge reset )
begin
if(!reset) // reset pini aktif ise sayaç sıfırlanmıştır
begin
count = 5'b00000;
end
else if (en)// devre aktif ise sayaç 1 arttırılmıştır
begin
count = count + 1'b1;
end
end
assign thick = (count==psc) ? 1'b1 : 1'b0 ;// son olarak psc
assign counter = count;
// ile count karşılaştırılmış thick sinyali oluşturulmuştur
endmodule
```

Tablo 1: Problem 1 Multisim

```
`timescale 1ns/1ps

module tb_lab5_1 () ;
logic clk,reset,en;
logic [4:0] psc;
logic [4:0] counter;
logic thick;

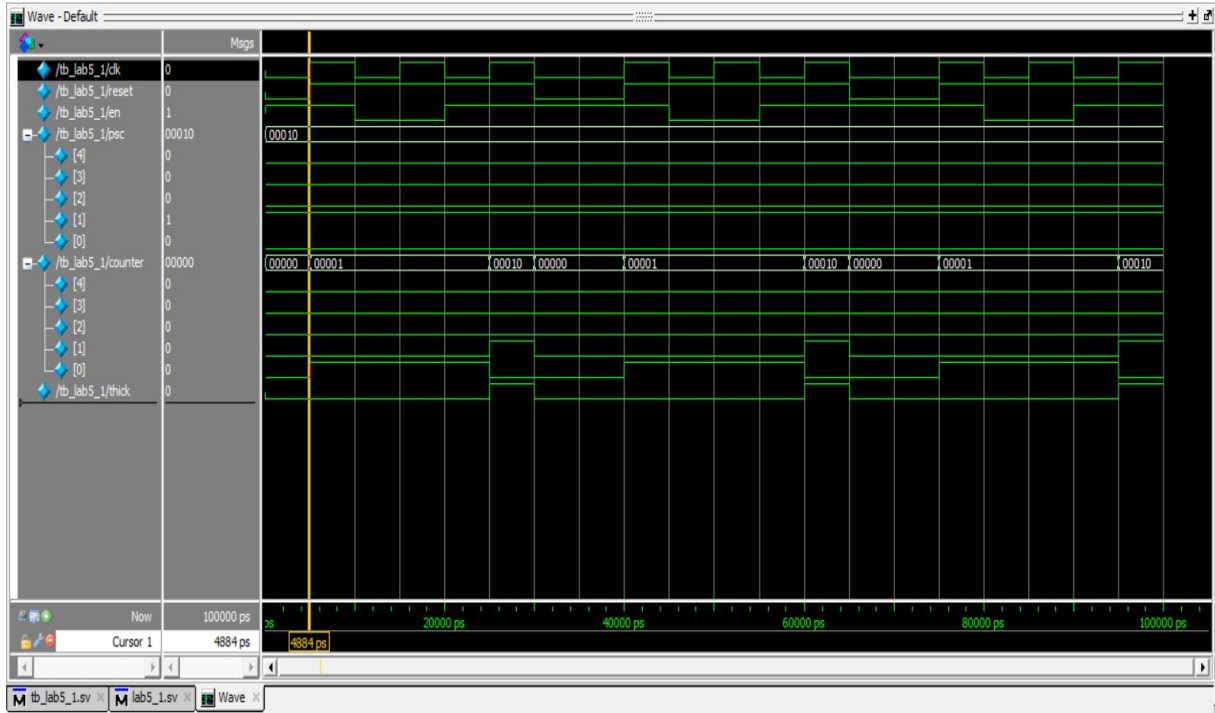
lab5_1 dut0 (clk,reset,en,psc,thick,counter);

always begin
clk=0 ;reset=0 ; en=1; psc=5'b00010; #5;
clk=1 ;reset=1 ; en=1;psc=5'b00010; #5;
clk=0 ;reset=1 ; en=0;psc=5'b00010; #5;
clk=1 ;reset=1 ; en=0;psc=5'b00010; #5;
clk=0 ;reset=1 ; en=1;psc=5'b00010; #5;
clk=1 ;reset=1 ; en=1;psc=5'b00010; #5;
clk=0 ;reset=0 ; en=1;psc=5'b00010; #5;
end

initial begin
#100; $stop;
end

endmodule
```

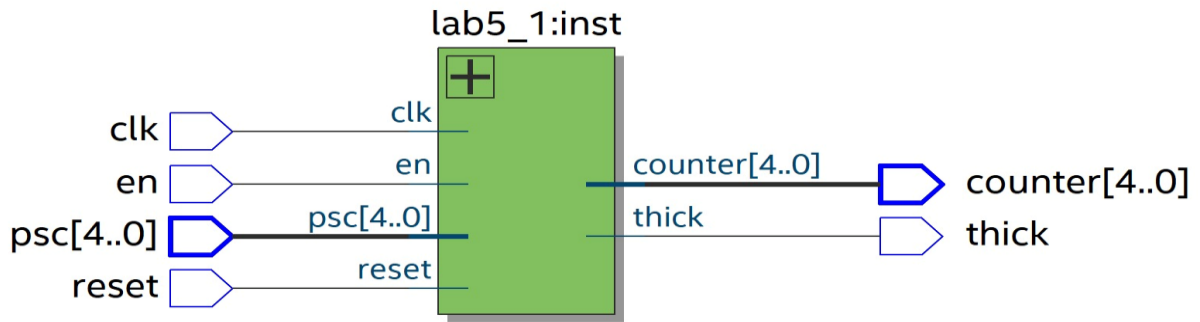
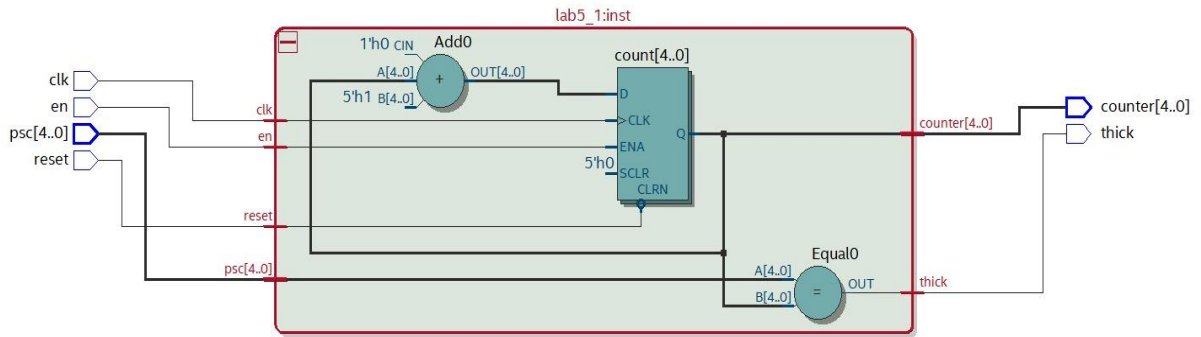
Tablo 2: Problem 1 Multisim Testbench



Şekil.1 Problem 1 Dalga Şeması

Slow 1200mV OC Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
1	524.38 MHz	250.0 MHz	clk	limit due to minimum period restriction (max I/O toggle rate)

Şekil.2 Problem 1 Fmax Değeri



Şekil.3 RTL ŞEMASI

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Apr 24 16:46:08 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	lab5_soru1_top
Top-level Entity Name	lab5_soru1_top
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	8
Total registers	5
Total pins	14
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Şekil.4 Problem 1 Kullanım Özeti

- ✚ Bu deneyde disable edilmesi counter değerini etkilememektedir. Psc sinyali 5 bitlik olarak alınmıştır. Ek olarak active-low sinyali eklendi. Resetin eklenmesiyle counterlar 0 oldu. Tick değeri 1 olunca sayı elde edildi. Bunlar dışında devre içinde 14 adet input/output pin kullanılmıştır. Fmax değeri 524.38 Mhz olarak bulunmuştur.

Problem 2

```

module lab5_2_2 ( // devrenin portları tanımlandı.
input logic clk,reset,en,
input logic [4:0] psc,
output logic thick,
input logic [15:0] reload,
output logic [15:0] cnt,
output logic done);

logic[4:0] counter;

lab5_1 udd(clk,reset,en,psc,thick,counter);

always_ff @ (posedge clk,negedge reset)
begin

done<=0;

if(!reset)// reset varsa(reset==) sayaç 0 a eşitlendi
begin
cnt<=16'b0;
end

else if(en==1&& thick==1) //en ve thick sinyali varsa cnt=cnt-1
oldu
begin
cnt<=cnt-1'b1;
end

else if(cnt==0)
begin
done<=1; // cnt= 0 ise done sinyali 1 e eşitledi
cnt<=reload; // cnt=0 ise reload cnt ye eşitlendi
end

end

endmodule

module lab5_1 (
input logic clk,reset,en , // input ve output pinleri
tanımlanmıştır
input logic [4:0] psc,
output logic thick,
output logic [4:0] counter);

```

```

logic [4:0] count; // sayaç değişkeni tanımlanmıştır

always_ff @(posedge clk ,negedge reset )
begin

if(!reset) // reset pini aktif ise sayaç sıfırlanmıştır
begin
count = 5'b00000;
end

else if (en)// devre aktif ise sayaç 1 arttırılmıştır
begin
count = count + 1'b1;
end

end
assign thick = (count==psc) ? 1'b1 : 1'b0 ;// son olarak psc
assign counter = count;

// ile count karşılaştırılarak thick sinyali oluşturulmuştur
endmodule

```

Tablo 3: Problem 2

```

`timescale 1ns / 1ps

module tb_lab5_2_2();

logic clk, reset, en;
logic [4:0] psc;
logic thick;
logic [15:0] reload;
logic [15:0] cnt;
logic done;

lab5_2_2 selenim(clk,reset,en,psc,thick,reload,cnt,done);

always begin
clk=0 ;reset=0 ; en=1;psc=5'b00010; #5;
clk=1 ;reset=1 ; en=1;psc=5'b00010; #5;
clk=0 ;reset=1 ; en=0;psc=5'b00010; #5;
clk=1 ;reset=1 ; en=0;psc=5'b00010; #5;
clk=0 ;reset=1 ; en=1;psc=5'b00010; #5;
clk=1 ;reset=1 ; en=1;psc=5'b00010; #5;

```

```
clk=0 ;reset=0 ; en=1;psc=5'b00010; #5;
end

initial begin
#200; $stop;
end

endmodule

/*
always begin
clk=0 ;reset=0 ; en=1; psc=5'b00010; #5;
clk=1 ;reset=1 ; en=1;psc=5'b00010; #5;
clk=0 ;reset=1 ; en=0;psc=5'b00010; #5;
clk=1 ;reset=1 ; en=0;psc=5'b00010; #5;
clk=0 ;reset=1 ; en=1;psc=5'b00010; #5;
clk=1 ;reset=1 ; en=1;psc=5'b00010; #5;
clk=0 ;reset=0 ; en=1;psc=5'b00010; #5;
end
*/

/*
reset=0; #5;
en=1; psc=5'b00010; reload=16'b0000_0000_0000_1111;
#100;
*/
```

Tablo 4: Problem 2 tb

3.Sonuç ve Yorumlar

Deney öncesi yapılan uzun bir teorik araştırmanın ardından;

Problem 1’de, föyde belirtilen isterler doğrultusunda bazı sonuçlar elde edilmiştir. Psc sinyali 5 bit olarak alınmıştır. Disable edilmesi durumunun counter değerini etkilemediği görülmüştür. Devre içinde 14 adet input/output pin kullanılmıştır. Fmax değeri 467.51 Mhz olarak bulunmuştur. Problem 2’de yine aynı şekilde çeşitli teorik araştırmanın ardından bazı kod denemeleri yapılmıştır. Ancak simüle etme konusunda sıkıntılar yaşanmıştır. Teorik olarak devre, 16 bitlik reload değerinden 0’ a doğru sayıp, 0’ a ulaşınca sinyal oluşturmalıdır. Ayrıca reset sinyali geldiğinde counterlar 0 değerini almalıdır.

4.Referanslar

- <https://aakgul.sakarya.edu.tr/sites/aakgul.sakarya.edu.tr/file/1396996349-25.pdf.pdf>
- <https://www.youtube.com/watch?v=gAjHNhnpw4>
- <https://www.fpga4student.com/2017/03/verilog-code-for-counter-with-testbench.html>
- <https://www.allaboutcircuits.com/textbook/digital/chpt-11/asynchronous-counters/#:~:text=An%20%E2%80%9Cup%E2%80%9D%20counter%20may%20be,of%20the%20preceding%20flip%2Dflops.>
- https://www.electronics-tutorials.ws/counter/count_3.html
- <https://aakgul.sakarya.edu.tr/sites/aakgul.sakarya.edu.tr/file/1395186174-20.pdf.pdf>
- http://www.asic-world.com/examples/verilog/up_down_counter.html