



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 1 Deney Raporu

Temel Lojik Devreler ve Boolean Cebri

Hazırlayanlar
1) 1901022025 – Ayşe Serra ŞİMŞEK
2) 1901022038 – Selen Erdoğan

1. Giriş

Bu laboratuvar dersinde Boolean cebirini yorumlayarak devre şeması çizimi gerçekleştirilmiştir. Aynı zamanda devre sadeleştirme işlemleri, Quartus programının kullanımı, basit mantık kapılarının kullanımı ve sonuçların simüle edilmesi üzerine çalışılmıştır.

2. Problemler

2.1. Problem I – Boolean Cebri

2.1.A. Denklem 1'in Doğruluk Tablosu ve Giriş Kombinasyonları

$$A B \overline{C} + \overline{A} \overline{B} C + A \overline{B} C + \overline{A} B C + A B C + A \overline{B} \overline{C}$$

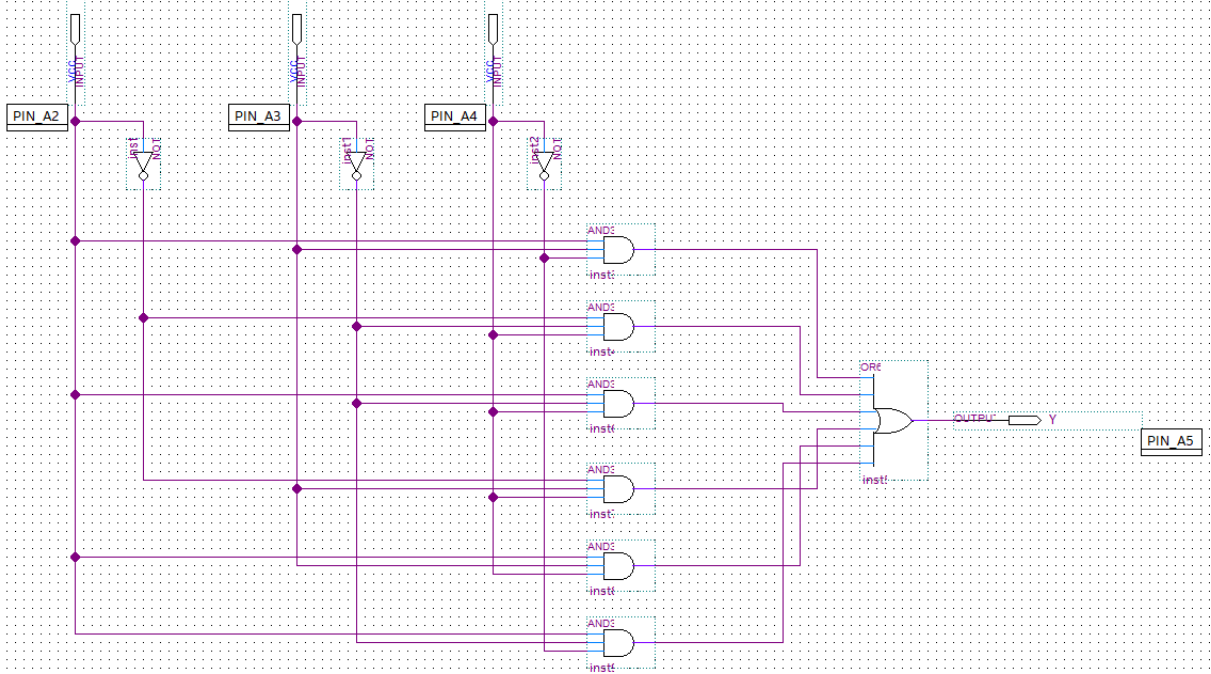
Denklem 1

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

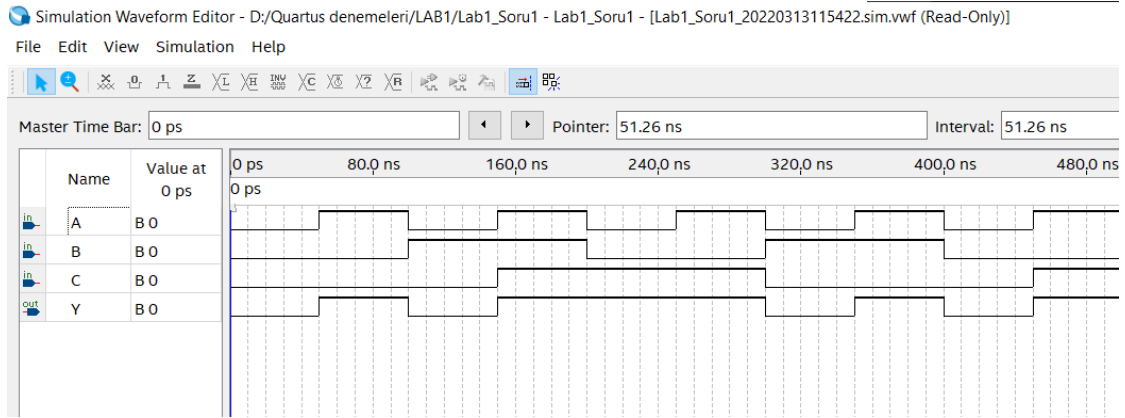
Denklemini incelediğimizde burada yapılan işlemin Sum Of Products (SOP) olduğunu görürüz. Çarpımların toplamı işlemi, lojik ifadelerin önce çarpılmasını ardından toplanmasını ifade eder. Bu işlemler için de AND ve OR kapıları kullanılır. Yukarıdaki denklemi incelediğimizde SOP işlemine göre denklemde verilen ifadelerin 1, kalanların 0 olması gerektiğini anlarız.

2.1.B. Devre Şeması

Verilen denklemin devre şeması çizilerek fonksiyonel simülasyonu gerçekleştirilmiştir. Girişlere bütün olası kombinasyonlar uygulanmıştır ve çıkış sinyalleri gözlenmiştir.



Şekil 1. Pin atamaları yapılan Denklem1'in lojik devre şematik görüntüsü



Şekil 2. Devrenin simüle edilmiş görüntüsü

2.1.C. Simülasyon Sonuçları ile Teorik Hesapların Karşılaştırılması

Bu karşılaştırma, simülasyon sonucu ile doğruluk tablosu üzerinden yorumlanabilir. Örnek olarak simülasyon görüntüsünden bir kısmı alabiliriz.

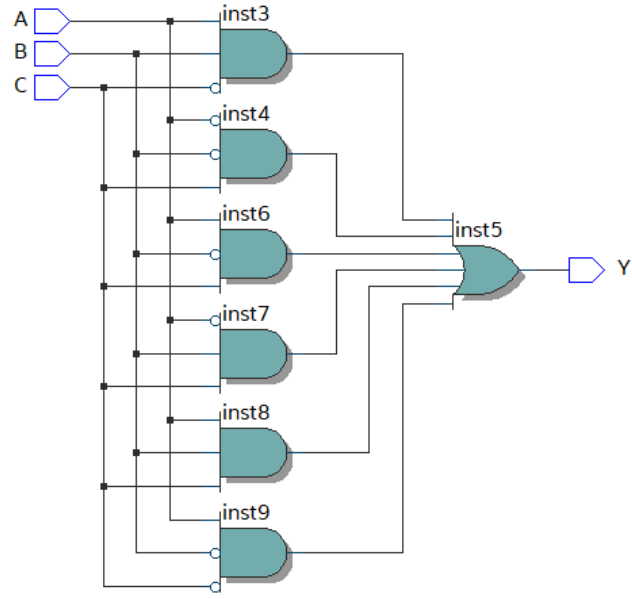
	Name	Value at 0 ps	0 ps	80.0 ns
in	A	B 0		
in	B	B 0		
in	C	B 0		
out	Y	B 0		

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

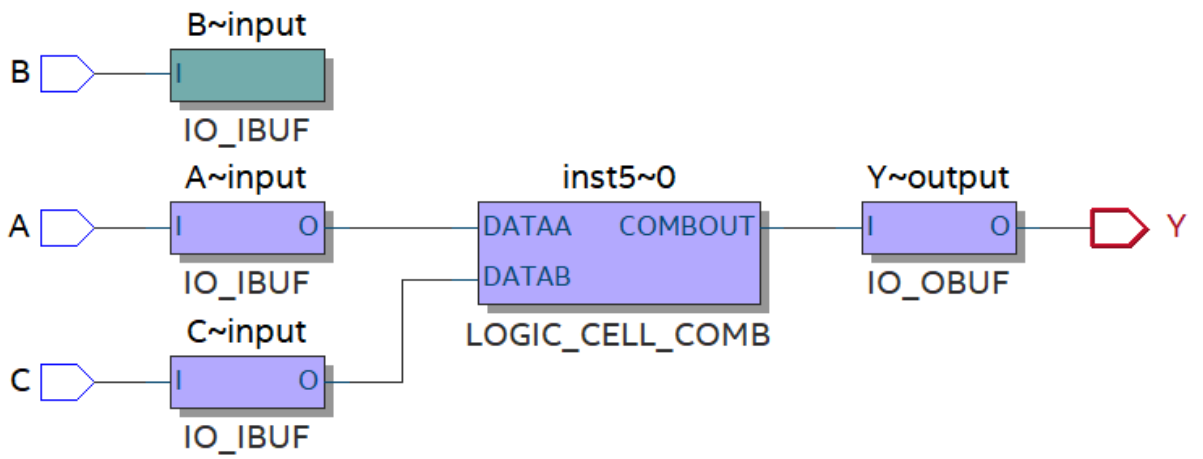
2.1.D. Büyüklük, RTL ve Eşleştirme Ardı Devre Şemaları

Table of Contents		Analysis & Synthesis Resource Usage Summary	
<ul style="list-style-type: none"> Flow Summary Flow Settings Flow Non-Default Global Settings Flow Elapsed Time Flow OS Summary Flow Log Analysis & Synthesis <ul style="list-style-type: none"> Summary Settings Parallel Compilation Source Files Read Resource Usage Summary Resource Utilization by Entity Optimization Results Post-Synthesis Netlist Statistics Elapsed Time Per Partition Messages <ul style="list-style-type: none"> Flow Messages Flow Suppressed Messages 		<ul style="list-style-type: none"> Estimated Total logic elements: 1 Total combinational functions: 1 Logic element usage by number of LUT inputs <ul style="list-style-type: none"> -- 4 input functions: 0 -- 3 input functions: 0 -- <=2 input functions: 1 Logic elements by mode <ul style="list-style-type: none"> -- normal mode: 1 -- arithmetic mode: 0 Total registers: 0 <ul style="list-style-type: none"> -- Dedicated logic registers: 0 -- I/O registers: 0 I/O pins: 4 Embedded Multiplier 9-bit elements: 0 Maximum fan-out node: inst5~0 Average fan-out: 0.78 	

Şekil 3. Devrenin, sentezleme sonucunda kapladığı alan



Şekil 4. Devrenin, RTL şeması



Şekil 5. Devrenin, eşleştirme ardı şeması

2.2. Problem II – Boolean Teoremleri Kullanarak Devre Sadeleştirme

2.2.A. Boolean Denklemi En Sade Hale Getirme

Problem 1’de verilmiş olan denklemi “Combining” yöntemi ile sadeleştiririz.

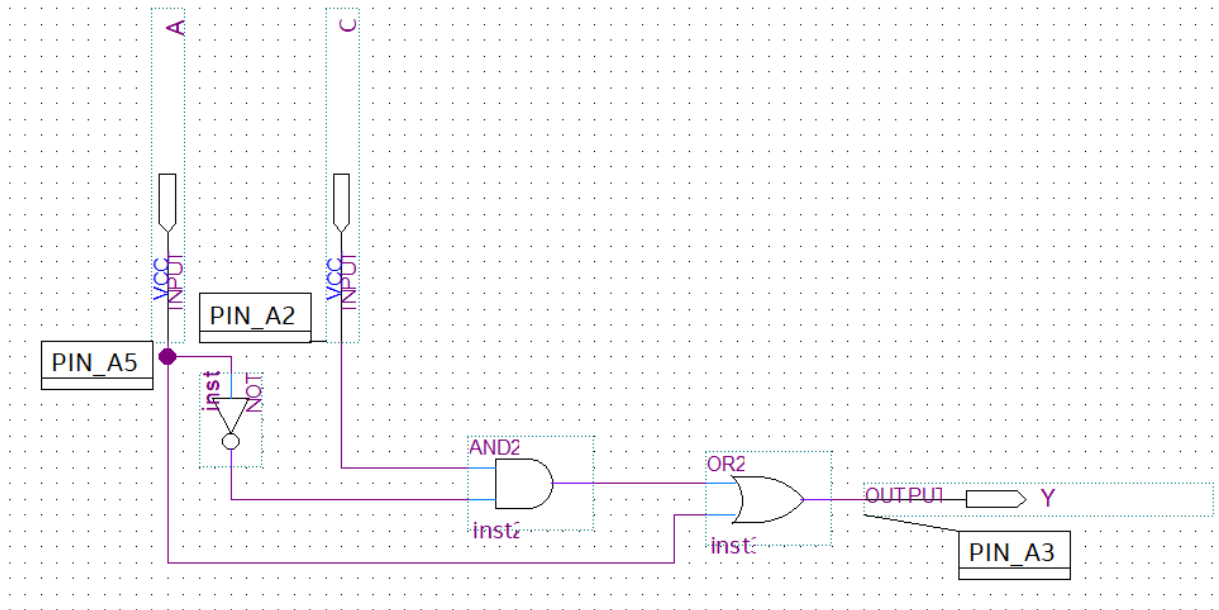
$$ABC' + A'B'C + AB'C + A'BC + ABC + AB'C'$$

- $AB(C'+C) + AB'(C'+C) + A'C(B'+B)$
- $AB + AB' + A'C$
- $A(B'+B) + A'C$
- $A + A'C$

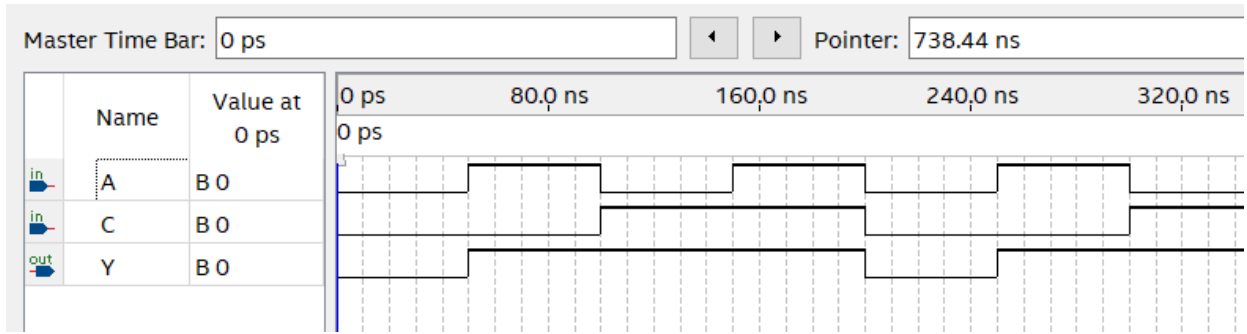
2.2.B. Sadeleşen Denklem Doğruluk Tablosu

A	C	A'C	Y
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	1

2.2.C. Sadeleşen Denklem Devre Şeması



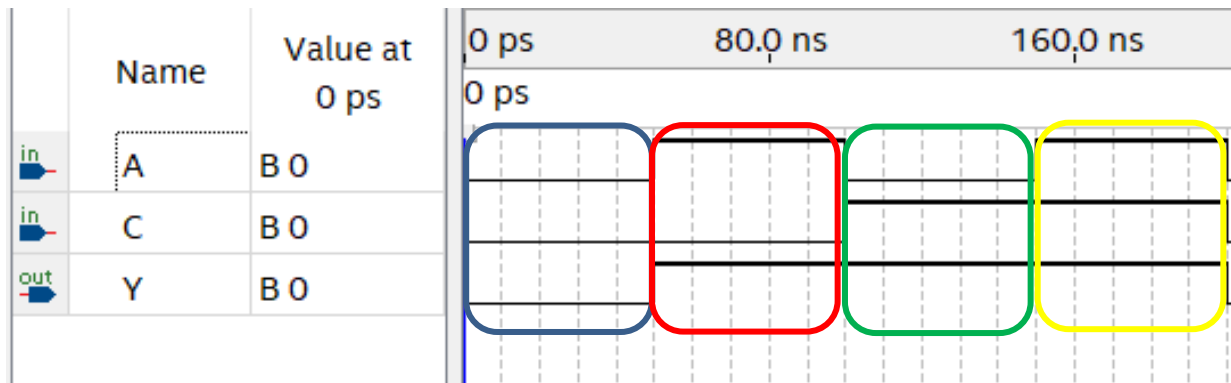
Şekil 6. Pin atamaları yapılan sadeleşmiş denklemin lojik devre şematik görüntüsü



Şekil 7. Devrenin simüle edilmiş görüntüsü

2.2.D. Simülasyon Sonuçları ile Teorik Hesapların Karşılaştırılması

Bu karşılaştırma, simülasyon sonucu ile doğruluk tablosu üzerinden yorumlanabilir. Örnek olarak simülasyon görüntüsünden bir kısmı alabiliriz.

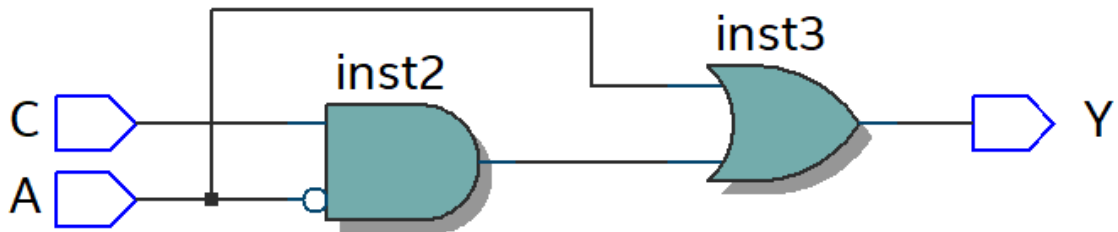


A	C	A'C	Y
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	1

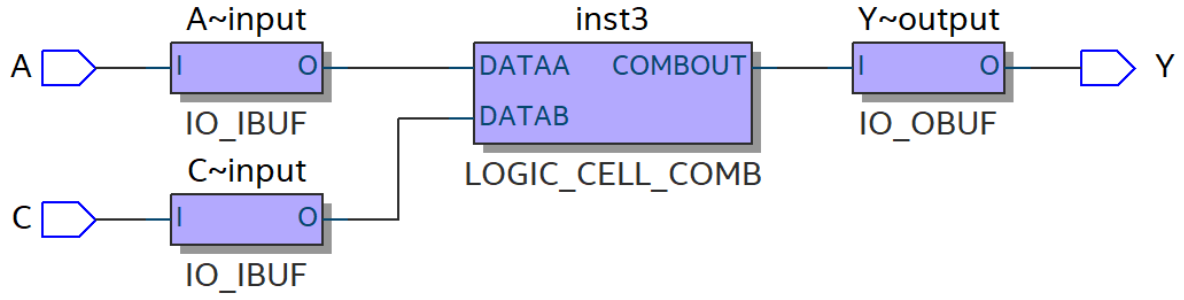
2.2.E. Büyüklük, RTL ve Eşleştirme Ardı Devre Şemaları

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3

Şekil 8. Devrenin, sentezleme sonucunda kapladığı alan



Şekil 9. Devrenin, RTL şeması



Şekil 10. Devrenin eşleştirme ardı şeması

Bu sadeleşmiş devrenin, problem 1’de verilen devreyle kıyaslamasını yapacak olursak, input sayısının 1 azaldığını görebiliriz. Devre daha az kapı kullanılarak daha sade bir hale gelmiştir.

2.3 Problem 3 – Dalga Şekli Yardımıyla Devre Tasarlama

2.3.A Teorik Araştırma

Bu deney için Sop ve Pos denklemlerinden yararlanılmıştır.

2.3.B Deneyin Yapılışı

2.3.C Doğruluk Tablosu

$$(G'TUE') + (G'TUE') + (GT'UE') + (G'T'UE') + (GT'U'E') + (G'T'U'E')$$

- $TUE'(G+G') + T'UE'(G+G') + T'U'E'(G+G')$
- $UE'(T+T') + T'U'E'$
- $E'(U+U'T')$

Şekila. **X İÇİN**

$$(G'TUE) + (G'T'UE) + (GTU'E) + (G'TU'E) + (GT'U'E) + (G'T'U'E) + (G'TUE') + (G'T'UE') + (GTU'E') + (G'TU'E') + (GT'U'E') + (G'T'U'E')$$

- $G'UE(T+T') + TU'E(G+G') + T'U'E(G+G') + G'UE'(T+T') + TU'E'(G+G') + T'U'E'(G+G')$
- $U'E(T+T') + G'U(E'+E) + U'E'(T+T')$
- $U'(E+E') + G'U$
- $U' + G'U$

Şekilb. **Y İÇİN**

	E'(U+U'T')			
G	T	U	E	X
1	1	1	1	0
0	1	1	1	0
1	0	1	1	0
0	0	1	1	0
1	1	0	1	0
0	1	0	1	0
1	0	0	1	0
0	0	0	1	0
1	1	1	0	1
0	1	1	0	1
1	0	1	0	1
0	0	1	0	1
1	1	0	0	0
0	1	0	0	0
1	0	0	0	1
0	0	0	0	1

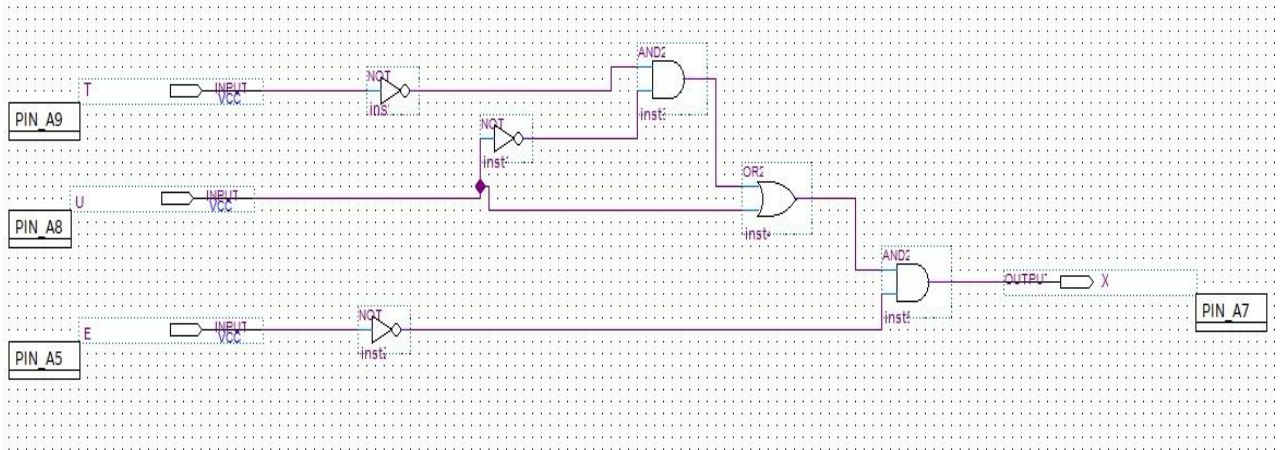
Şekil 11. X için doğruluk tablosu

		U' + G'U		
G	T	U	E	Y
1	1	1	1	0
0	1	1	1	1
1	0	1	1	0
0	0	1	1	1
1	1	0	1	1
0	1	0	1	1
1	0	0	1	1
0	0	0	1	1
1	1	1	0	0
0	1	1	0	1
1	0	1	0	0
0	0	1	0	1
1	1	0	0	1
0	1	0	0	1
1	0	0	0	1
0	0	0	0	1

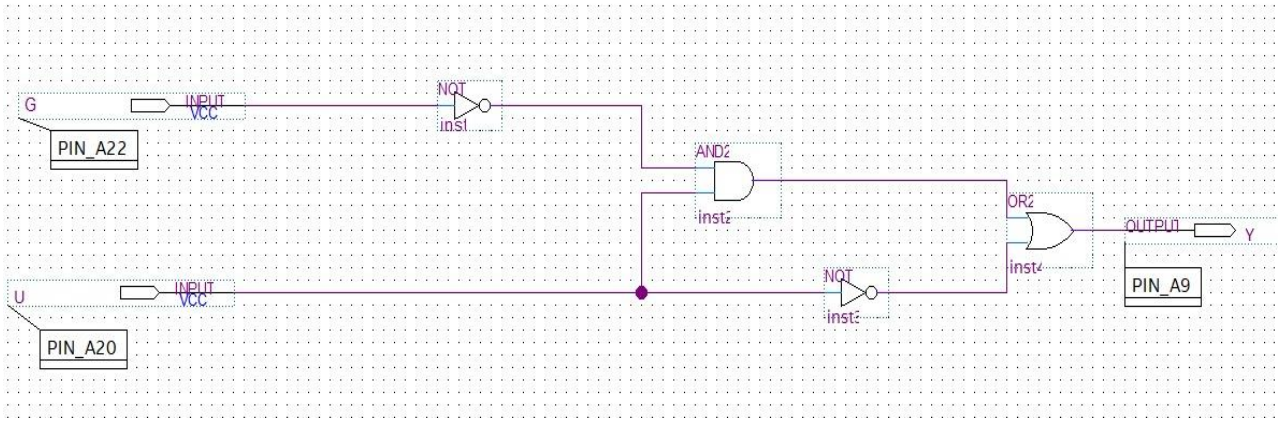
Tablo 12. Y için doğruluk tablosu

Verilen devre grafiğine göre şekil a ve şekil b' de görüldüğü gibi combining yöntemi kullanılarak sadeleştirilmiştir. Sadeleştirilmiş olan denklemler tablo 11 , tablo 12'de verilen tabloda görüldüğü üzere 16 farklı kombinasyonu X ve Y için tek tek incelenmiş ve tablo haline getirilmiştir.

2.3.D Devrenin Şematik Görüntüsü



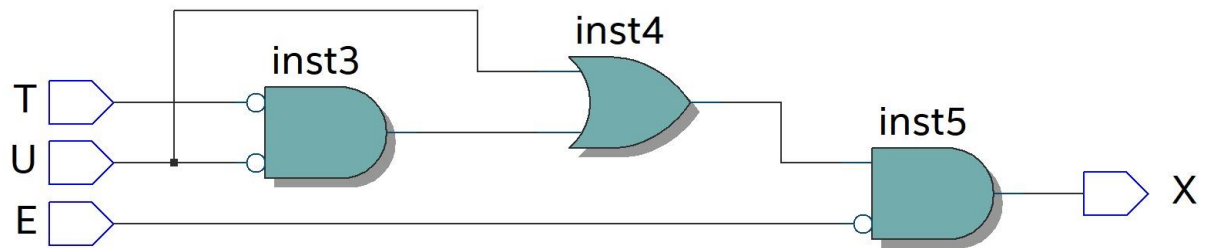
Şekil 13. X için devrenin şematik görüntüsü



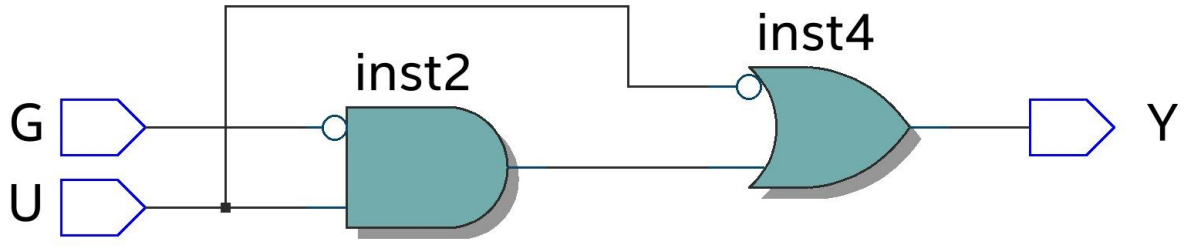
Şekil 14. Y için devrenin şematik görüntüsü

Şekil 13 ve şekil 14’de X ve y devrelerine ait şematik görüntüler mevcuttur. Şematik görüntülerde giriş ve çıkışlar isimlendirilerek belirtilmiş ve lojik kapıların bağlantıları yapılmıştır.

2.3.E RTL Şeması



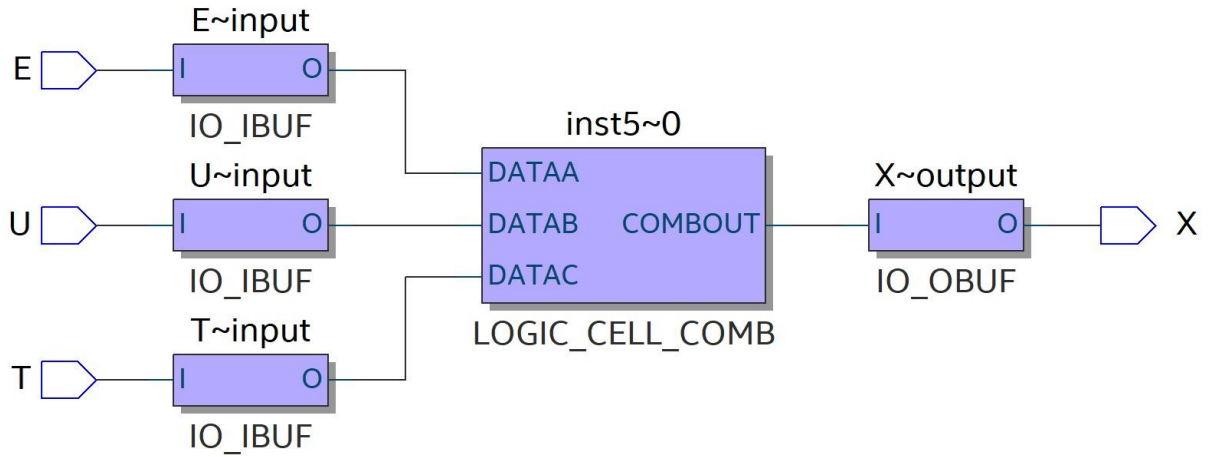
Şekil 15. X için RTL şeması



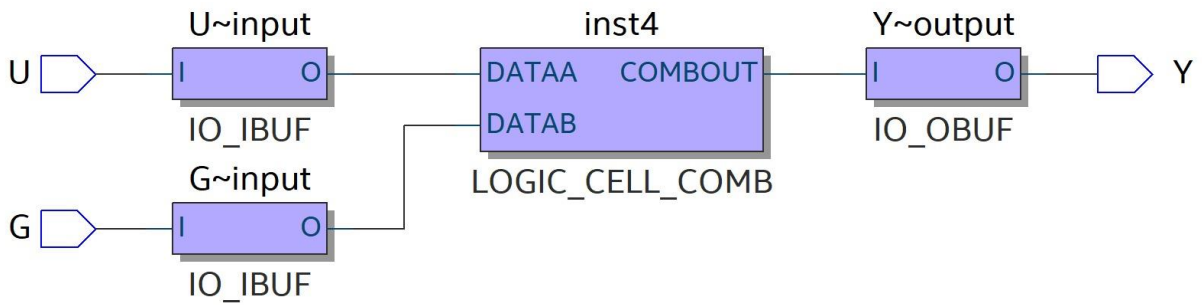
Şekil 16. Y için RTL şeması

Şekil 15 ve şekil 16'deki görüntüler QUARTUS PRIME programından tools>netlist viewers>technology map viewer>post-mapping komutları takip edilerek elde edilmiştir. RTL şeması bize FPGA kartı üzerindeki görüntünün elde edilmesini sağlar.

2.3.F Eşleştirme Ardı Teknoloji Şeması



Şekil 17. X için eşleştirme ardı teknoloji şeması



Şekil 18. Y için eşleştirme ardı teknoloji şeması

Şekil 17 ve şekil 18'deki görüntü QUARTUS PRIME programından tools>netlist viewers>technology map viewer>post-mapping sekmesi sayesinde elde edilmiştir. RTL şeması bize FPGA kartı üzerindeki görüntüyü vermektedir.

2.3.G Analiz ve Sentez Özeti

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Mar 13 20:16:59 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_tap
Top-level Entity Name	intro_tap
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	1 / 56,480 (< 1 %)
Total registers	0
Total pins	4 / 268 (1 %)
Total virtual pins	0
Total block memory bits	0 / 7,024,640 (0 %)
Total DSP Blocks	0 / 156 (0 %)
Total HSSI RX PCSs	0 / 6 (0 %)
Total HSSI PMA RX Deserializers	0 / 6 (0 %)
Total HSSI TX PCSs	0 / 6 (0 %)
Total HSSI PMA TX Serializers	0 / 6 (0 %)
Total PLLs	0 / 13 (0 %)
Total DLLs	0 / 4 (0 %)

Şekil 19. X için analiz ve sentez özeti

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Mar 13 21:33:09 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	block44tap
Top-level Entity Name	block44tap
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	1 / 56,480 (< 1 %)
Total registers	0
Total pins	3 / 268 (1 %)
Total virtual pins	0
Total block memory bits	0 / 7,024,640 (0 %)
Total DSP Blocks	0 / 156 (0 %)
Total HSSI RX PCSs	0 / 6 (0 %)
Total HSSI PMA RX Deserializers	0 / 6 (0 %)
Total HSSI TX PCSs	0 / 6 (0 %)
Total HSSI PMA TX Serializers	0 / 6 (0 %)
Total PLLs	0 / 13 (0 %)
Total DLLs	0 / 4 (0 %)

Şekil 20. Y için analiz ve sentez özeti

Yukarıda çıkarılan şekil 19 ve şekil 20 görüntülerine bakarak X devresinin çalışabilmesi için 2 lojik eleman ve 4 pin, Y devresinin çalışabilmesi için için 2 lojik eleman ve 3 pin gerekmekte olduğunu görürüz. Analiz simülasyonlarının yapıldığı ve sonuçların elde edildiği gözlemlenmiştir.

2.3.H Analiz ve Sentez Kaynak Kullanım Özeti

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	1
2		
3	▼ Combinational ALUT usage for logic	1
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	0
5	-- <=3 input functions	1
4		
5	Dedicated logic registers	0
6		
7	I/O pins	4
8		
9	Total DSP Blocks	0
10		
11	Maximum fan-out node	inst5~0
12	Maximum fan-out	1
13	Total fan-out	8
14	Average fan-out	0.89

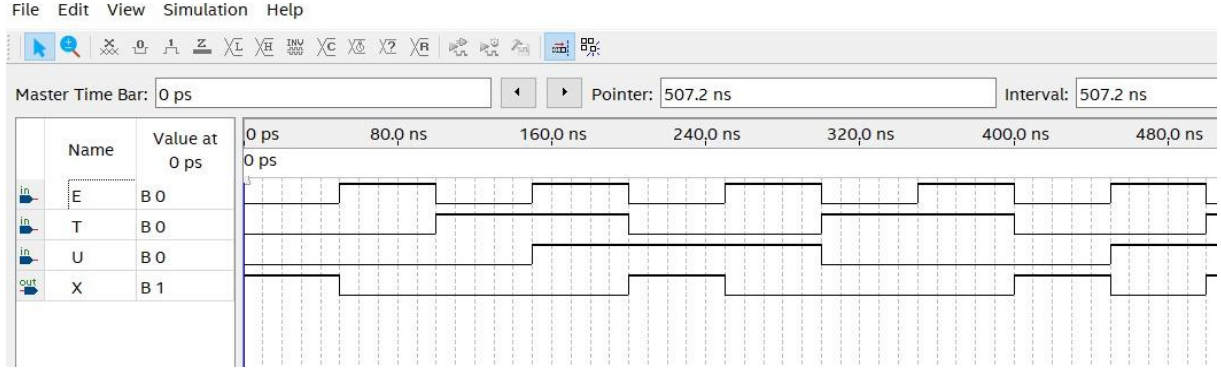
Şekil 21.X için analiz ve sentez kaynak kullanımı

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	1
2		
3	▼ Combinational ALUT usage for logic	1
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	0
5	-- <=3 input functions	1
4		
5	Dedicated logic registers	0
6		
7	I/O pins	3
8		
9	Total DSP Blocks	0
10		
11	Maximum fan-out node	inst4
12	Maximum fan-out	1
13	Total fan-out	6
14	Average fan-out	0.86

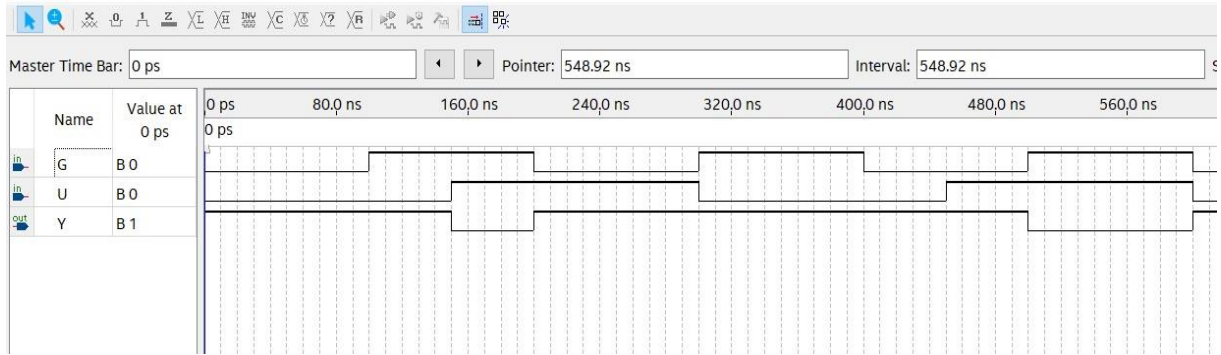
Şekil 22.Y için analiz ve sentez kaynak kullanımı

2.3.I SİMÜLASYON

2.4 Fonksiyonel Benzetim



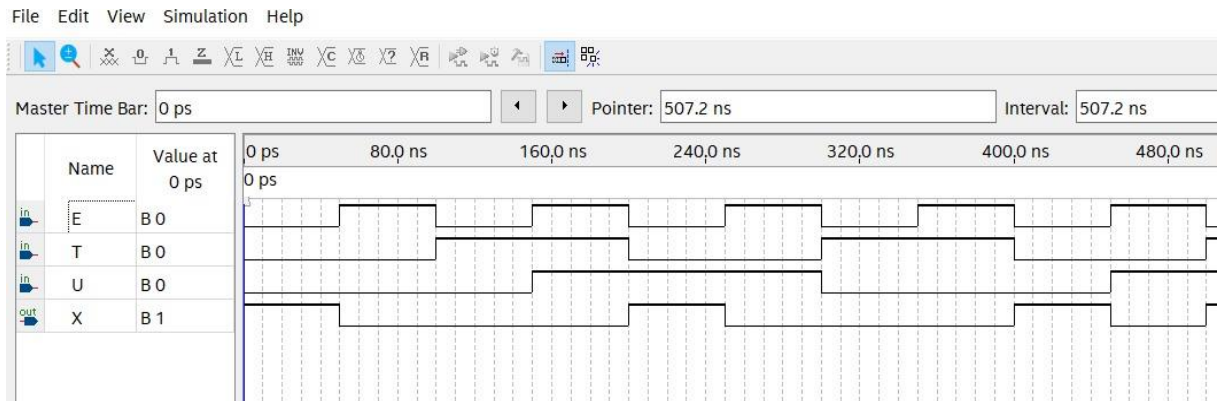
Şekil 23. X için Fonksiyonel Benzetim



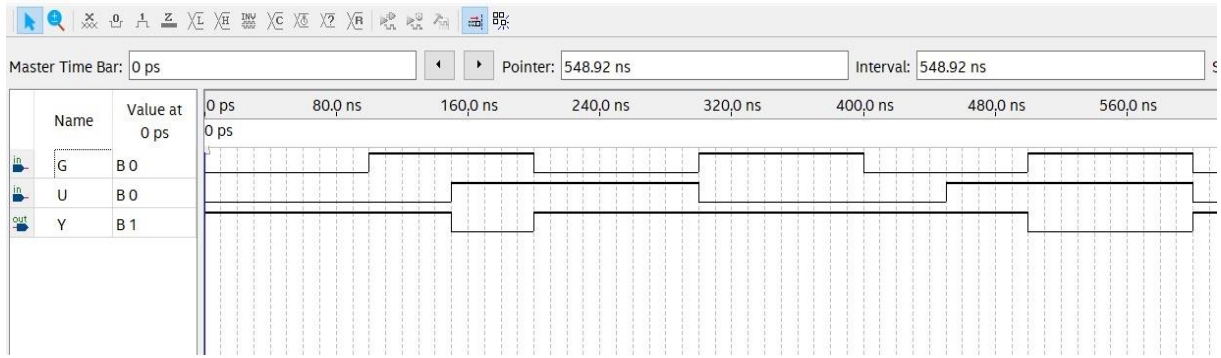
Şekil 24.Y için Fonksiyonel Benzetim

Şekil 23 ve Şekil 24’ de görülen grafikler tablodaki değerlerin grafiğe dökülmüş halidir. Doğruluk tablosu ile grafik arasında karşılaştırma yapmak mümkündür.

2.5 Zamanlama Benzetimi



Şekil 25.X için Zamanlama Benzetimi



Şekil 26. Y için Zamanlama Benzetimi

Şekil 23,24,25,26 tabloları arasında kıyaslama yapıldığında zamanlama benzetimi sonuç ekranlarında grafiğin daha hassas değişimlere uğradığı gözlemlenmektedir. Böylelikle daha hassas ve daha gerçekçi sonuçlara ulaşılmış olur.

2.6 Sonuçların Yorumu

Deneyde verilen grafik Pos ve Sop yöntemleri kullanılarak Boolean Denklemi yardımı ile elde edilmiştir. Elde edilen denklem X ve Y çıkışlarına göre sadeleştirme işlemine iki farklı devre olarak tabi tutulmuştur. Yapılan sadeleştirme işlemleri sırasında combiling yöntemi sayesinde doğru sonuçlara erişim sağlanmıştır . Çıkan denklemde 16 farklı kombinasyon ayrı ayrı hesaplanarak 2 adet doğruluk tablosu oluşturulmuştur. Elde edilen sonuçlar QUARTUS PRIME üzerindeki simülasyonda test edilmiştir. Elde edilen çıktıların doğruluk tablosuyla aynı olduğu tespit edilmiştir. Böylelikle deney tamamlanmıştır.

2.7 Sonuçlar ve Genel Yorumlar

Bu deneyde bizlere verilen denklemler için BOOLEAN cebirini araştırmamız ve böylelikle denklemleri doğru bir şekilde incelememiz istenmiştir. Denklemler kurallara tabii tutularak sadeleştirme işlemine uğramıştır. Elde edilen bu denklemlerin her biri için ayrı ayrı doğruluk tabloları oluşturulmuştur. Aynı zamanda bu tablolar QUARTUS PRIME üzerinde test edilmiştir. Elde edilen denklemlerin bu program sayesinde şematik, RTL ve eşleştirme devreleri çizilmiştir. Denklemler için elde edilen simülasyonlar ile doğruluk tablosu aynı sonuçları vermiştir. Tüm bu elde edilen veriler doğrultusunda yapılan işlemlerde eksik veya hatalı bir durum gözlemlenmemiştir.

2.8 Referanslar

[1] Intel® Quartus® Prime Software Suite. URL:

<https://www.intel.com.tr/content/www/tr/tr/software/programmable/quartus-prime/overview.html> Accessed: 21.02.2020

[2] Quartus Prime Introduction Using Schematic Designs. URL:

<ftp://ftp.intel.com/Pub/fpgaup/pub/>

Intel_Material/16.0/Tutorials/Schematic/Quartus_II_Introduction.pdf Accessed: 21.02.2020