

BIL265 PROJE

Grup Üyeleri ve İş Bölümü:

- Emin Eren Sarı receiver,transmitter
- Mustafa Çelik toplayıların testbencleri,Ripple Adder, Carry-Lookahead Adder Carry-Select Adder
- Su Eda Yıldız top modül, baudrategenerator, basys.xdc
- Güner Toprak Karaman Carry-Skip Adder

Projenin Amacı

- 1)BASYS3 FPGA kartıyla UART protokolü kullanarak 2 tane sayı almak.
- 2)Sayıların toplamını 4 farklı toplama yöntemiyle hesaplamak.
- 3)FPGA'den basılan tuşa göre toplama yöntemiyle hesaplanan değerle daha önceki değeri karşılaştırıp doğruluğunu hesaplamak.
- 4)UART protokolünü kullanarak toplam sonucunu bilgisayara aktarmak.

baudrategenerator.v

clk değeri ile baudrate'in veri aktarımı aynı hızlarla gerçekleşmez. Bizse eş zamanlı gerçekleşmesini istiyoruz. Bu yüzden bir çevirici yazdık. Değerler parametrik girilir.

```
module baudrategenerator #(
    parameter CLOCK_RATE = 100000000, // board internal clock (def == 100MHz)
    parameter BAUD_RATE = 115200
)(
    input wire clk, // board clock
    output reg rxClk, // baud rate for rx
    output reg txClk // baud rate for tx
);
localparam MAX_RATE_RX = CLOCK_RATE / (2 * BAUD_RATE * 16); // 16x oversample
localparam MAX_RATE_TX = CLOCK_RATE / (2 * BAUD_RATE);
localparam RX_CNT_WIDTH = $clog2(MAX_RATE_RX);
localparam TX_CNT_WIDTH = $clog2(MAX_RATE_TX);

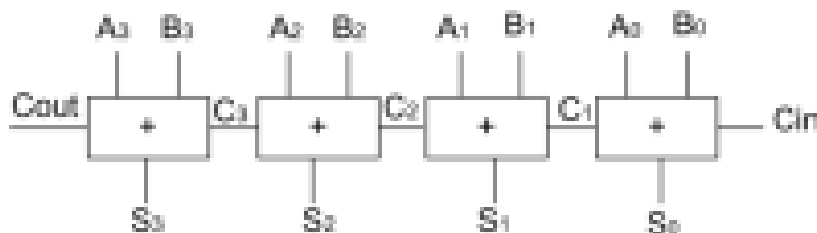
reg [RX_CNT_WIDTH - 1:0] rxCounter = 0;
reg [TX_CNT_WIDTH - 1:0] txCounter = 0;

initial begin
    rxClk = 1'b0;
    txClk = 1'b0;
end

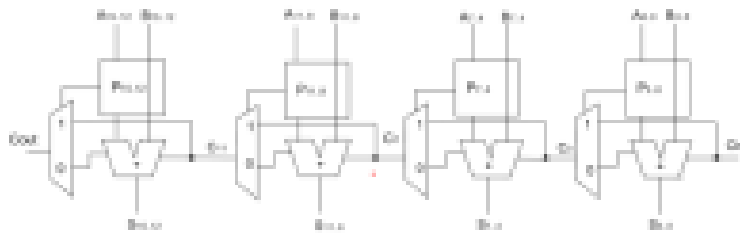
always @(posedge clk) begin
    // rx clock
    if (rxCounter == MAX_RATE_RX[RX_CNT_WIDTH-1:0]) begin
        rxCounter <= 0;
        rxClk <= ~rxClk;
    end else begin
        rxCounter <= rxCounter + 1'b1;
    end
    // tx clock
    if (txCounter == MAX_RATE_TX[TX_CNT_WIDTH-1:0]) begin
        txCounter <= 0;
        txClk <= ~txClk;
    end else begin
        txCounter <= txCounter + 1'b1;
    end
end
```

Kısaca anlatmak gerekirse count değeri tutulur. Her receiver ve transmitter clk u için max alabileceği değere ulaştığında tersi alınır.

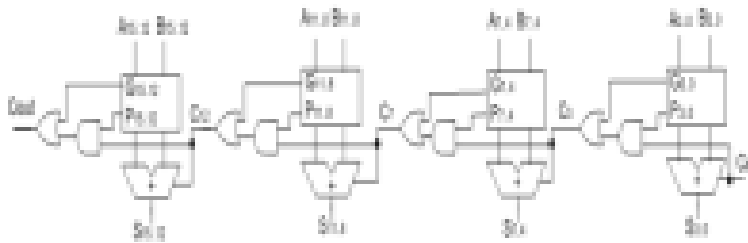
Ripple-Carry Adder (RCA)



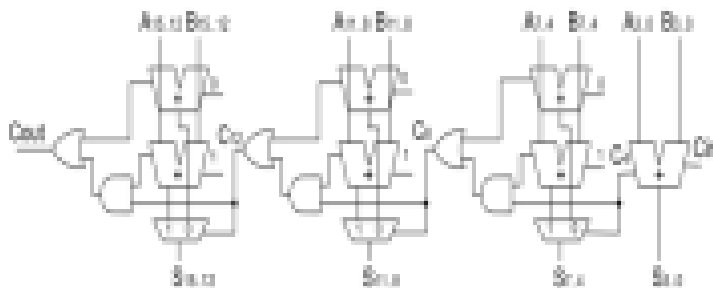
Carry-Skip Adder (CSKA)



Carry-Lookahead Adder (CLA)



Carry-Select Adder (CSLA)



Receiver.v

```
paket[sayac-:8] <= shreg;

    if (sayac != 0)

        sayac <= sayac - 8 ;

    else

        sayac = 8'd143;

    if(paket[143:128] == 16'b1011_1010_1100_1101)begin//0xBACD

        sayiSayaci <= sayiSayaci + 1;

        baslik = 16'b1011_1010_1100_1101;

    end

    else

        sayiSayaci <= 0;

    if (sayiSayaci == 8)

        sayi1 = paket[127:64];

    if (sayiSayaci == 16)

        sayi2 = paket[63:0];

    if (sayiSayaci == 16)

        checksum = (baslik + sayi1 + sayi2) % 256;
```

Data durumundayken yukarıdaki kısımda 8 bit olarak dataları önce paket olarak kaydediyoruz, başlık 0xBACD olduğu zaman sayi1 sayi2 olarak paketi bölüyoruz. Checksum hesaplayıp sonraki duruma geçiyoruz.

Transmitter.v

```
if( din_i[87:72] == 16'b1011101011111101 )begin //0xBAFD
    shreg <= din_i[sayac-:8] ;
    sayac <= sayac -8;
    if ( sayac == 0)
        sayac <= 7'd87;
end
```

11 byte olarak gelen paketi 1 byte olarak shreg'e aktarıyoruz, kodun devamındaki 4 durumluk case içinde 1er bit olarak tx_o ya yolluyoruz.

Bil265_top_module.v

```
module bil265_proje_top(
input clk, // clock
input rst_n, // active-low reset
input btnl_i, // Left button
input btneu_i, // Upper button
input btncr_i, // Right button
input btnd_i, // Down button
input rx_i, // UART receive
output tx_o // UART transmit
);
wire rxlk,txlk;
wire [151:0]dout_o;
wire rx_done_o;
baudrategenerator b_r_g (clk,rxlk,txlk);

wire [63:0] sayi_1 ;
wire [63:0] sayi_2 ;
Receiver receiver (rxlk,rx_i,dout_o,rx_done_o);
assign sayi_1 = dout_o[127:64];
assign sayi_2 = dout_o[63:0];

reg [63:0]sum_cla;
carry_look_adder_64bit cla(sayi_1,sayi_2,1'b0,sum_cla,1'b0);

reg [63:0]sum_csa;
CarrySkipAdder csa(sayi_1,sayi_2,sum_csa);

reg [63:0]sum_ra;
ripple_adder_64bit ra(sayi_1,sayi_2,1'b0,sum_ra,1'b0);

reg [63:0]sum_csla;
carry_selec_adder_64bit csla(sayi_1,sayi_2,sum_csla,1'b0);

wire tx,tx_done_tick_o;
reg [87:0] baslik;

wire tx,tx_done_tick_o;
reg [87:0] baslik;
reg [7:0] checksum;
always @(posedge clk,negedge rst_n) begin
if(!rst_n)begin
baslik <=0 ;
checksum <= 0;
end
else begin
baslik[87:72] = 16'hBAFD;
if(btnl_i)begin
checksum <= (16'hBAFD + sum_cla)%256;
baslik[71:8] <= sum_cla;
baslik[7:0] <= checksum;
end
else if(btneu_i)begin
checksum <= (16'hBAFD + sum_csa)%256;
baslik[71:8] <= sum_csa;
baslik[7:0] <= checksum;
end
else if(btncr_i)begin
checksum <= (16'hBAFD + sum_ra)%256;
baslik[71:8] <= sum_ra;
baslik[7:0] <= checksum;
end
else if(btneu_i)begin
checksum <= (16'hBAFD + sum_csla)%256;
baslik[71:8] <= sum_csla;
baslik[7:0] <= checksum;
end

end
end
Transmitter tranmitter(baslik,1'b1,tx_o,tx_done_tick_o);
endmodule
```

Transmitter harici bütün modüller çağırıldı. Toplayıcılar paralel işlem yapıyor. Her birinin toplam değeri farklı reglerde tutuluyor. FPGA dan basılan tuşa göre FPGA'den PC'ye gönderilecek paket değeri ayarlanıyor. En sonunda transmitter modülü çağırılarak top modül tamamlanıyor.

BASYS3.xdc

BASYS3 FPGA kartındaki portlar ile verilog arasındaki bağlantıyı sağladık.

```
set_property PACKAGE_PIN W5 [get_ports clk]
    set_property IOSTANDARD LVCMOS33 [get_ports clk]
    create_clock -period 10.000 -name sys_clk_pin -waveform {0 5} -add [get_ports clk]
```

```
set_property PACKAGE_PIN V17 [get_ports {rst_n}]
    set_property IOSTANDARD LVCMOS33 [get_ports {rst_n}]
```

```
set_property PACKAGE_PIN T18 [get_ports btneu_i]
    set_property IOSTANDARD LVCMOS33 [get_ports btneu_i]
set_property PACKAGE_PIN W19 [get_ports btnd_i]
    set_property IOSTANDARD LVCMOS33 [get_ports btnd_i]
set_property PACKAGE_PIN T17 [get_ports btnd_o]
    set_property IOSTANDARD LVCMOS33 [get_ports btnd_o]
set_property PACKAGE_PIN U17 [get_ports btnd_i]
    set_property IOSTANDARD LVCMOS33 [get_ports btnd_i]
```

```
set_property PACKAGE_PIN B18 [get_ports rx_i]
    set_property IOSTANDARD LVCMOS33 [get_ports rx_i]
set_property PACKAGE_PIN A18 [get_ports tx_o]
    set_property IOSTANDARD LVCMOS33 [get_ports tx_o]
```