

Arquitectura e Ingeniería de Computadores
Examen extraordinario (11/09/2007). Teoría.

Nota.- Cada cuatrimestre se califica de 0 a 10 puntos. La nota final de la asignatura se obtiene tal como se indica en la ficha docente de la asignatura.

Preguntas correspondientes al Primer Cuatrimestre

- 1) Consideremos la extensión del DLX básico para manejar operaciones multiciclo sin planificación dinámica de operaciones. La etapa de ejecución (EX) consta de: una unidad de enteros que trabaja en un ciclo de reloj, una unidad de multiplicación FXP/FLP segmentada en 7 etapas, una unidad de suma FLP segmentada en 4 etapas y una unidad de división no segmentada que opera en 20 ciclos. Los saltos se resuelven en la etapa DE.
 - a) Defina los conceptos de “latencia (de uso)” e “intervalo de iniciación” en las unidades funcionales. Cuáles son sus valores para la unidad de multiplicación FXP/FLP y para la unidad de división (0,5 puntos)
 - b) Explique razonadamente qué tipos de dependencias pueden provocar paradas de este pipeline y cuáles no (1 punto).
 - c) Explique detalladamente cómo pueden detectarse las dependencias estructurales en la etapa DE (1 punto).

- 2) Supongamos un sistema con memoria virtual que maneja páginas de 64 Kbytes. Cada byte de la memoria es direccionable individualmente mediante direcciones físicas de 34 bits. La jerarquía de memoria tiene las siguientes características:
 - Nivel 1 (I-cache): emplazamiento directo, virtualmente accedida físicamente marcada, de tamaño máximo. Tiene un buffer de prebúsqueda con capacidad para un bloque.
 - Nivel 1 (D-cache): emplazamiento asociativo por conjuntos con 2 vías, virtualmente accedida físicamente marcada, de tamaño máximo.
 - Nivel 2 (cache unificada): emplazamiento directo, accedida con direcciones físicas, con un tamaño de 4 Mbytes.
 - Tamaño de bloque de cache: es siempre 128 bytes.

Calcule razonadamente:

- a) El tamaño de la I-cache de nivel 1 (0,5 puntos)
- b) El tamaño de la D-cache del nivel 1 (0,5 puntos)
- c) La anchura del campo TAG en el directorio de la D-cache del nivel 1 (0,5 puntos)
- d) La anchura del campo TAG en el buffer de prebúsqueda de la I-cache del nivel 1 (0,5 puntos)
- e) La anchura del campo TAG en el directorio de la cache de nivel 2 (0,5 puntos)

Arquitectura e Ingeniería de Computadores. Examen Parcial (Problemas). 11/09/2007

Problemas correspondientes al 1^{er} cuatrimestre

1) En un DLX con segmentación ejecutamos el siguiente fragmento de código:

```
loop: SUBI r1,r2,#3
      SD 0(r1),F2
      MULF F2,F4,F6
      LD F8,0(r2)
      DIVF F6,F2,F8
      LD F0,0(r2)
      MULF F4,F4,F0
      SD 0(r2),F4
      DIVF F4,F0,F6
      MULF F2,F6,F0
      DIVF F0,F4,F8
      ADDF F0,F2,F2
      SUBI r2,r2,#3
      BNEZ r2,loop
      ADDI r5,r3,#1
```

Dibujar el diagrama instrucción-tiempo e indicar los cortocircuitos realizados. Indicar claramente las paradas y sus causas.

Calcular los CPI (ciclos por instrucción) en el régimen estacionario. Se supone que:

- * Un dato se puede escribir en un registro y leer su valor en el mismo ciclo.
- * Se dispone de lógica de cortocircuito (forwarding).
- * Los saltos se resuelven en la etapa de decodificación.
- * La detección de todo tipo de riesgos y generación de paradas se realiza en la etapa de decodificación.
- * En el caso de los riesgos WAW se produce una parada hasta que la instrucción ya lanzada entre en la etapa de memoria.
- * El registro r2 contiene inicialmente el valor "3000" (decimal).
- * Existe predicción estática de salto no tomado.
- * Dos instrucciones no pueden acceder simultáneamente a la etapa de acceso a memoria ni tampoco a la de escritura en el banco de registros.
- * Se dispone de las siguientes unidades funcionales:

UF	Cantidad	Latencia	Segmentación
FP ADD	1	2	Sí
FP MUL	1	3	Sí
FP DIV	1	4	Sí
INT ALU	1	1	No

PUNTACIÓN: 3 PUNTOS

2) Sea un programa compuesto por dos procedimientos P y Q que se ejecutan en secuencia. P contiene cálculos en punto flotante, mientras que Q sólo contiene cálculos en punto fijo.

Este programa se ejecuta sobre un procesador A que no tiene UFs de punto flotante. Después se ejecuta de nuevo sobre un procesador B que contiene UFs de punto flotante. Como resultado de las ejecuciones se han obtenido los siguientes datos:

- En el procesador B, el procedimiento P se ejecuta 20 veces más rápido que en A. El procedimiento Q tarda lo mismo en ambos.
- En el procesador B, el procedimiento P consume el 50% del tiempo de ejecución y el procedimiento Q el otro 50%.

Se pide:

- ¿Cuál es el "speedup" obtenido al pasar del procesador A al B?
- En la ejecución sobre el procesador A ¿qué porcentaje del tiempo de ejecución es consumido por el procedimiento P?

PUNTACIÓN: 2 PUNTOS

SOLUCIÓN

1)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29		
SUBI r1,r2,#3	IF	ID	EX	M	WB																										
SD 0(r1),F2		IF	ID	EX	M	WB																									
MULD F2,F4,F6			IF	ID	M1	M2	M3	M	WB																						
LD F8,0(r2)				IF	ID	EX	M	WB																							
DIVD F6,F2,F8					IF	ID	ID	D1	D2	D3	D4	M	WB																		
LD F0,0(r2)						IF	IF	ID	EX	M	WB																				
MULD F4,F4,F0								IF	ID	ID	M1	M2	M3	M	WB																
SD 0(r2),F4									IF	IF	ID	ID	ID	EX	M	WB															
DIVD F4,F0,F6											IF	IF	IF	ID	D1	D2	D3	D4	M	WB											
MULD F2,F6,F0														IF	ID	M1	M2	M3	M	WB											
DIVD F0,F4,F8															IF	IF	ID	ID	D1	D2	D3	D4	M	WB							
ADDD F0,F2,F2																	IF	IF	ID	ID	ID	ID	A1	A2	M	WB					
SUBI r2,r2,#3																			IF	IF	IF	IF	ID	EX	M	WB					
BNEZ r2,loop																						IF	ID	EX							
ADDI r5,r3,#1																								IF							
SUBI r1,r2,#3																										IF	ID				

XX: Parada por riesgo LDE

XX: Parada por riesgo estructural (siguiente etapa ocupada)

XX: Riesgo EDE

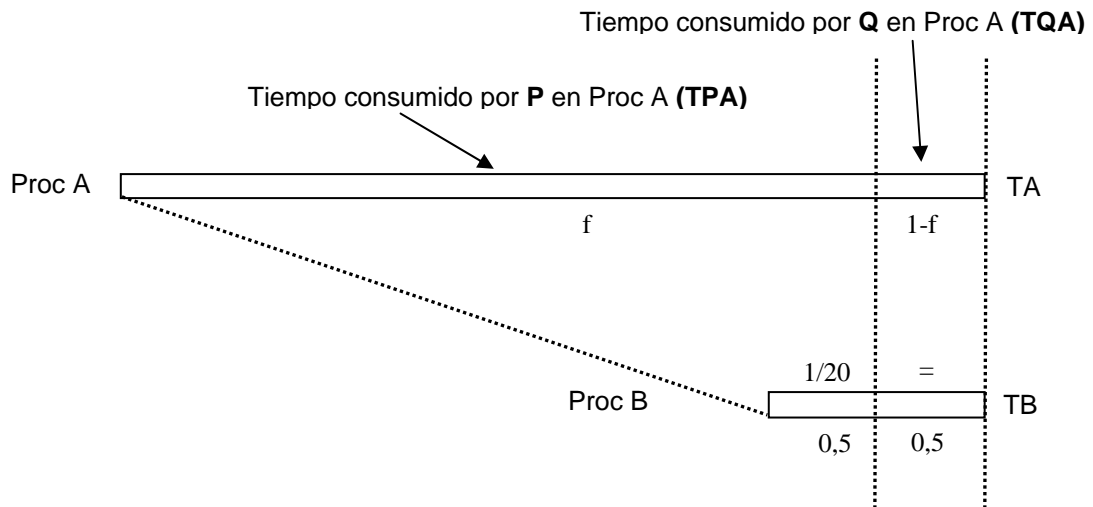
XX: Riesgo estructural: dos instrucciones intentan acceder simultáneamente a memoria

CPI = 25/14

** : Asumiendo forwarding combinacional, de no existir un ciclo más de penalización

SOLUCIÓN

2)



- a) $TA = TPA + TQA$
 $TQA = 0,5 \times TB$; $TPA = 20 \times 0,5 \times TB$. Luego
 $TA = 10,5 \times TB$
 $Speedup = TA / TB = 10,5$

- b) En Procesador A: $TPA = 20 \times 0,5 \times TB$
 $TQA = 0,5 \times TB$ Luego,

$$f = TPA / (TPA + TQA) = (10 \times TB) / (10 \times TB + 0,5 \times TB) = 10/10,5 = 0,952 \quad (\text{O sea } 95,2\%)$$