

**Ingeniería Superior de Informática. Curso 3º.**  
**Ampliación de Estructura de Computadores. GRUPO B**  
**Examen Final. TEORÍA.**  
**18 de Junio de 2004**

Nombre: \_\_\_\_\_

DNI: \_\_\_\_\_

- P1. (a) El formato de las microinstrucciones puede ser horizontal (H), vertical por campos (VC) o vertical (V). Caracteriza cada uno de ellos.  
 (b) Distingue entre micro-orden, micro-operación, micro-instrucción, micro-rutina y micro-programa

R1.

(a) H:

V:

VC:

(b) Micro-orden:

Micro-operación:

Micro-instrucción:

Microprograma:

- P2. Indique cómo se podría tratar una rutina de fallo de acceso a la cache en la implementación MIPS multiciclo.

- P3. La siguiente secuencia de instrucciones se ejecuta en un MPIS segmentado de 5 etapas con anticipación de operando y salto en 2 etapas. Determinar el diagrama de tiempos de ejecución mostrando las dependencias que aparecen, el número de ciclos que tarda en ejecutarse, el que tardaría si no existiera anticipación y una reordenación del código que acelere al máximo la ejecución.

```

lw      $1, 00($2)
addi    $3, $1, 1
beq     $0, $0, .label
lui     $6, 12      ; equivale a addi $6, $0, 12
add     $1, $2, $3
.label: lw      $2, 400($1)
subi    $6, $3, 200
lw      $12, 64($6)
sw      $12, 20($5)
```

- R3. (Ver detrás)

a. Diagrama de tiempos

|      |           |           |           |           |           |   |   |   |   |   |   |   |   |   |   |
|------|-----------|-----------|-----------|-----------|-----------|---|---|---|---|---|---|---|---|---|---|
| lw   | <u>IF</u> | <u>ID</u> | <u>EX</u> | <u>ME</u> | <u>WR</u> |   |   |   |   |   |   |   |   |   |   |
| addi | —         | —         | —         | —         | —         | — | — | — | — | — | — | — | — | — | — |
| beq  | —         | —         | —         | —         | —         | — | — | — | — | — | — | — | — | — | — |
| lui  | —         | —         | —         | —         | —         | — | — | — | — | — | — | — | — | — | — |
| add  | —         | —         | —         | —         | —         | — | — | — | — | — | — | — | — | — | — |
| lw   | —         | —         | —         | —         | —         | — | — | — | — | — | — | — | — | — | — |
| subi | —         | —         | —         | —         | —         | — | — | — | — | — | — | — | — | — | — |
| lw   | —         | —         | —         | —         | —         | — | — | — | — | — | — | — | — | — | — |
| sw   | —         | —         | —         | —         | —         | — | — | — | — | — | — | — | — | — | — |

b. Número de ciclos con anticipación:

c. Número de ciclos sin anticipación:

d. Reordenación de instrucciones y número de ciclos:

**Ingeniería Superior de Informática. Curso 3º.**  
**Ampliación de Estructura de Computadores. GRUPO B**  
**Examen Final. TEORÍA.**  
**18 de Junio de 2004**

- P4. (a) Si definimos  $g_{ij} = g_i p_{i+1} \dots p_{j-1} p_j + g_{i+1} p_{i+2} \dots p_{j-1} p_j + \dots + g_{j-1} p_j + g_j$  para  $j > i$ , como condición de generación de acarreo entre las etapas  $i$  y  $j$  de un sumador de  $n$  bits, ¿para qué relación de valores de los subíndices  $i, j, k, h$  se cumple que  $g_{ij} = g_{ik} p_{hj} + g_{kj}$ ?
- (b) ¿Qué significa la siguiente expresión:  $c_i = g_{0i} = g_{0i-1} p_{ij}$ , para cualquier  $i$ , tal que  $0 < i \leq j$ ?

R4.

a.

b.

- P5. Al sumar/restar números en representación IEEE-754 simple precisión, indicar si las siguientes afirmaciones son ciertas o falsas y justificar la respuesta.
- Si hay intercambio de operandos puede o no haber pre-alineación
  - En caso de resta efectiva nunca se produce rebose
  - Si los exponentes son iguales no es necesario el paso de pos-normalización
  - Si los exponentes se diferencian en más de 1 y se realiza una resta efectiva no es necesario el paso de pos-normalización
  - Si los exponentes son iguales y se realiza una resta efectiva no hay redondeo

R5.

- |    |                                 |                                |
|----|---------------------------------|--------------------------------|
| a. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |
| b. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |
| c. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |
| d. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |
| e. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |

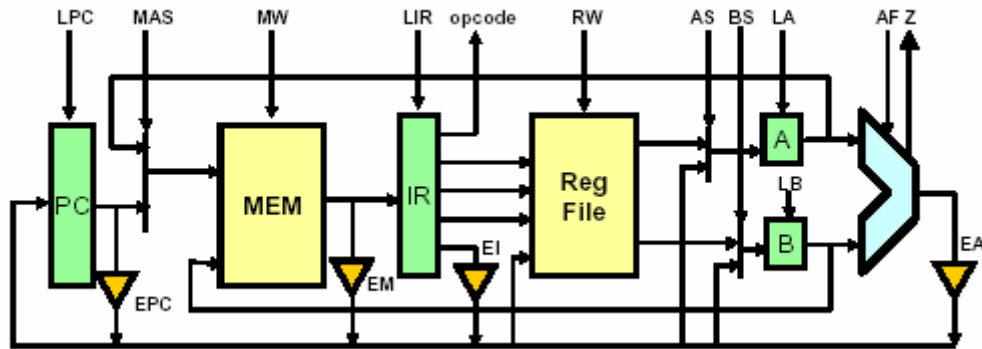
- P6. a. Para sumar números mediante sumadores creados uniendo sumadores carry-save en árboles de Wallace, el tiempo total de cálculo no depende del tamaño de los números ya que, al calcular el acarreo y la suma por separado, cada etapa necesita sólo dos niveles lógicos
- b. Para calcular un seno mediante el método CORDIC, se itera sumando o restando ángulos cuya tangente es  $2^{-i}$ , hasta que se llega al ángulo deseado. Por tanto el número de iteraciones requerido dependerá del ángulo deseado.
- c. En un divisor por convergencia multiplicativo, el número máximo de iteraciones que hay que realizar depende del número  $n$  de bits del divisor, en concreto mediante la relación  $\log_2 n$
- d. La mantisa-resultado de una suma en punto flotante es: 1,111000. Y los bits de redondeo son  $G=0, R=1, S=1$ . Si se aplica el método de redondeo por defecto del estándar IEEE-754, el valor redondeado de la mantisa: 1,111001.

R5.

- |    |                                 |                                |
|----|---------------------------------|--------------------------------|
| a. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |
| b. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |
| c. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |
| d. | Cierto <input type="checkbox"/> | Falso <input type="checkbox"/> |

**Ingeniería Superior de Informática. Curso 3º.**  
**Ampliación de Estructura de Computadores.**  
**Examen Final. PROBLEMAS.**  
**18 de Junio de 2004**

P1.



Dada esta ruta de datos, variante para MIPS centrada alrededor de un bus:

a. Escribe las micro-operaciones en formato de transferencia de registros de cada una de las instrucciones básicas: tipo-R, load, store y beq, indicando las señales de control activas en cada ciclo.

(Si para que funcione es imprescindible introducir alguna modificación, indicar cuál es e incorporarla)

b. ¿Cuál es el rendimiento de esta máquina expresado en MIPS para una proporción de instrucciones 50%, 20%, 10%, 2.5% (beq-salta) y 17.5% (beq-no\_salta) si la frecuencia de reloj es 100 MHz?

N.B. Suponer que las operaciones de la UAL son:  $A+B$ ,  $A-B$ ,  $A \& B$ ,  $A \mid B$ ,  $A+4$ .

a.

**ADD r3,r1,r2:**  $IR \leftarrow MEM[PC]; A \leftarrow PC$        $MAS=1, MW=0, LIR; EPC, AS=1, LA$

**LD r2,r1(imm):**  $IR \leftarrow MEM[PC]; A \leftarrow PC$        $MAS=1, MW=0, LIR; EPC, AS=1, LA$

**ST r2,r1(imm):**  $IR \leftarrow MEM[PC]; A \leftarrow PC$        $MAS=1, MW=0, LIR; EPC, AS=1, LA$

**BEQ r1,r2,imm:**  $IR \leftarrow MEM[PC]; A \leftarrow PC$        $MAS=1, MW=0, LIR; EPC, AS=1, LA$

b.

**Ingeniería Superior de Informática. Curso 3º.**  
**Ampliación de Estructura de Computadores.**  
**Examen Final. PROBLEMAS.**  
**18 de Junio de 2004**

P2. Dividir los siguientes operandos utilizando el algoritmo de división sin restauración:  
D = 01101011; d = 1100.

[illegible]