

**Arquitectura e Ingeniería de Computadores. Examen Parcial (Teoría). 19/02/2008**

**Instrucciones.-** Cada pregunta consta de cinco respuestas, y cada una de las respuestas puede ser cierta o falsa. Marque con un aspa las respuestas que considere ciertas y deje en blanco las que considere falsas. Si considera que alguna respuesta es ambigua y, por tanto, podría considerarse cierta o falsa en función de la interpretación, ponga una llamada y explique sus argumentos al dorso de la hoja. No se permite la utilización de calculadora.

**Puntuación.-** Pregunta con todas las respuestas acertadas: 1 punto. Pregunta con un fallo: 0,6 puntos. Pregunta dos fallos 0,2 puntos. Pregunta con más de dos fallos 0 puntos. La teoría supone la mitad de la nota del examen.

1. Supongamos un DLX que ejecuta un determinado programa P en un tiempo de 10 segundos. La penalización media por instrucción es de 1 ciclo y la frecuencia de reloj es de 3 GHz. Marque cuáles de las siguientes afirmaciones son correctas:

- ☒ a) El CPI promedio es 2
- ☐ b) El número de instrucciones ejecutadas es  $3 \cdot 10^{10}$
- ☒ c) El rendimiento es 1500 MIPS
- ☒ d) Supongamos que existen instrucciones en PF que consumen el 50% del tiempo de ejecución y que cada instrucción de PF requiere un promedio de 5 ciclos de reloj. Entonces el rendimiento obtenido en la ejecución del programa es 300 MFLOPS
- ☒ e) Supongamos que introducimos una cierta mejora en la arquitectura de tal manera que la penalización media por instrucción es 0.5. Entonces el speedup obtenido es 1.33

2. Supongamos un DLX con planificación dinámica de instrucciones mediante Tomasulo (sin especulación) que posee 32 registros de punto flotante. Marque las afirmaciones correctas:

- ☐ a) La anchura del campo de TAG debe ser al menos 5 bits
- ☒ b) En el momento en que una instrucción aritmética de la forma  $F_i \leftarrow UF_{op}(F_j, F_k)$  realiza la fase ISSUE, los campos TAG y VALOR de los registros fuente se copian en los campos TAG y VALOR de la estación de reserva seleccionada para alojar la instrucción
- ☐ c) Los elementos de la arquitectura que pueden depositar información sobre el CDB son: registros, load buffers y estaciones de reserva
- ☒ d) No es necesario ningún mecanismo para chequear la existencia de dependencias EDE
- ☐ e) Los store buffers carecen de campo de TAG

*Notación:*  $F_i \leftarrow UF_{op}(F_j, F_k)$ , significa una instrucción que realiza la operación op en la Unidad Funcional UF, cuyos registros fuente son  $F_j$  y  $F_k$ , y cuyo registro destino es  $F_i$

3. Marque cuáles de las siguientes afirmaciones sobre predicción dinámica de saltos son correctas:

- ☒ a) En un sistema el número de entradas de la BTAC puede ser menor que el de la BHT
- ☒ b) En un predictor de 2 bits (bimodal) la predicción de una cierta instrucción de salto pasará del valor "fuertemente no tomado" a "débilmente no tomado" si al ejecutar tres veces consecutivas la instrucción el comportamiento del predictor es: fallo, acierto, fallo

- ☐ c) Un predictor de dos niveles de historia (p,q) utiliza un registro de historia global de q bits
- ☐ d) En un predictor de dos niveles de historia (2,2) de 2K entradas, el tamaño de la tabla de historia de saltos es 8K bits
- ☒ e) El "tournament predictor" del Alpha 21064 es un ejemplo de predictor híbrido

4. Marque cuáles de las siguientes afirmaciones sobre multithreading son correctas:

- ☒ a) La conmutación entre threads debe ser mucho más rápida que la conmutación entre procesos
- ☐ b) En multithreading simultáneo se realiza una conmutación de thread en cada ciclo de reloj
- ☒ c) En multithreading de grano fino todas las instrucciones lanzadas a ejecución en un ciclo de reloj deben pertenecer al mismo thread
- ☒ d) En multithreading de grano grueso todas las instrucciones lanzadas a ejecución en un ciclo de reloj deben pertenecer al mismo thread
- ☐ e) La arquitectura Niagara (UltraSparc T1) es un ejemplo de multithreading simultáneo

5. Marque cuáles de las siguientes afirmaciones sobre jerarquía de memoria son correctas:

- ☐ a) La cache de víctimas usa una política de emplazamiento directo
- ☐ b) En un sistema cache de dos niveles (L1, L2) la tasa de fallos local en L2, es habitualmente menor que la tasa de fallos global en L2
- ☐ c) En una cache totalmente asociativa nunca se producen fallos iniciales
- ☒ d) La cache no bloqueante es una técnica para reducir la penalización por fallo
- ☒ e) Supongamos un sistema con memoria virtual paginada con páginas de 16K bytes en el que existe una cache asociativa por conjuntos con 4 vías, virtualmente accedida, físicamente marcada, cuyo tamaño de bloque es 128 bytes. Entonces la cache puede tener un máximo de 512 bloques.