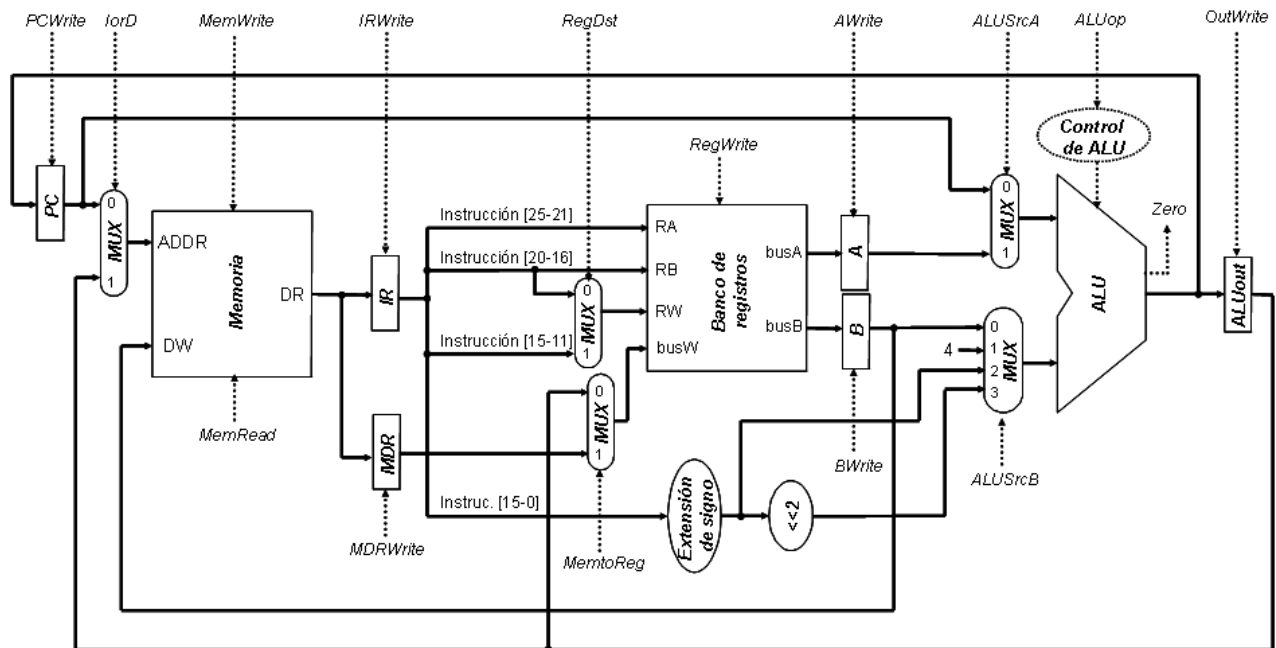


Ingeniería Superior de Informática. Curso 3º.
Ampliación de Estructura de Computadores.
Examen Final. 22 de Junio de 2007

1.- Se desea añadir al procesador multi-ciclo las siguientes dos instrucciones (load y store con post-incremento): lw rt, inmd(rs+) y sw rt, inmd(rs+), se accede a la dirección de memoria indicada por 'rs + inmd' almacenando el dato en rt (instrucción lw), o almacenando el dato de rt en esa dirección (instrucción sw); además, se modifica el valor de rs como $rs \leq rs + 4$.

- Indicar todos los cambios que tendrían que realizarse a la ruta de datos y la máquina de estados para poder ejecutar estas instrucciones con el menor cambio en el hardware del procesador.
- Indicar los cambios que tendrían que realizarse a la ruta de datos y los elementos que la componen para que las instrucciones con post-incremento tarden en ejecutarse el mismo tiempo que las respectivas instrucciones sin incremento.
- Manteniendo como resultado final del procesador el obtenido en el apartado b, explicar los problemas que aparecen y las posibles soluciones para un procesador segmentado que incluya estas dos instrucciones.

(2,5 puntos)



2.- Construir un multiplicador de Pezaris que multiplique números de 2 bits por números de 4 bits, usando sólo sumadores de tipo 0 y 2. Realizar sobre esa estructura la multiplicación $A * B$, con $A = 11$ y $B = 1111$. Analizar el retardo de este multiplicador.

(2,5 puntos)

3.- Realizar la resta $a-b$, siendo estos dos números representados en coma flotante siguiendo el estándar IEEE 754. En este caso se usan números representados con 11 bits de los cuáles 5 sirven para representar el exponente. Hacerlo siguiendo todos los pasos indicados en el algoritmo visto en clase (si en algún paso no hay que hacer nada indicarlo). Redondear por los cuatro métodos.

$a = 10100111000$

$b = 10100111001$

(1,25 puntos)

4.- Construir un sumador de 32 bits a partir de 8 sumadores de 4 bits conectados con puenteo de arrastres de los cuales el que calcula los cuatro bits menos significativos está construido con Anticipación de arrastres (AA) , el siguiente con Propagación de arrastres (PA), el siguiente con AA, el siguiente con PA y así sucesivamente.

Calcular el retardo total del sumador, así como los retardos asociados a las salidas de suma s0, s4, s7, s8, s9.

(1,25 puntos)

5.- El siguiente fragmento de código se ejecuta en un MIPS segmentado:

add \$1, \$2, \$3

sub \$4, \$5, \$6

and \$5, \$3, \$1

sw \$4, 10(\$6)

lw \$4, 12(\$7)

beq \$7, \$7, 2

and \$10, \$7, \$13

or \$14, \$15, \$16

Suponiendo que un dato se puede escribir en el banco de registros y leer su nuevo valor en el mismo ciclo, que el destino de salto se conoce en la fase ID y la comparación de salto también, y que no hay anticipación de operandos.

a) Mostrar sobre el esquema de la figura el momento de ejecución de cada una de las fases de las instrucciones que se ejecutan:

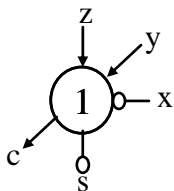
Instruc.																		
add	IF	ID	EX	M	WB													
sub		IF																

b) Tratar de reordenar el código para reducir el número de ciclos de ejecución.

(1,25 puntos)

6.-

a) Escribir la tabla de verdad de una celda de tipo 1 del multiplicador de Pezaris y obtener las ecuaciones para c y s .



b) En uno de los multiplicadores de Pezaris visto en clase, el peso de P4 era negativo. Para remediar este caso, P4 se conecta al sumador de la columna 5 con peso negativo y en consecuencia el peso final de P4 es positivo. Explicar por qué esto se hace así.

(1,25 puntos)