

Arquitectura e Ingeniería de Computadores. Examen Parcial (Teoría). 9/02/2006

Instrucciones.- Cada pregunta consta de cinco respuestas, y cada una de las respuestas puede ser cierta o falsa. Marque con un aspa las respuestas que considere ciertas y deje en blanco las que considere falsas. Si considera que alguna respuesta es ambigua y, por tanto, podría considerarse cierta o falsa en función de la interpretación, ponga una llamada y explique sus argumentos al dorso de la hoja.

Puntuación.- Pregunta con todas las respuestas acertadas: 1 punto. Pregunta con un fallo: 0,6 puntos. Pregunta dos fallos 0,1 puntos. Pregunta con más de dos fallos 0 puntos. La teoría supone la mitad de la nota del examen.

1. Para ejecutar un cierto programa en un DLX segmentado en 5 etapas se han ejecutado 10^{11} instrucciones en 1 hora. La frecuencia de reloj es de 100 MHz. Marque cuáles de las siguientes afirmaciones son correctas:

- ☒ a) La penalización media por instrucción es 2,6 ciclos.
- ☒ b) La duración media de una instrucción es 36 ns.
- ☐ c) El rendimiento es 10^2 MIPS.
- ☒ d) Supongamos que introducimos un coprocesador matemático que ejecuta las operaciones en PF 5 veces más rápido que el DLX. Con el coprocesador instalado el tiempo de ejecución del programa se ha reducido a la mitad. Con estos datos se puede afirmar que en el DLX sin coprocesador los cálculos en PF consumen 5/8 del tiempo total de ejecución.
- ☒ e) Si duplicamos la frecuencia de reloj, los ciclos de penalización media por instrucción no se alteran.

2. Supongamos la arquitectura básica del DLX, pero segmentado en siete etapas, donde el acceso a la memoria de instrucciones consume dos ciclos de reloj y el acceso a la memoria de datos también. La máquina posee anticipación de operandos (forwarding). Las instrucciones de salto se resuelven en la etapa EX, con predicción estática de "salto no tomado". Además la etapa EX incluye un multiplicador, un sumador de punto flotante y un divisor con tiempos de cálculo 5, 2 y 20 ciclos de reloj, respectivamente, todos ellos segmentados con intervalo de iniciación 1. Marque cuáles de las siguientes afirmaciones son correctas:

- ☐ a) Un grupo de instrucciones consecutivas de la forma


```
ld      f3, 0(r5)
addd   f4, f3, f1
addd   f6, f3, f2
```

 provoca una penalización de 3 ciclos de reloj.
- ☐ b) Por cada salto tomado se produce una penalización de dos ciclos de reloj
- ☐ c) La presencia en un programa de dos instrucciones consecutivas de la forma


```
muld   f2, f4, f6
muld   f6, f0, f2
```

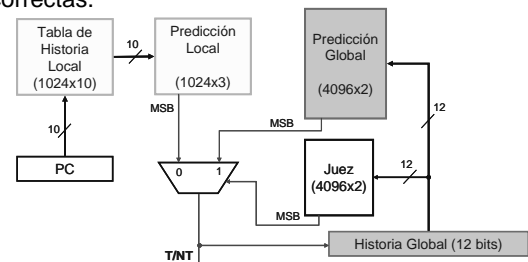
 provocará 5 ciclos de penalización
- ☐ d) Si en un cierto programa el 30% de las instrucciones son saltos, el 80% de los saltos se toman, y no existen riesgos estructurales ni de datos, entonces el CPI es 1.24.
- ☒ e) La detección en la etapa de decodificación de los conflictos de acceso al banco de registros puede hacerse mediante un registro de desplazamiento.

3. Marque cuáles de las siguientes afirmaciones sobre jerarquía de memoria son correctas.

- ☒ a) Supongamos un sistema de memoria virtual paginada con páginas de 8 Kbytes. Si implementamos en este sistema una cache directa virtualmente accedida, pero físicamente marcada, con tamaño de bloque de 64 bytes, entonces la cache puede tener un máximo de 128 bloques.
- ☒ b) Al ejecutar un programa en un sistema con memoria cache totalmente asociativa nunca se producen fallos de conflicto.

- ☐ c) En un sistema con dos niveles de cache (L1,L2) la tasa de fallos global en L1 coincide con la tasa de fallos local en L2.
- ☒ d) El intercambio de bucles es una técnica para reducir el nº de fallos de conflicto.
- ☒ e) La cache de víctimas usa una política de emplazamiento totalmente asociativa.

4. Consideremos el esquema del predictor de saltos del Alpha 21264. Marque cuáles de las siguientes afirmaciones son correctas.



- ☐ a) Cada vez que se ejecuta la misma instrucción de salto, su predicción se realiza usando la misma entrada de la Tabla de Predicción Local.
- ☐ b) Cada vez que se ejecuta la misma instrucción de salto, su predicción se realiza usando la misma entrada de la Tabla de Predicción Global.
- ☒ c) Una fila del juez es un contador saturado de 2 bits, que se incrementa cuando acierta el predictor global y falla el local, y se decrementa cuando falla el predictor global y acierta el local.
- ☐ d) Cada fila de la Tabla de Historia Local puede implementarse mediante un contador saturado de 10 bits.
- ☐ e) El bloque denominado "Historia Global" está implementado mediante cuatro registros de desplazamiento de 12 bits.

5. Para la arquitectura con planificación dinámica de instrucciones basada en Scoreboard estudiada en la asignatura, marque cuáles de las siguientes afirmaciones son correctas.

- ☐ a) El hardware del sistema realiza renombramiento dinámico de registros.
- ☒ b) Si al lanzar (ISSUE) una instrucción se detecta una dependencia EDE, no se lanza esa instrucción, ni ninguna otra, hasta que la dependencia EDE desaparece.
- ☐ c) Supongamos que al lanzar (ISSUE) una instrucción se detecta que no hay ninguna Unidad Funcional libre capaz de ejecutarla. Entonces el procesador hace lo siguiente: congela esa instrucción e intenta el lanzamiento de la instrucción siguiente siempre que haya una Unidad Funcional que sea capaz de ejecutarla y esté libre.
- ☒ d) Para comprobar si una instrucción presenta dependencias EDL se analiza el contenido de los campos R_j , R_k , F_j y F_k de todas las Unidades Funcionales.
- ☒ e) Siempre que una instrucción de suma realiza la fase WRITE, el resultado se almacena en el Banco de Registros.