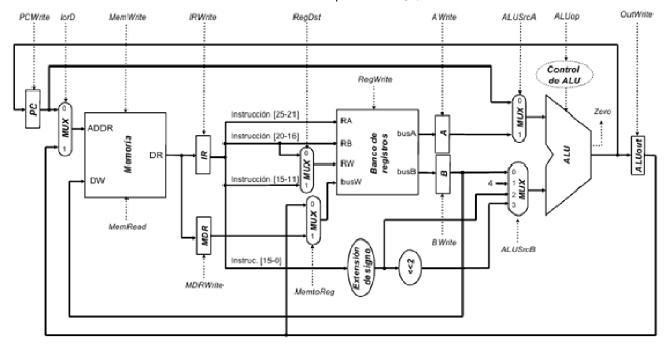
## Ingeniería Superior de Informática. Curso 3º Ampliación de Estructura de Computadores Convocatoria Junio. 5 de Junio de 2010

Apellidos, Nombre:	DNI:	Grupo	:
Apelliaus, Holliste	D:11:	 OI UPO	·

Problema 1. (2 puntos) Se desea añadir un procesador multiciclo las siguientes dos instrucciones bezi y swi:

- bezi rs, label # if (Mem[rs]=0) then PC ← PC + 4 + label
- swi rd, rs, rt # Mem[BR[rs]+BR[rt]] ← BR[rd]

Indicar todos los cambios que tendrían que realizarse a la ruta de datos y la máquina de estados para poder ejecutar estas instrucciones con el menor cambio en el hardware del procesador. ¿Qué señales de control han de ser añadidas?



**Problema 2.** (2 puntos) La siguiente secuencia de instrucciones se ejecuta en un MIPS segmentado con anticipación de operandos y decisión del salto adelantada:

```
$1,0($2)
            lw
                   $3,$1,1
            addi
                  $6,$0,12
            addi
            subi
                  $4,$2,1
            beq
                   $4,$0,label
                                  ; se toma
            <100 instrucciones sin dependencias>
label:
            lw
                   $2,400($1)
            subi
                   $6,$3,200
            lw
                   $10,64($6)
                   $10,20($5)
            SW
```

- a) Calcula el número de ciclos que tarda.
- b) Calcula el número de ciclos que tardaría en ejecutarse si no hubiera anticipación de operandos y no se adelantara la decisión de salto.
- c) Muestra una reordenación del código que acelere al máximo la ejecución considerando, además, que hay saltos retardados.

**Problema 3.** (2 puntos) Construir un sumador de 48 bits conectando con propagación de arrastres tres sumadores de 16 bits. De estos el que calcula los 16 bits menos significativos se diseña con sumadores de anticipación de arrastres de 4 bits conectados a su vez con anticipación de arrastres. El que calcula los 16 bits centrales se diseña con sumadores de cuatro bits con propagación de arrastres e interconectados con puenteo de arrastres. El que calcula los 16 bits más significativos se diseña con sumadores de cuatro bits con propagación de arrastres interconectados con selección de arrastres.

Calcular el retardo de c<sub>16</sub>, c<sub>32</sub>, c<sub>44</sub> y s<sub>47</sub>

**Problema 4.** (2 puntos) Diseña un multiplicador de Pezaris para números de 4 bits utilizando sólo sumadores de tipo 0 y 2. Para ello:

- a) Dibuja la estructura matricial, explicando cómo se llega a ella.
- b) Escribe la tabla de verdad para cada tipo de sumador.
- c) Comprueba el correcto funcionamiento multiplicando los números 1011 y 0111 sobre el multiplicador.

**Problema 5.** (2 puntos) Realizar la suma 1.2 – 0.085 en el formato IEEE 754, suponiendo una precisión reducida con 16 bits (1 bit para el signo, 7 bits para la mantisa). Redondear el resultado por los cuatro métodos.