

**1)** Sea un DLX segmentado en cinco etapas, sin planificación dinámica, y con las siguientes características:

- Un dato se puede escribir y leer de un registro en el mismo ciclo de reloj.
- Existe anticipación de operandos (Forwarding)
- La etapa de ejecución es multiciclo y, además de la habitual ALU de operaciones enteras, existen las siguientes unidades funcionales segmentadas: 1 Sumador/restador en punto flotante de dos etapas (A1, A2) y 1 Multiplicador de cinco etapas (M1, M2, M3, M4, M5).

Esta máquina ejecuta el siguiente programa:

```
ld    f10, 0(r1)
muld  f4, f0, f10
ld    f12, 0(r2)
addd  f2, f12, f4
ld    f4, 8(r1)
muld  f12, f4, f12
ld    f14, 16(r1)
```

Sabiendo que:

- Las dependencias LDE se detectan en la primera etapa de cada unidad funcional y se resulten mediante cortocircuito cuando los operandos están disponibles.
- Los riesgos estructurales se detectan y se resuelven mediante espera en la última etapa de cada Unidad Funcional.
- Los riesgos EDE entre dos instrucciones, A y B tal que A precede a B, se resuelven mediante inhibición de la escritura de la instrucción A.

Construya el diagrama de tiempo (instrucciones – ciclos de reloj), marcando sobre él todas los riegos que se presenten y los cortocircuitos que se apliquen. Explique detalladamente, en cada caso, la causa de cualquier posible riesgo y cualquier posible parada (2 puntos).

**2)** Un computador con planificación dinámica de instrucciones mediante el método de Tomasulo, ejecuta el siguiente programa (izquierda) y posee Unidades Funcionales segmentadas, Estaciones de Reserva, Load Buffers y Store Buffers con las siguientes características (derecha):

```

add    r1, r0, r0
add    r2, r0, r0
addi   r3, r0, #0
loop   ld    f0, 0(r1)
        ld    f2, 8(r1)
        muld  f2, f2, f0
        ld    f4, 0(r2)
        ld    f6, 8(r2)
        subd  f4, f0, f4
        addd  f6, f6, f2
        muld  f2, f6, f2
        sd    0(r1), f2
        addi  r1, r1, #16
        addi  r2, r2, #16
        sgti  r3, r1, #1000
        beqz  loop
        nop
    
```

UF	CANT	LATEN	SEGM
FP ADD	1	2	SI
FP MUL	1	5	SI
INT ALU	1	1	SI
LOAD	1	2	SI
STORE	1	2	SI

ER y BUFFERS	CANT
FP ADD	2
FP MUL	2
INT ALU	2
LOAD	2
STORE	2

Sabiendo que la frecuencia de reloj es de 500 MHz, que un dato no se puede escribir en el CDB y ser usado por una instrucción dependiente en el mismo ciclo, y que se aplican saltos retardados con un "delay slot" de una instrucción, se pide:

- Muestre en qué ciclos de reloj se realiza cada fase de cada instrucción en la primera iteración del bucle (1,5 puntos).
- Cuál sería el rendimiento en MFLOPS si el bucle se ejecutara muchas veces y el número de estaciones de reserva, load buffers y store buffers no estuviera limitado (0,75 puntos).
- Vuelva a responder a la pregunta del apartado a), pero suponiendo ahora que el computador realiza ejecución especulativa utilizando un Buffer de Reordenamiento (0,75 puntos).