

Arquitectura e Ingeniería de Computadores. Examen Parcial (Teoría). 8/02/2007

Instrucciones.- Cada pregunta consta de cinco respuestas, y cada una de las respuestas puede ser cierta o falsa. Marque con un aspa las respuestas que considere ciertas y deje en blanco las que considere falsas. Si considera que alguna respuesta es ambigua y, por tanto, podría considerarse cierta o falsa en función de la interpretación, ponga una llamada y explique sus argumentos al dorso de la hoja.

Puntuación.- Pregunta con todas las respuestas acertadas: 1 punto. Pregunta con un fallo: 0,6 puntos. Pregunta dos fallos 0,1 puntos. Pregunta con más de dos fallos 0 puntos. La teoría supone la mitad de la nota del examen.

1. Marque cuáles de las siguientes afirmaciones sobre planificación de instrucciones son correctas:

- ☐ a) Un procesador superescalar con planificación estática lanza a ejecución en cada ciclo de reloj el mismo número de instrucciones.
- ☒ b) Un procesador superescalar con planificación dinámica lanza a ejecución en cada ciclo de reloj un número variable de instrucciones.
- ☒ c) Un procesador VLIW lanza a ejecución en cada ciclo de reloj el mismo número de instrucciones.
- ☐ d) La planificación de instrucciones en las arquitecturas VLIW es dinámica.
- ☐ e) Si un procesador implementa planificación estática de instrucciones, entonces las instrucciones finalizan en el mismo orden en que se lanzan.

2. Supongamos la arquitectura básica del DLX, pero segmentado en siete etapas, donde el acceso a la memoria de instrucciones consume dos ciclos de reloj y el acceso a la memoria de datos también. La máquina posee anticipación de operandos (forwarding). Las instrucciones de salto se resuelven (y realizan la carga del PC) en la etapa EX, y se usa predicción estática de "salto no tomado". Además la etapa EX incluye un multiplicador, un sumador de punto flotante y un divisor con tiempos de cálculo 5, 2 y 10 ciclos de reloj, respectivamente, todos ellos con intervalo de iniciación 1. Marque cuáles de las siguientes afirmaciones son correctas:

- ☒ a) Las dependencias EDE pueden provocar paradas en el lanzamiento de instrucciones.
- ☐ b) Las dependencias EDL pueden provocar paradas en el lanzamiento de instrucciones.
- ☐ c) La presencia en un programa de dos instrucciones en punto flotante de la forma:
 ADDD F2, F4, F6
 ADDD F6, F4, F8
 provoca un ciclo de penalización.
- ☐ d) La aplicación de forwarding permite evitar todas las paradas por dependencias LDE, excepto en el caso de que la dependencia sea provocada por una instrucción LOAD.
- ☒ e) Cada salto tomado implicará tres ciclos de penalización.

3. Supongamos un DLX con planificación dinámica de instrucciones mediante Scoreboard, donde las operaciones de punto flotante tienen una latencia de seis ciclos de reloj. Marque cuáles de las siguientes afirmaciones son correctas:

- ☒ a) Dos instrucciones consecutivas de la forma
 ADDD F12, F10, F16
 ADDD F16, F8, F12
 pueden lanzarse en ciclos consecutivos, siempre que no provoquen riesgos estructurales ni EDE.
- ☒ b) Cuando una instrucción ha completado la fase de "lectura de operandos", los "flags de lectura" de la unidad funcional que ejecuta la instrucción adoptan el valor "NO".
- ☐ c) Las dependencias EDL se chequean en la fase de lanzamiento.
- ☐ d) Supongamos que la instrucción:
 ADDD F10, F6, F8
 está en la fase de lanzamiento y que el campo de marca (TAG) del registro F10 no está vacío. Entonces dicha

instrucción pasa a la fase de lectura de operandos y la marca (TAG) del registro F10 se sobrescribe.

- ☐ e) Las dependencias EDL se resuelven mediante renombramiento dinámico de registros.

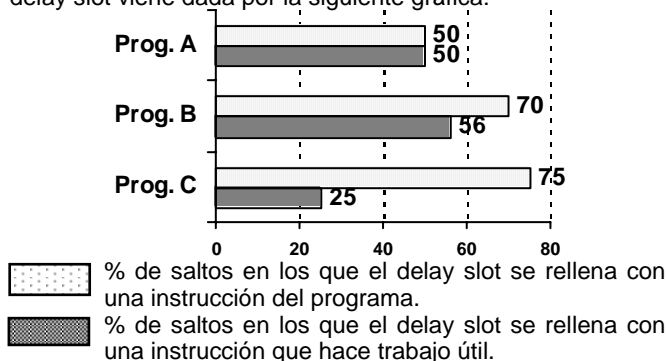
4. Supongamos un sistema con memoria virtual que maneja páginas de 64 Kbytes. Cada byte de la memoria es direccionable individualmente mediante direcciones físicas de 34 bits. La jerarquía de memoria tiene las siguientes características:

- Nivel 1 (I-cache): emplazamiento directo, virtualmente accedida físicamente marcada, de tamaño máximo. Tiene un buffer de prebúsqueda con capacidad para un bloque.
- Nivel 1 (D-cache): emplazamiento asociativo por conjuntos con 2 vías, virtualmente accedida físicamente marcada, de tamaño máximo.
- Nivel 2 (cache unificada): emplazamiento directo, accedida con direcciones físicas, con un tamaño de 4 Mbytes.
- Tamaño de bloque de cache: es siempre 128 bytes.

Marque cuáles de las siguientes afirmaciones son correctas.

- ☐ a) El tamaño de la I-cache del nivel 1 es 128 Kbytes.
- ☒ b) El tamaño de la D-cache del nivel 1 es 128 Kbytes
- ☐ c) El campo TAG en el directorio de la D-cache del nivel 1 tiene una anchura de 19 bits.
- ☐ d) El campo de TAG en el buffer de prebúsqueda de la I-cache del nivel 1 tiene una anchura de 26 bits.
- ☒ e) El campo de TAG en el directorio de la cache de nivel 2 tiene una anchura de 12 bits.

5. Supongamos que la carga típica de un sistema que implementa una política de saltos retardados, siendo el delay slot de un ciclo de reloj, está constituida por los programas A, B y C. El % de instrucciones de salto de cada programa es A=25%, B=15%, C=20%. Se supone que en estos programas las dependencias de control son las únicas que provocan penalizaciones. La capacidad del compilador para rellenar el delay slot viene dada por la siguiente gráfica:



Marque cuáles de las siguientes afirmaciones son ciertas:

- ☒ a) En el programa A, el 50% de los delay slots se rellenan con NOP.
- ☒ b) En el programa C, el 25% de los delay slots se rellenan con NOP.
- ☒ c) En el programa B, el 80% de los delay slots rellenos con una instrucción del programa hacen trabajo útil.
- ☒ d) El CPI del programa C es 1,15.
- ☒ e) El CPI del programa A es 1,125