



نکات مهم:

- 1) تمرین های زیر را با نوشتن کد VHDL و Testbench مربوط به آن پیاده سازی و تست نمایید (با استفاده از ActiveHDL).
- 2) یک فایل گزارش ایجاد نموده و خروجی های شبیه سازی و توضیحات مورد نیاز را در آن قرار دهید.
- 3) کل پوشه های مربوط به پیاده سازی و گزارش را در یک فایل zip شده قرار دهید، نام آن را به نام "CAD_HW04_Name" تغییر دهید.
- 4) فقط یک فایل zip شده به آدرس <https://www.dropbox.com/request/3knDRN3iOOxdTWABo7Nh> ارسال کنید.

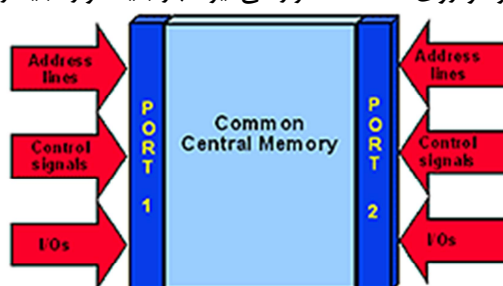
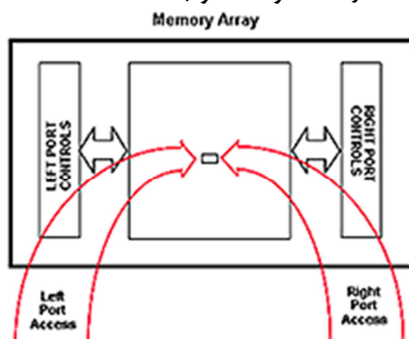
1- یک شمارنده باینری 12 بیتی طراحی کنید که اولاً هر زمان ورودی CountEn یک باشد شمارنده بشمارد، ثانیاً حداکثر تا 1080 بشمارد. در صورت صفر شدن CountEn شمارش متوقف شود و در صورت 1080 شدن مقدار شمارنده، به صفر بازگردد.

2- مداری دارای سه ورودی تک بیتی Start، X و Stop است. ماشین حالت این مدار را به گونه ای طراحی کنید که بعد از یک شدن Start، در صورتی که روی ورودی X توالی 1100 مشاهده شد خروجی برای یک کلاک یک شود و ماشین دوباره به حالت اولیه برود و منتظر Start بعدی باقی بماند. هرگاه ورودی Stop یک شد، ماشین حالت در همان حالت باقی بماند تا مجدداً Stop صفر شود. ماشین حالت این مدار را بصورت مور طراحی کنید و آن را به زبان VHDL پیاده سازی کنید.

3- یک RAM طراحی کنید که دارای دو سری پورت برای کنترل حافظه می باشد (Dual-Port Memory).

- Generic: Data_Width and Addr_Width (default = 8)
- Inputs: Clk, CS1, WE1, Addr1, CS2, WE2, Addr2
- InOut: Data1, Data2

اگر سیگنال CSx فعال باشد، براساس WEx عمل نوشتن یا خواندن بدین صورت انجام می شود: اگر WEx یک باشد، داده Datax روی سطر که Addr x نشان می دهد نوشته می شود؛ و اگر WEx صفر باشد، عمل خواندن از سطر مربوط به Addr x انجام می شود و روی Datax قرار می گیرد (در بقیه موارد باید روی Datax مقدار 'Z' نوشته شود).



مهلت تحویل: جمعه 23 آذر 1397، تا ساعت 23:55

موفق باشید

فاطمه گل پور، میلاد خداوردی

مهدی امینیان