



دانشکده مهندسی برق و کامپیووتر
گروه مهندسی کامپیووتر

سخت افزارهای برنامه پذیر

(PROM, PLA, PAL, GAL, SPLD, CPLD)

زمستان ۱۴۰۳

فصل دوم: سخت افزارهای برنامه پذیر

- مقدمه
- حافظه فقط خواندنی قابل برنامه ریزی (PROM)
- افزاره منطقی برنامه پذیر (PLD)
- آرایه های منطقی قابل برنامه ریزی (PLA)
- منطق آرایه ای برنامه پذیر (PAL)
- منطق آرایه ای عمومی (GAL)
- تکنولوژی ساخت PLD ها

مقدمه

- مدارات برنامه پذیر تراشه های همه منظوره ای که قابلیت پیکربندی برای کاربردهای مختلف را دارند.
- ویژگی محصولات مختلف و جنبه های رو به پیشرفت

❖ ظرفیت منطقی

❖ سرعت

❖ ساختار داخلی

❖ کاربرد

❖ قابلیت اطمینان

❖ شیوه برنامه ریزی

دسته بندی کلی

- حافظه های فقط خواندنی برنامه پذیر [۱] (PROM)
- افزاره های منطقی برنامه پذیر [۲] (PLD)
- آرایه های دروازه های برنامه پذیر میدانی [۳] (FPGA)

[۱] Read Only Memory

[۲] Programmable Logic Devices

[۳] Field Programmable Gate Array

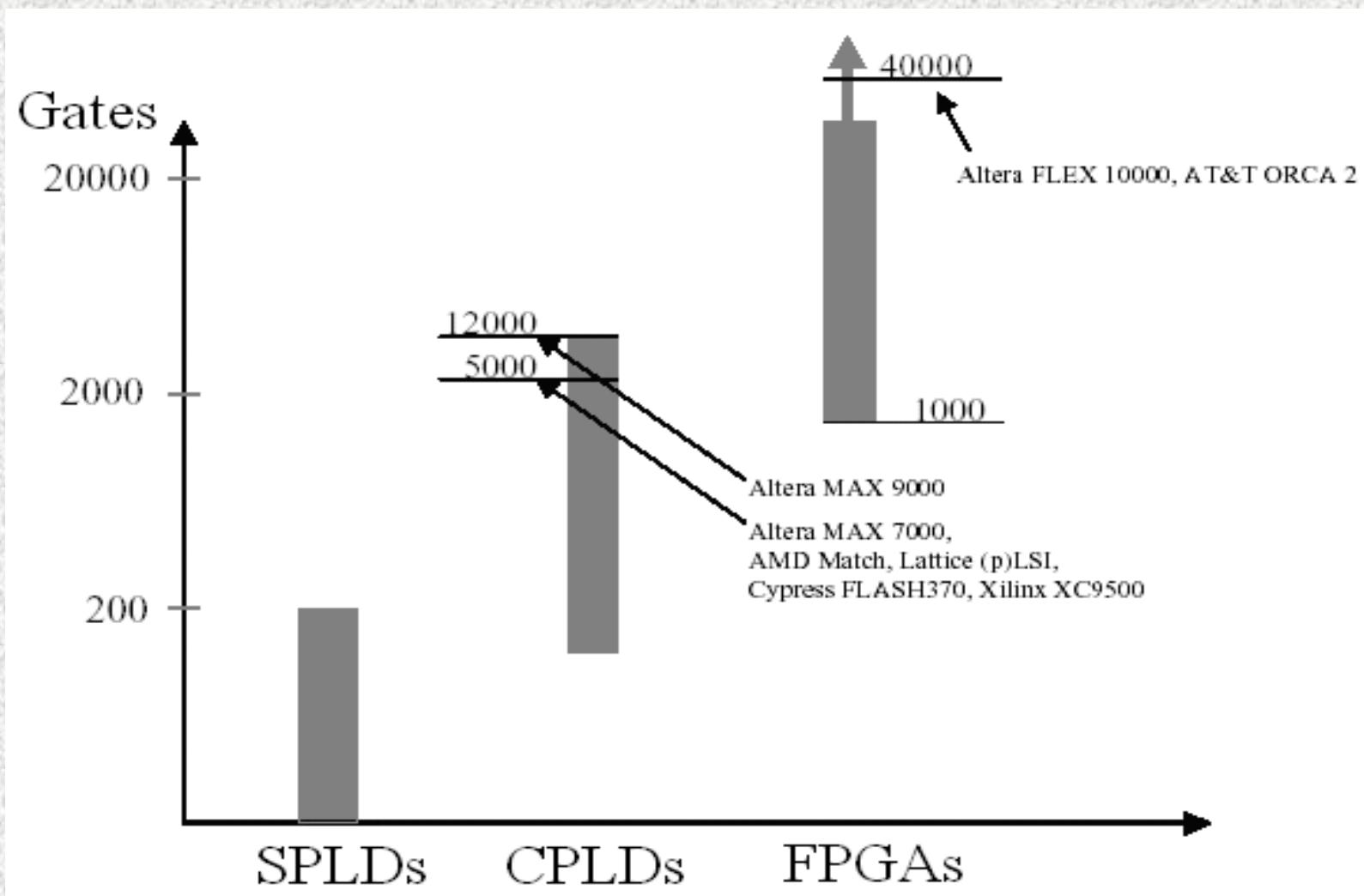
انواع PLD

- افزاره های منطقی برنامه پذیر ساده [۱] (SPLD)
- افزاره های منطقی برنامه پذیر پیچیده [۲] (CPLD)

[۱] Simple Programmable Logic Devices

[۲] Complex Programmable Logic Devices

ظرفیت منطقی انواع تراشه های برنامه پذیر



حافظه فقط خواندنی قابل برنامه ریزی (PROM)

□ حافظه

- ❖ شامل کل برنامه سیستم های کوچک
- ❖ بخشی از برنامه در سیستم های بزرگ
- مدار ترکیبی دو سطحی AND-OR
- ❖ طبقه AND ثابت
- ❖ طبقه OR قابل برنامه ریزی
- ❖ مناسب برای پیاده سازی مدارات به فرم SOM
- ❖ بخش ترکیبی مدارات حالت

انواع (PROM)

- ❑ One Time Programmable (OTP)
 - ❖ PROM
- ❑ ReProgrammable (RP)
 - ❖ EPROM (UVROM)
 - ❖ EEPROM
 - ❖ Flash

افزاره های منطقی برنامه پذیر ساده (SPLD)

- معادل حداکثر ۲۰۰ گیت NAND
- با اسامی

- ❖ PLA (Programmable Logic Array)
- ❖ PAL (Programmable Array Logic)
- ❖ GAL (Generic Array Logic)
- ❖ PLD (Programmable Logic Device)

- در دو نوع OTP و RP
- کاربرد ماشین های حالت ساده، شمارنده ها و Glue logic

افزاره منطقی قابل برنامه ریزی پیچیده (CPLD)

نوعاً معادل ۶۴ تا ۲ SPLD

اسامی

- ❖ EPLD (Erasable Programmable Logic Devices)
- ❖ PEEL (Programmable, Electrically Erasable Logic)
- ❖ EEPLD (Electrically Erasable Programmable Logic Devices)
- ❖ MAX (Multiple Array Matrix, Altera)

انواع فن آوری های ساخت EEPROM و FLASH , SRAM , EPROM

فرار و غیر فرار

ISP امکان

نسبت به FPGA گرانتر ولی کارایی بالاتر و قابلیت پیش بینی زمانی

آرایه های منطقی قابل برنامه ریزی PLA

- مدار ترکیبی دو سطحی AND-OR
- هر دو طبقه قابل برنامه ریزی
- پیاده سازی عبارات بفرم جمع حاصلضرب
- هر دروازه $= \text{AND}$ هر جمله ضربی دلخواه
- تعداد AND ها محدود
- دروازه های $= \text{OR}$ تعداد خروجی ها

آرایه های منطقی قابل برنامه ریزی PLA

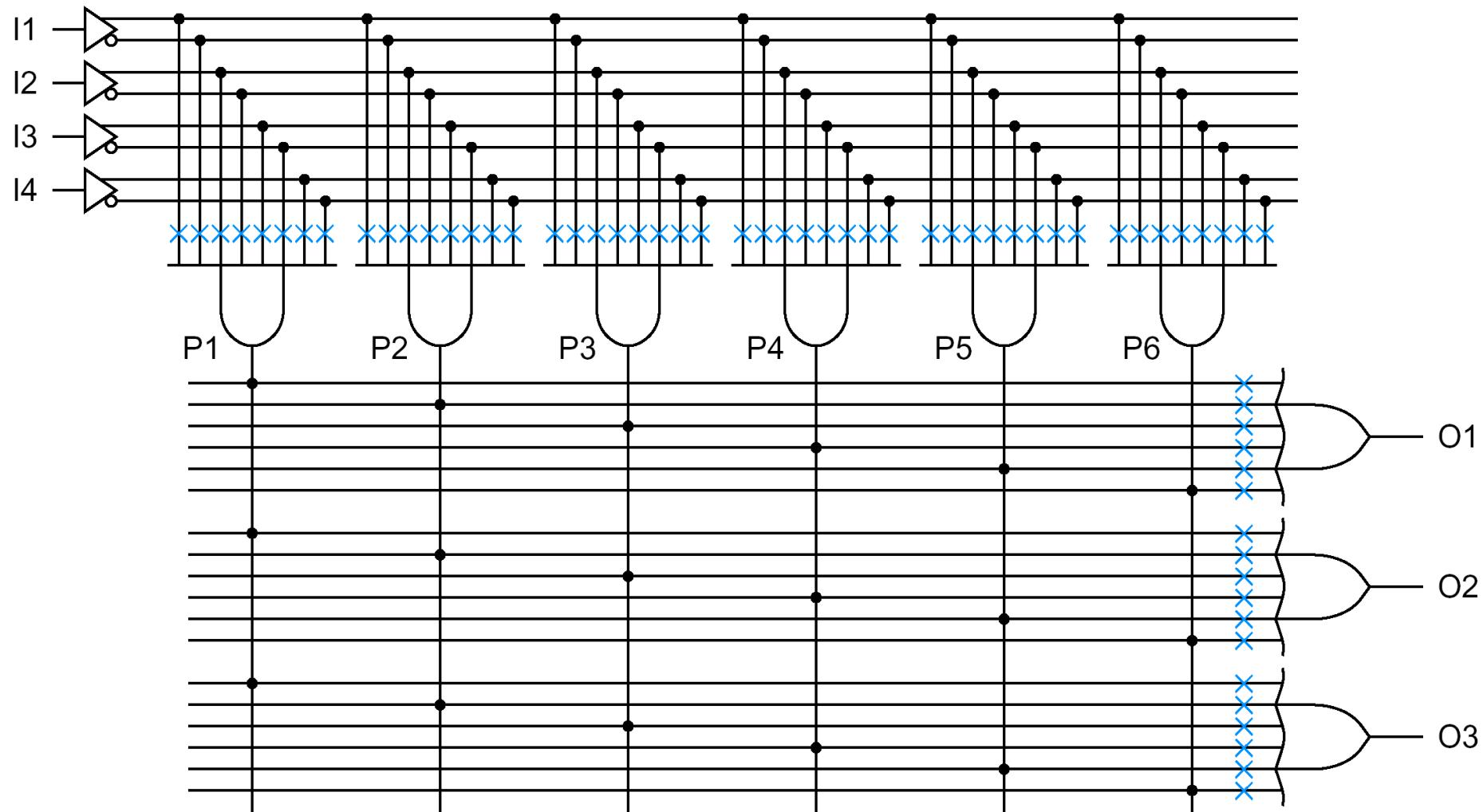
□ معرفی یک PLA

- ❖ تعداد ورودی ها
- ❖ تعداد خروجی ها
- ❖ تعداد جملات ضربی (AND ها)

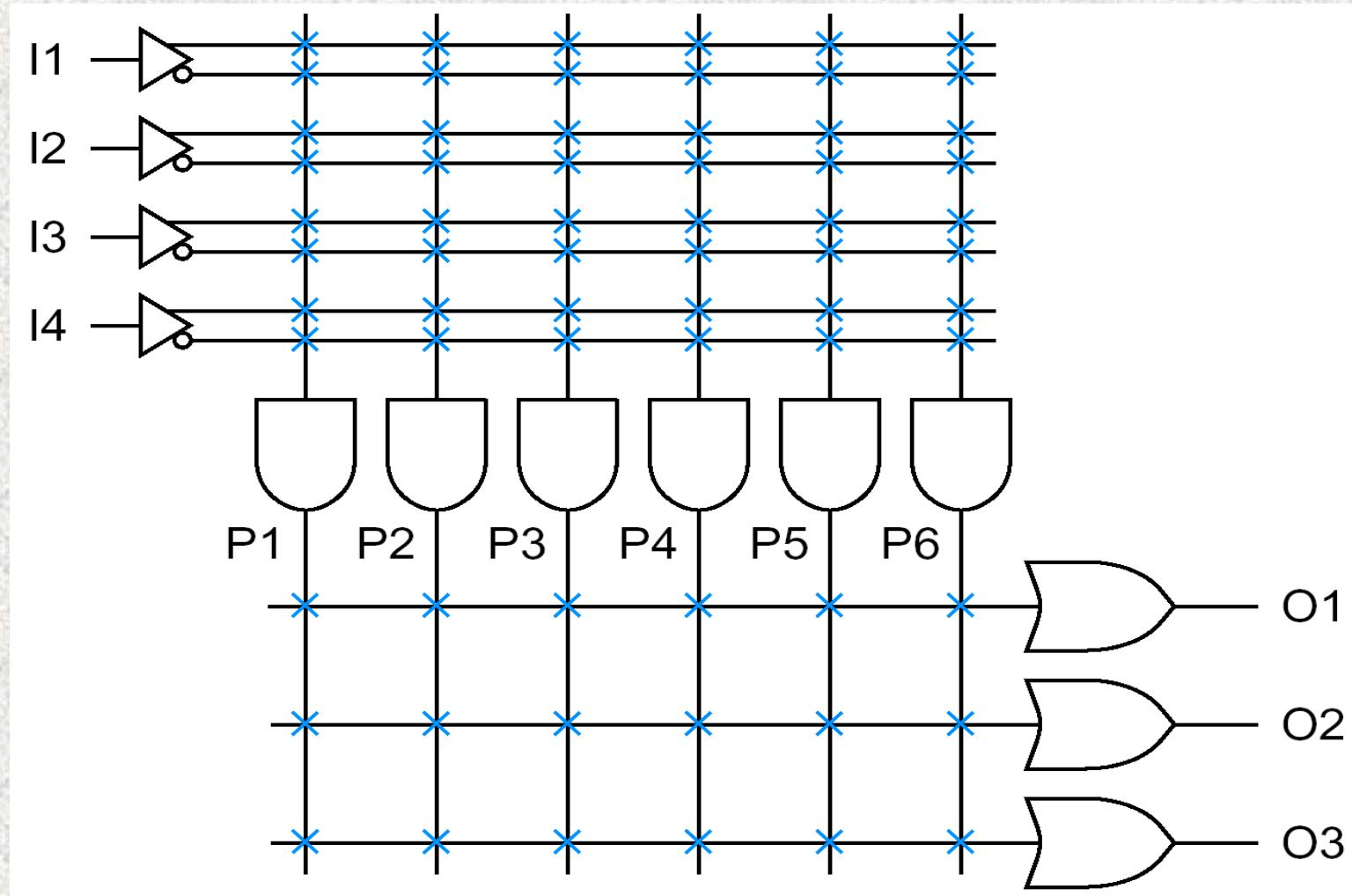
□ یک PLA با $n \times m$ جمله ضربی

- ❖ n ورودی
- ❖ m خروجی
- ❖ p عدد AND ی $2n$ ورودی
- ❖ معمولاً تعداد جملات ضربی (p) و خیلی کمتر از تعداد جملات مینیمم (2^n)

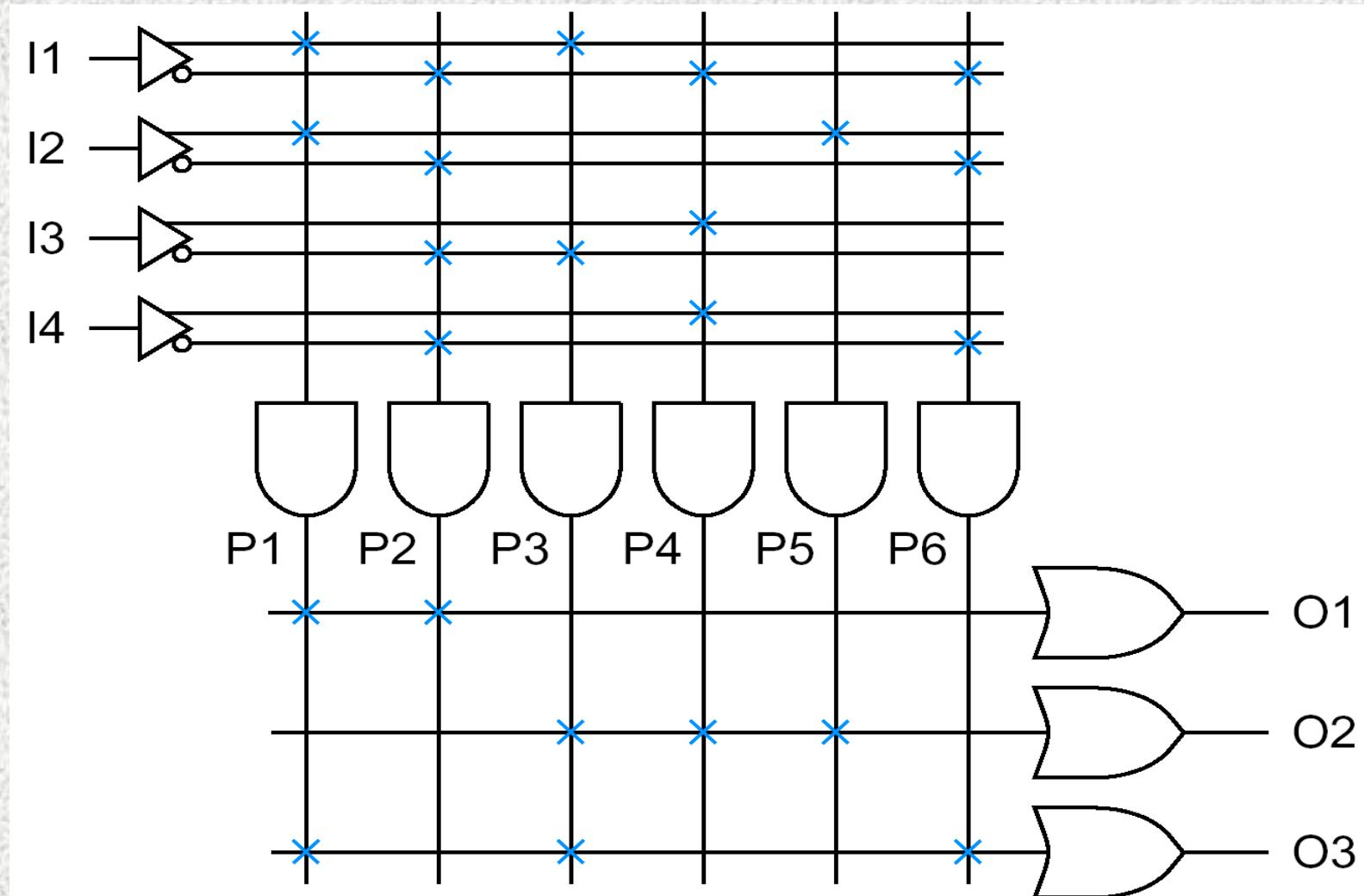
یک PLA کوچک 4×3 با ۶ جمله ضربی



با نمایش فشرده PLA



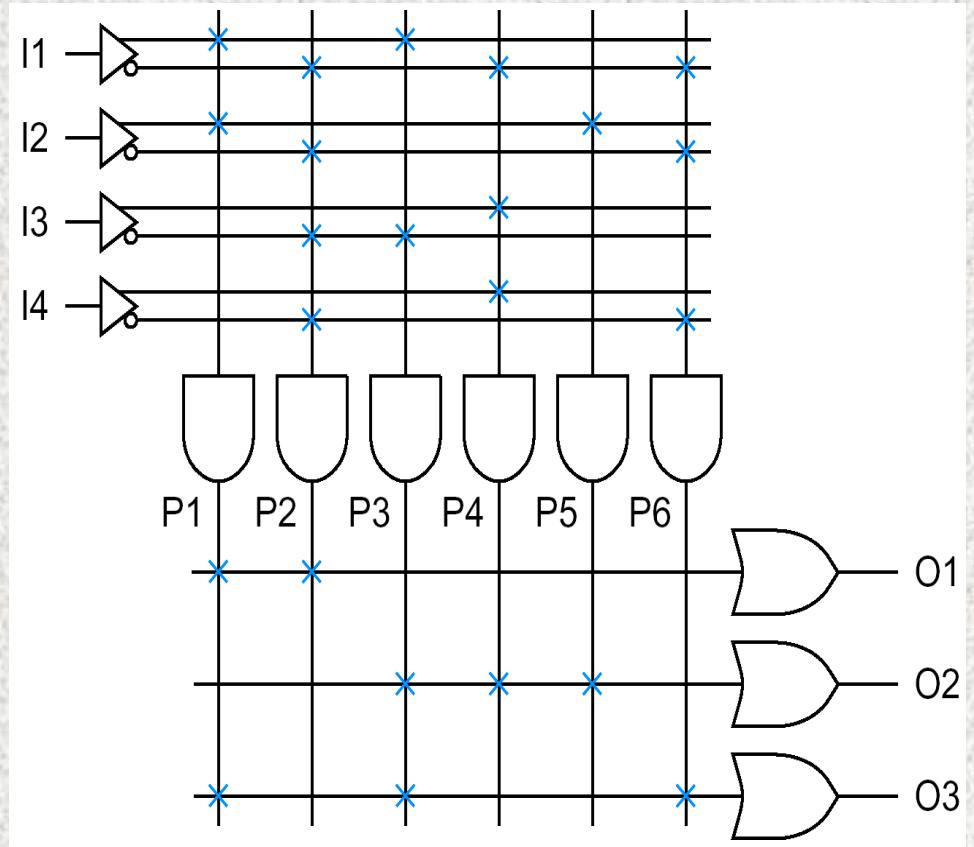
الگوی برنامه ریزی PLA برای یک مدار نمونه



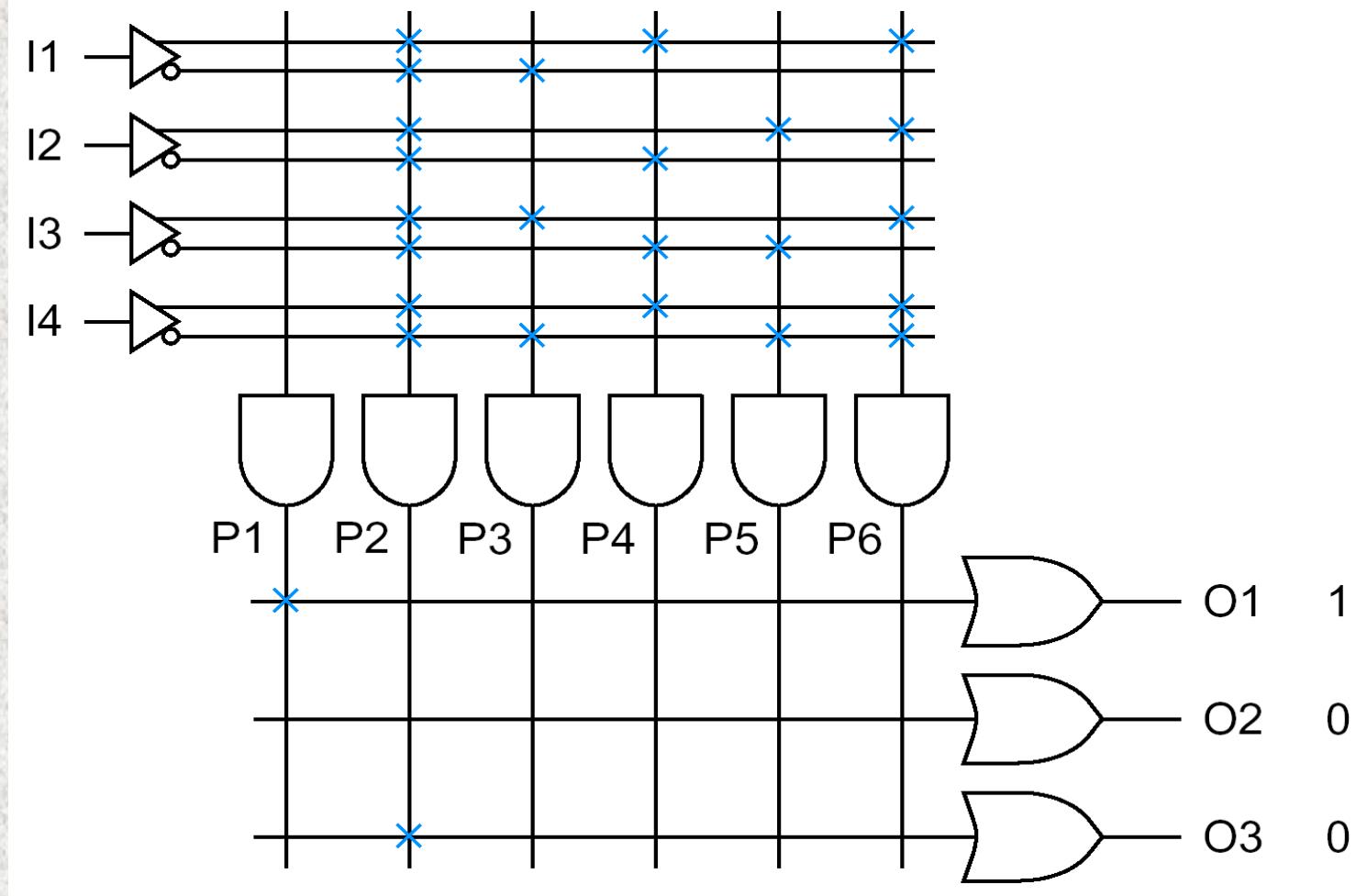
عبارات بولی معادل

$$O_1 = I_1 \cdot I_2 + I_1' \cdot I_2' \cdot I_3' \cdot I_4'$$
$$O_2 = I_1 \cdot I_3' + I_1' \cdot I_3 \cdot I_4 + I_2$$
$$O_3 = I_1 \cdot I_2 + I_1 \cdot I_3' + I_1' \cdot I_2' \cdot I_4'$$

جملات ضربی مشترک = امکان جایگیری



برنامه ریزی PLA برای ایجاد توابع صفر و یک



یک مثال نوعی از PLA

82S100 (اواسط ۱۹۷۰) □

- ❖ ۱۶ ورودی
- ❖ ۴۸ دروازه AND
- ❖ ۸ خروجی

□ تعداد فیوزها

$$48 \times 16 \times 2 = 1536$$

❖ صفحه AND (AND Plane)

$$8 \times 48 = 384$$

❖ صفحه OR (AND Plane)

معایب PLA

□ دو صفحه قابل برنامه ریزی

❖ هزینه ساخت بیشتر

❖ تاخیر انتشار بیشتر

□ این مشکل را رفع می کند

□ امروزه PLA ها در ASIC ها استفاده می شود

ASIC: Application Specific Integrated Circuit

منطق آرایه ای برنامه پذیر PAL

- دو سطحی
- ❖ طبقه AND قابل برنامه ریزی
- ❖ طبقه OR ثابت

- یک صفحه قابل برنامه ریزی
- ❖ هزینه ساخت پایین تر
- ❖ سرعت بالاتر

- حالت خاصی از PLA
- داشتن پین های دو طرفه (ورودی/خروجی)

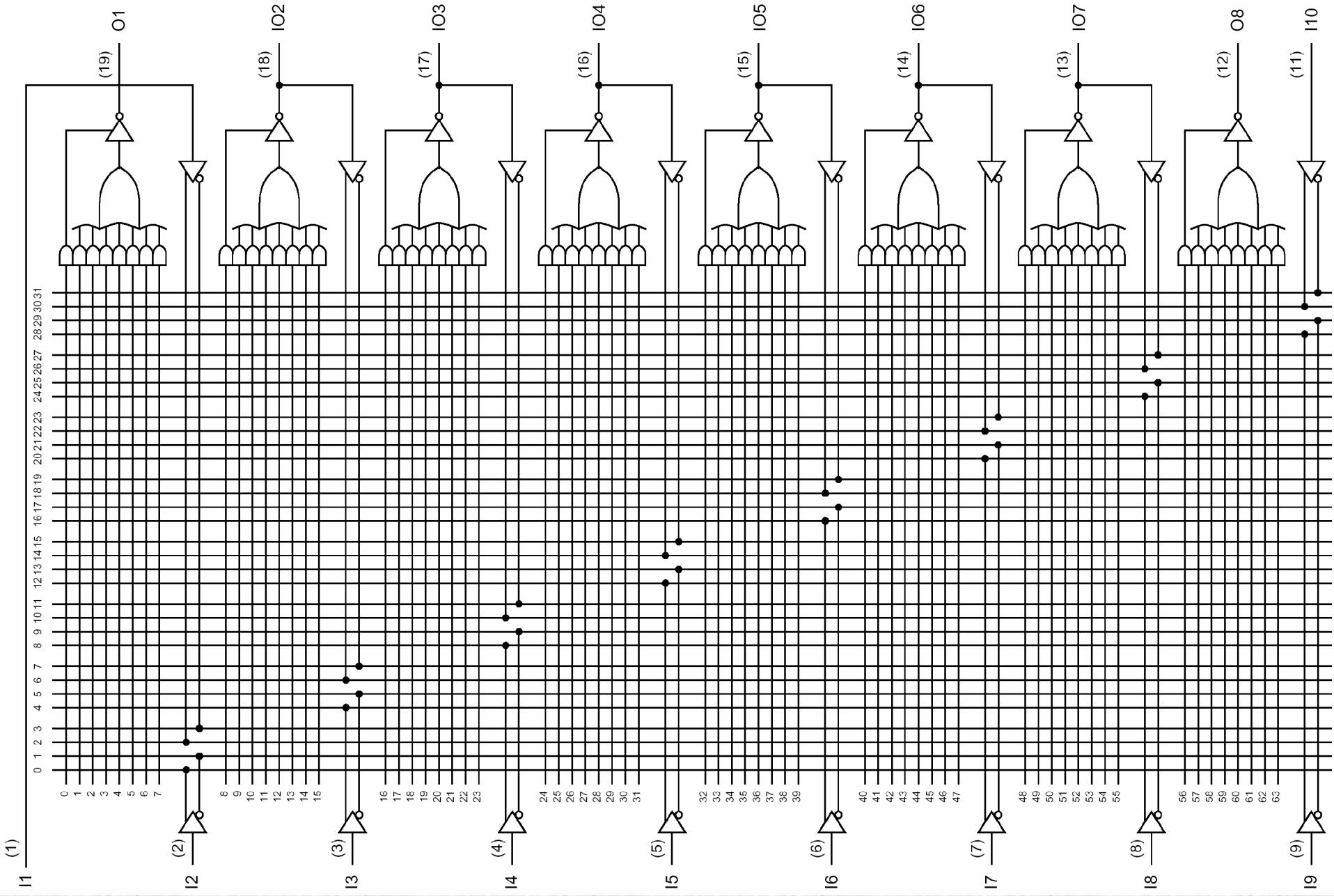
منطق آرایه ای برنامه پذیر PAL

- برای هر گیت OR تعداد جملات AND محدود است
- وجود XOR و MUX
- PAL ترتیبی
 - ❖ حاوی فلیپ فلاپ
 - ❖ پیاده سازی مدارات ترتیبی
- PAL ترکیبی
 - ❖ بدون فلیپ فلاپ
 - ❖ پیاده سازی مدارات ترکیبی

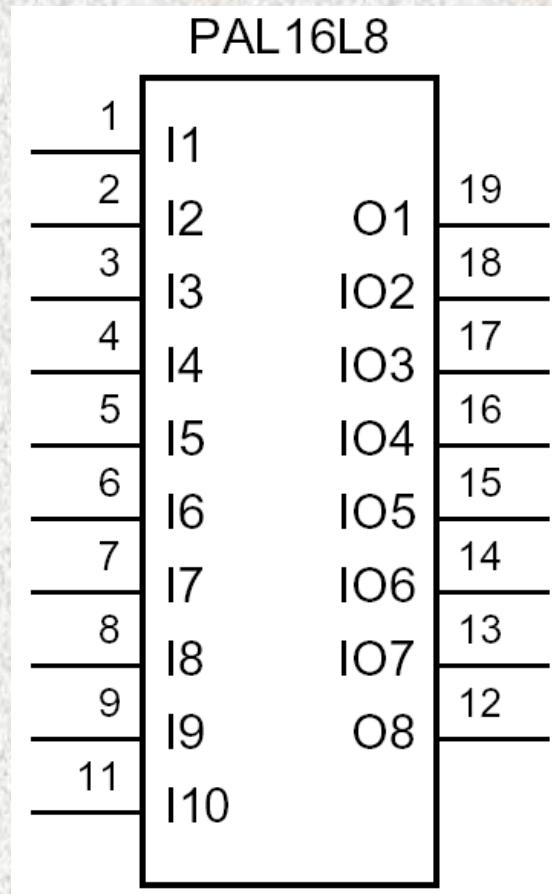
منطق های آرایه ای قابل برنامه ریزی ترکیبی

Combinational PALs

- المان حافظه ای ندارد
- **PAL16L8** یک PAL ترکیبی
 - ❖ ۱۶ ورودی و ۸ خروجی
 - ❖ ۶ پین دو طرفه
 - ❖ تراشه ۲۰ پین
- ❖ صفحه AND آن دارای ۶۴ سطر و ۳۲ ستون
- ❖ برخلاف PLA دروازه های AND نمی تواند به اشتراک گذاشته شود
- ❖ هر OR یک تابع شامل ۷ جمله ضربی
- ❖ جمله ضربی هشتم (دوازه فعال ساز خروجی)



شماتیک پایه های PAL16L8



پایه های دو طرفه I/O

□ صرفاً ورودی است

❖ اگر دروازه فعال ساز، صفر برنامه ریزی شود

□ صرفاً خروجی است

❖ اگر خروجی در هیچ جمله ضربی استفاده نشود

❖ بعبارتی دروازه فعال ساز خروجی همیشه یا بسته به ورودی فعال می شود

□ عبور اول (جمله کمکی) یک مدار بزرگتر است

❖ دروازه فعال ساز خروجی بطور ثابت یک برنامه ریزی می شود

❖ خروجی در ورودی جملات ضربی نیز استفاده شود

□ بصورت یک بازخورد

❖ دروازه فعال ساز آن دائم فعال

❖ به یکی از جملات ضربی خودش وصل شود

پیاده سازی مدارهای با بیش از هفت جمله ضربی

- اتصال هر خروجی بطور بازگشتی به ورودی جملات ضربی خروجی های دیگر
- مدار بصورت چهار طبقه AND-OR-AND-OR
- تاخیر انتشار مدار دو برابر
- چند خروجی را اشغال می کنند

یک PAL ترکیبی دیگر

- ❑ مشابه PAL16L8 است
- ❑ چهار پایه (صرفا ورودی) اضافی
- ❑ ۸ ورودی اضافی برای هر جمله ضربی
- ❑ ساختار خروجی این تراشه کاملا مشابه PAL16L8 است
- ❑ یک تراشه ۲۴ پایه

منطق آرایه ای قابل برنامه ریزی ترتیبی

Sequential PAL

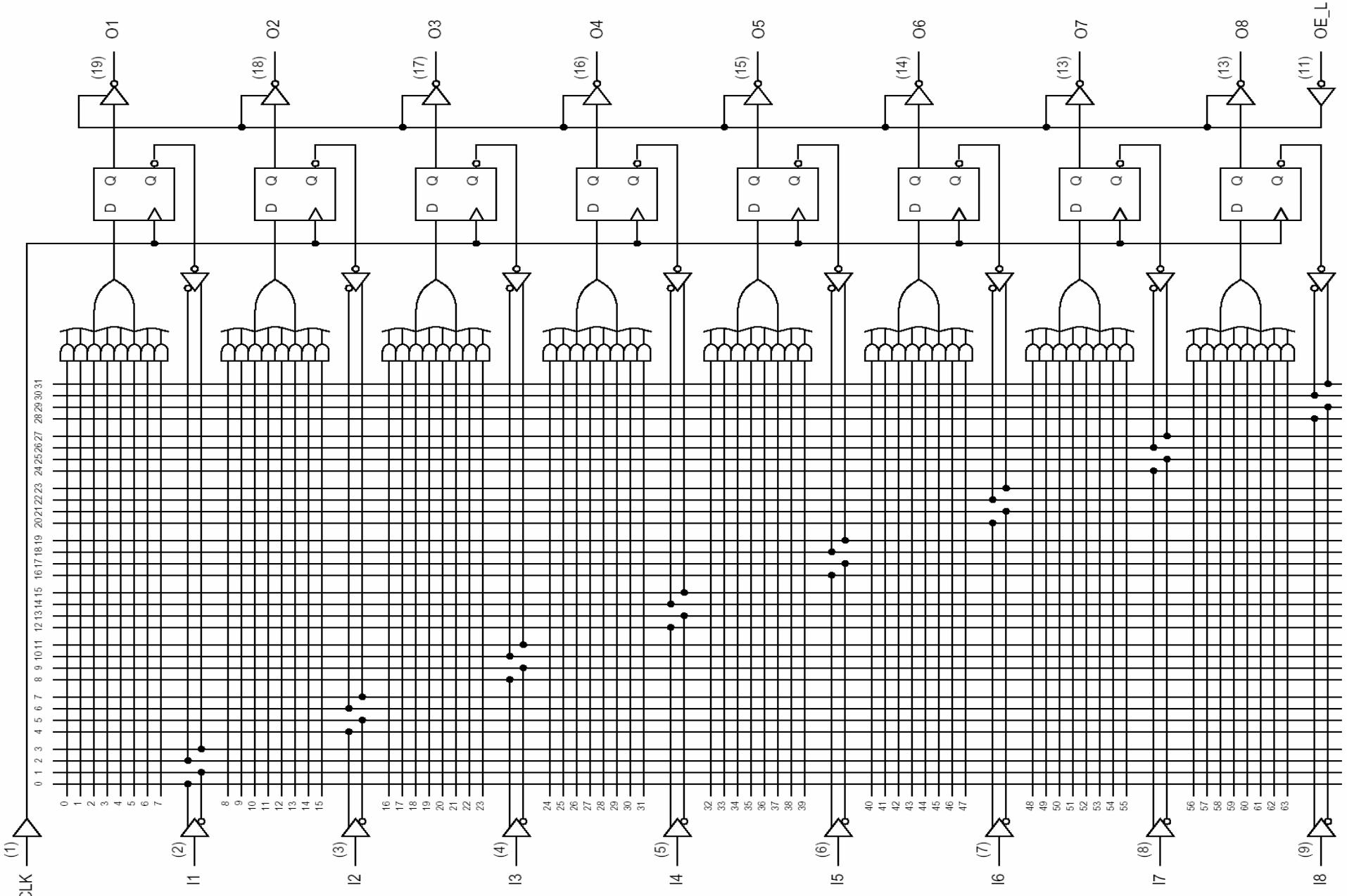
- ❑ خروجی ثبت شده دارند
- ❑ مناسب برای پیاده سازی مدارات ترتیبی
- ❑ یک نمونه PAL16R8
- ❖ ۸ ورودی اصلی
- ❖ یک ورودی کلک
- ❖ یک ورودی مشترک جهت کنترل خروجی (OE-L)
- ❖ ۸ خروجی
- ❖ یک تراشه ۲۰ پایه

منطق آرایه ای قابل برنامه ریزی ترتیبی

Sequential PAL

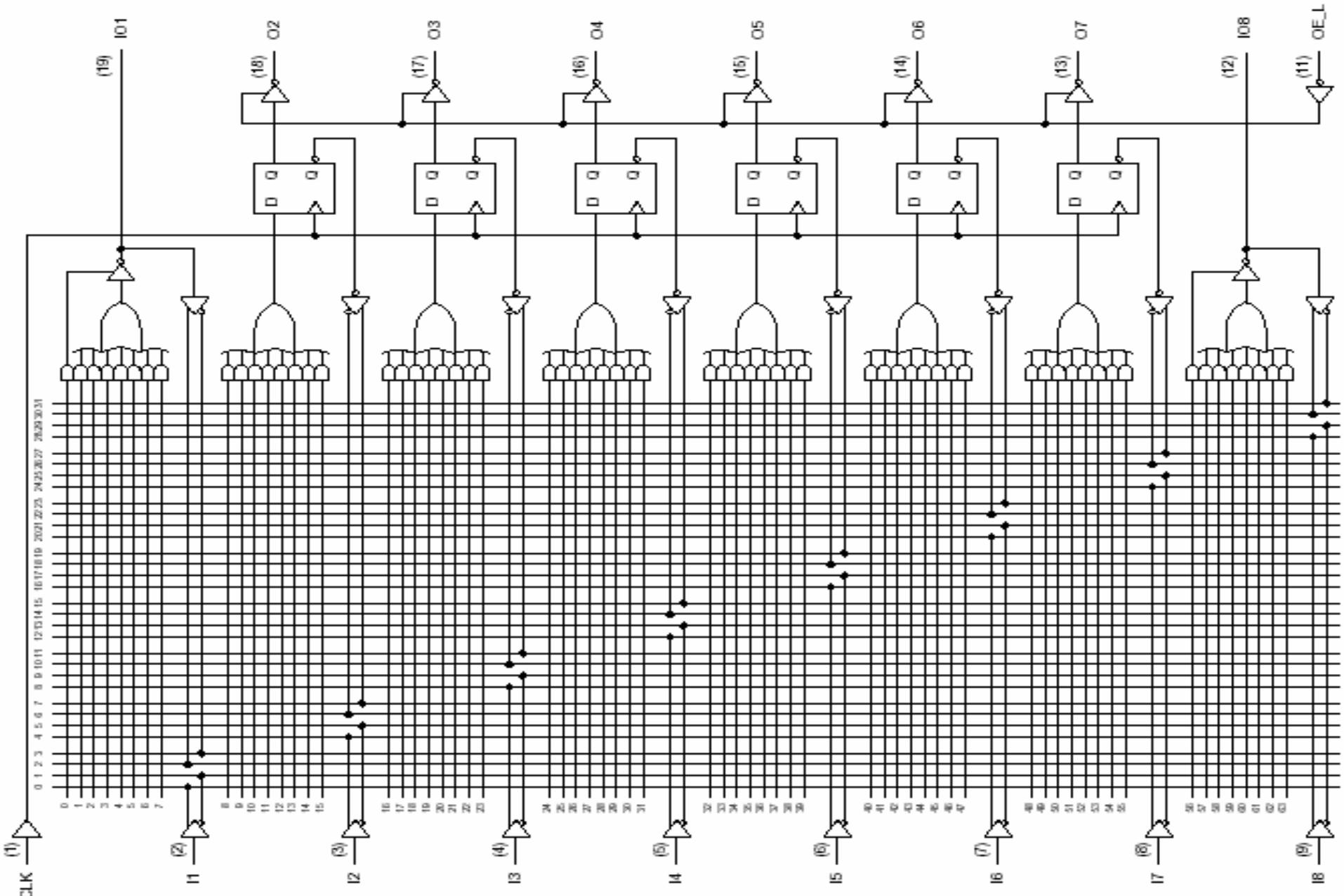
PAL16R8 □

- ❖ طبقات AND-OR دقیقا مشابه PAL16L8
- ❖ یکسری D فلیپ فلاپ دارد که بین طبقه OR و ۸ خروجی
- ❖ مشترک برای تمام فلیپ فلاپ ها (لبه بالا رونده)
- ❖ خروجی های فلیپ فلاپ ها نیز می توانند وارد آرایه AND-OR شوند
- ❖ بدون عبور از بافر های سه حالته
- ❖ تغییر وضعیت فلیپ فلاپ ها حتی در صورتی که خروجی ها غیر فعال



PAL16R6

- ۶ عدد خروجی دارای فلیپ فلاپ
- دو خروجی بدون فلیپ فلاپ
- ❖ بنام IO1 و IO8 دو طرفه
- ❖ ورودی یا خروجی ترکیبی
- ❖ هر کدام کنترل با خروجی مستقل

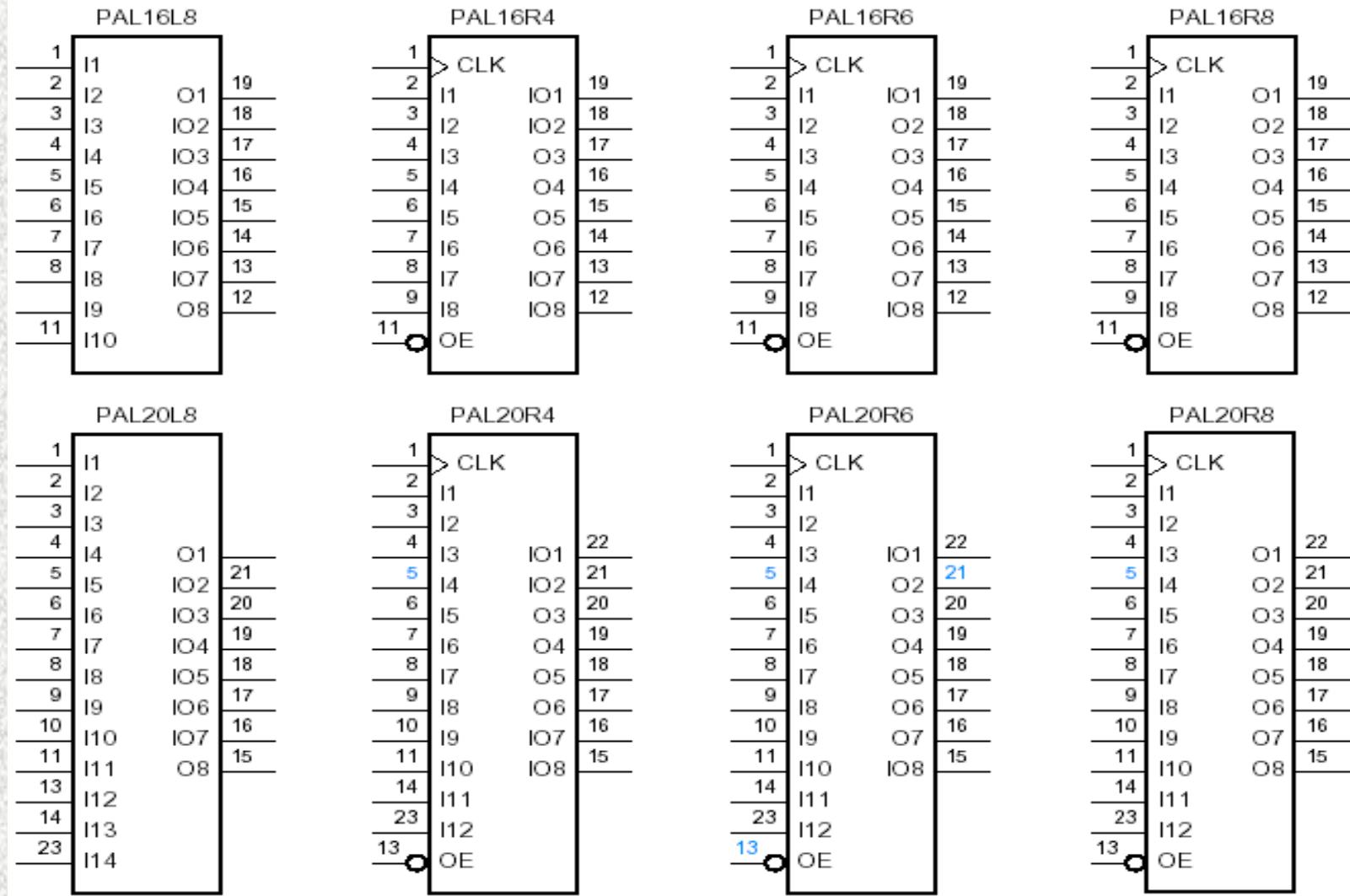


معرفی تعدادی PAL استاندارد

- در PAL16XX عدد ۱۶ تعداد سیگنال های ورودی دروازه های AND
- در PAL20XX عدد ۲۰ تعداد سیگنال های ورودی دروازه های AND

Part number	Package pins	AND-gate inputs	Inputs to AND array			
			Primary inputs	Bidirectional combinational outputs	Registered outputs	Combinational outputs
PAL16L8	20	16	10	6	0	2
PAL16R4	20	16	8	4	4	0
PAL16R6	20	16	8	2	6	0
PAL16R8	20	16	8	0	8	0
PAL20L8	24	20	14	6	0	2
PAL20R4	24	20	12	4	4	0
PAL20R6	24	20	12	2	6	0
PAL20R8	24	20	12	0	8	0

معرفی تعدادی PAL استاندارد



منطق آرایه ای عمومی (GAL)

- ❑ نوعی PLD ترتیبی که ابتدا Lattice Semiconductor ارائه کرد
- ❑ GAL یک نمونه GAL16V8
- ❑ تقلید عملکرد هر PAL
- ❑ تفاوت
 - ❖ امکان پاک شدن بصورت الکتریکی
 - ❖ قابلیت برنامه ریزی مجدد است
- ❑ دو فیوز کنترل معماری جهت انتخاب پیکربندی های 16V8C، 16V8S و 16V8R
- ❑ دو تای اول ترکیبی و سومی ترتیبی است.

GAL: Generic Array Logic

منطق آرایه ای عمومی ترکیبی (Combinational GAL)

□ پیکربندی GAL16V8C

❖ بصورت ترکیبی مانند PAL16L8

❖ C=Complex

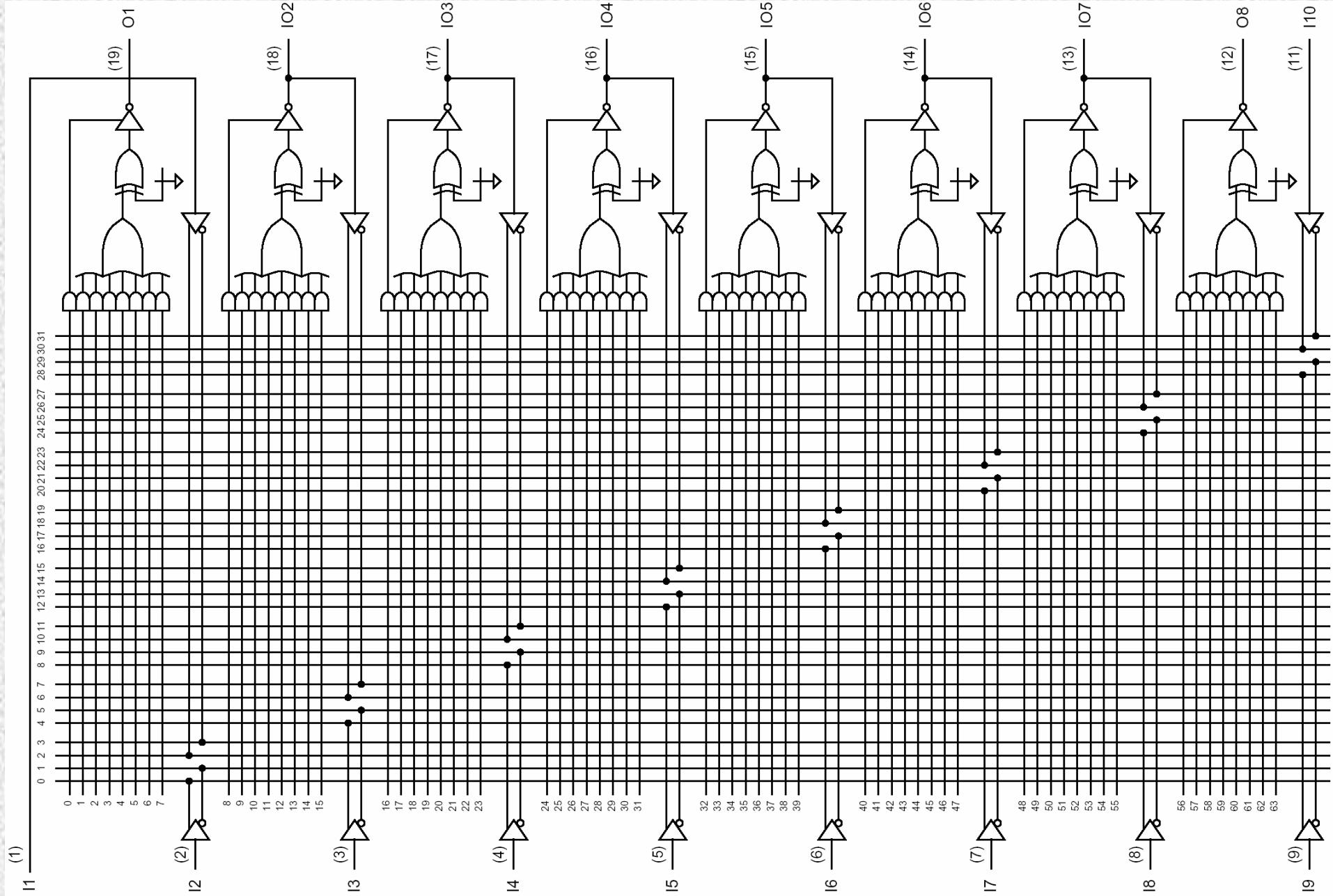
❖ یک گیت XOR بین خروجی هر OR و بافر سه حالته خروجی

❖ XOR بعنوان یک معکوس کننده قابل برنامه ریزی

❖ به این فیوز کنترل پلاریته خروجی گفته می شود

❖ گاهی پیاده سازی مکمل تابع ساده تر است

❖ GAL20V8 میتواند معادل PAL20L8 پیکربندی شود



منطق آرایه ای عمومی ترکیبی (Combinational GAL)

□ پیکربندی GAL16V8S

- ❖ کمتر استفاده می شود
- ❖ چون قابلیت های آن زیر مجموعه ای از حالت 16V8C
- ❖ بجای دروازه AND کنترل خروجی با استفاده فیوز (دائمی)
- ❖ تنها مزیت آن در مقایسه با 16V8C وجود ۸ دروازه AND در مقابل ۷

منطق آرایه‌ای عمومی ترتیبی (Sequential GAL)

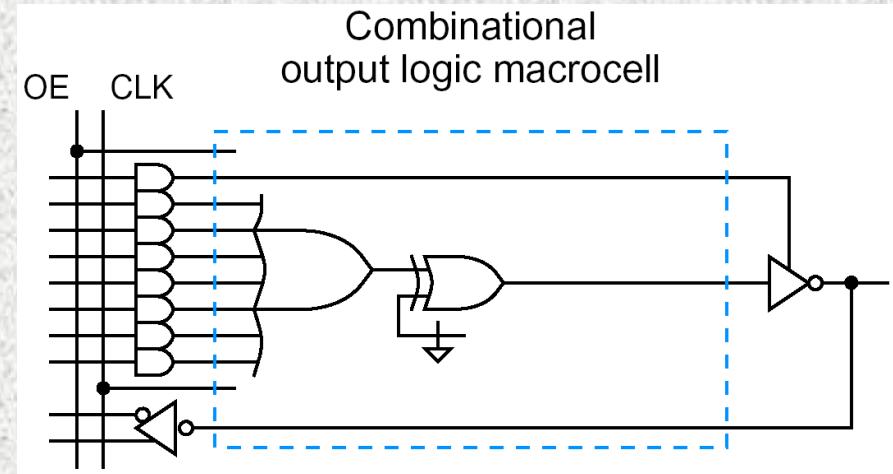
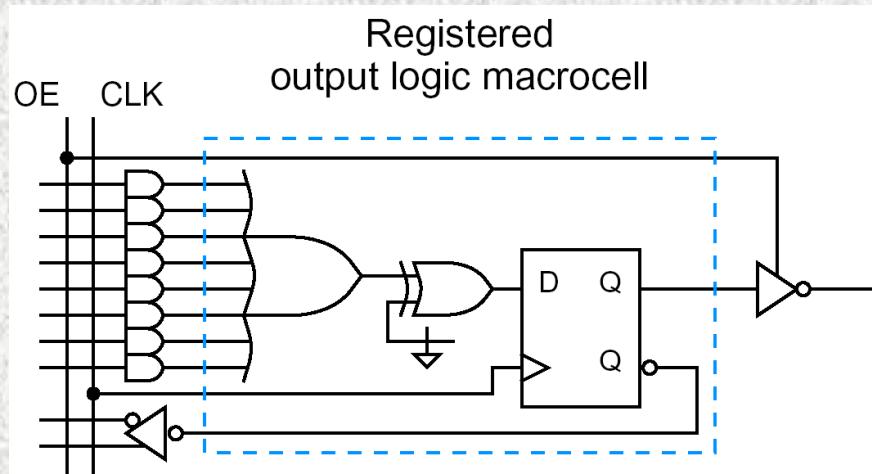
□ پیکربندی که GAL16V8R

❖ همه خروجی‌ها از فلیپ فلاپ عبور می‌کند

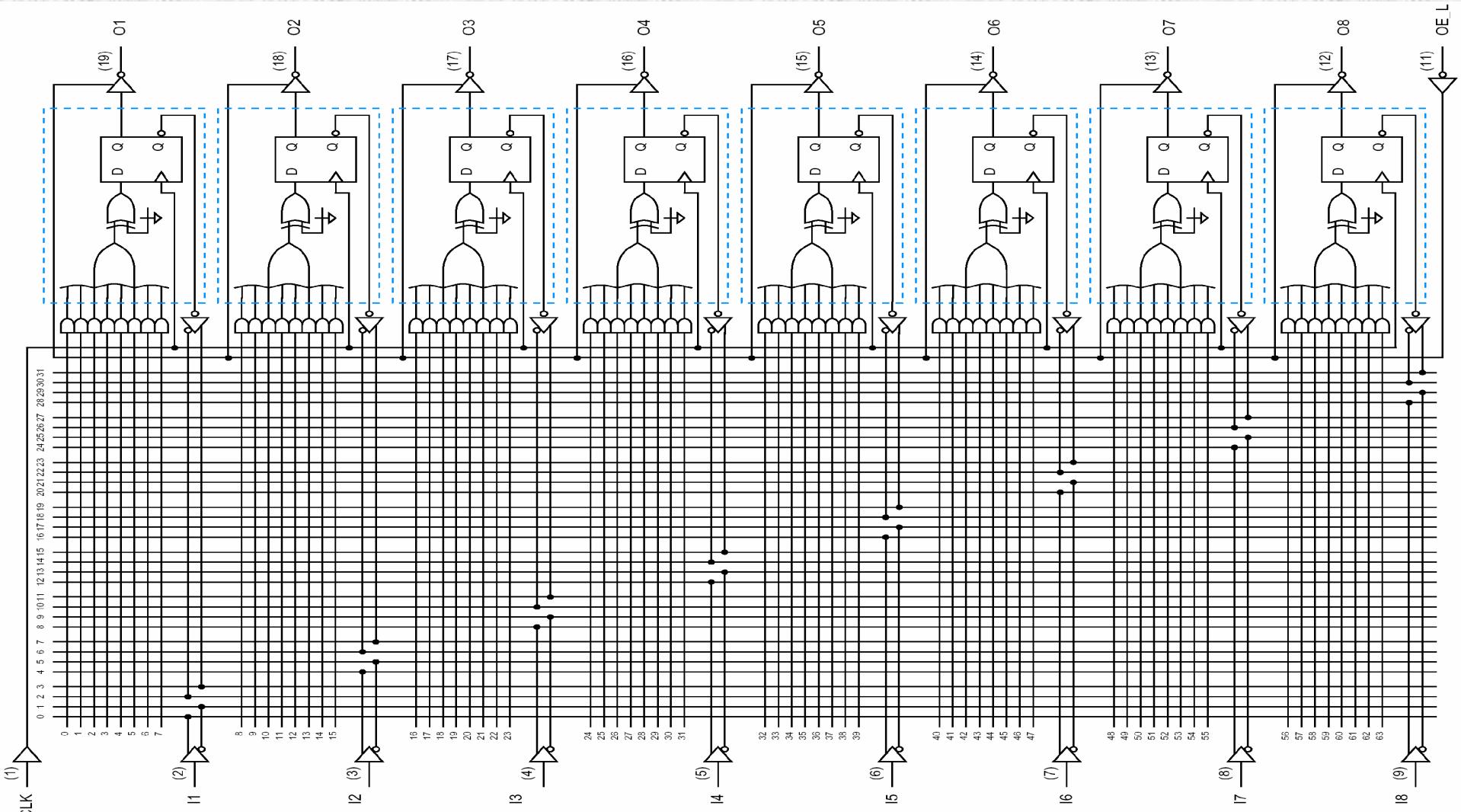
❖ کلاک مشترک

❖ یک سیگنال مشترک فعال‌ساز

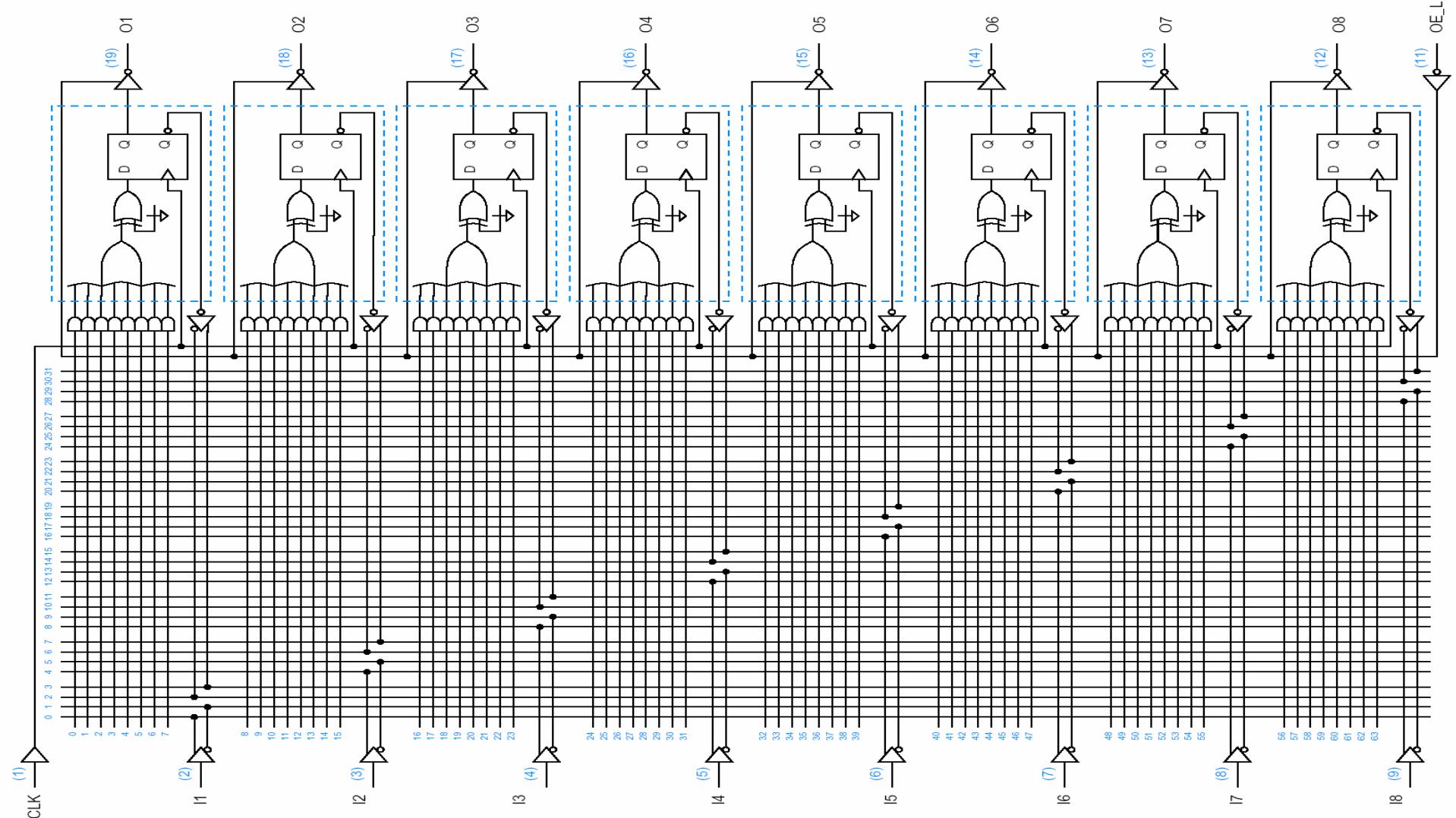
□ درشت سلول منطقی خروجی



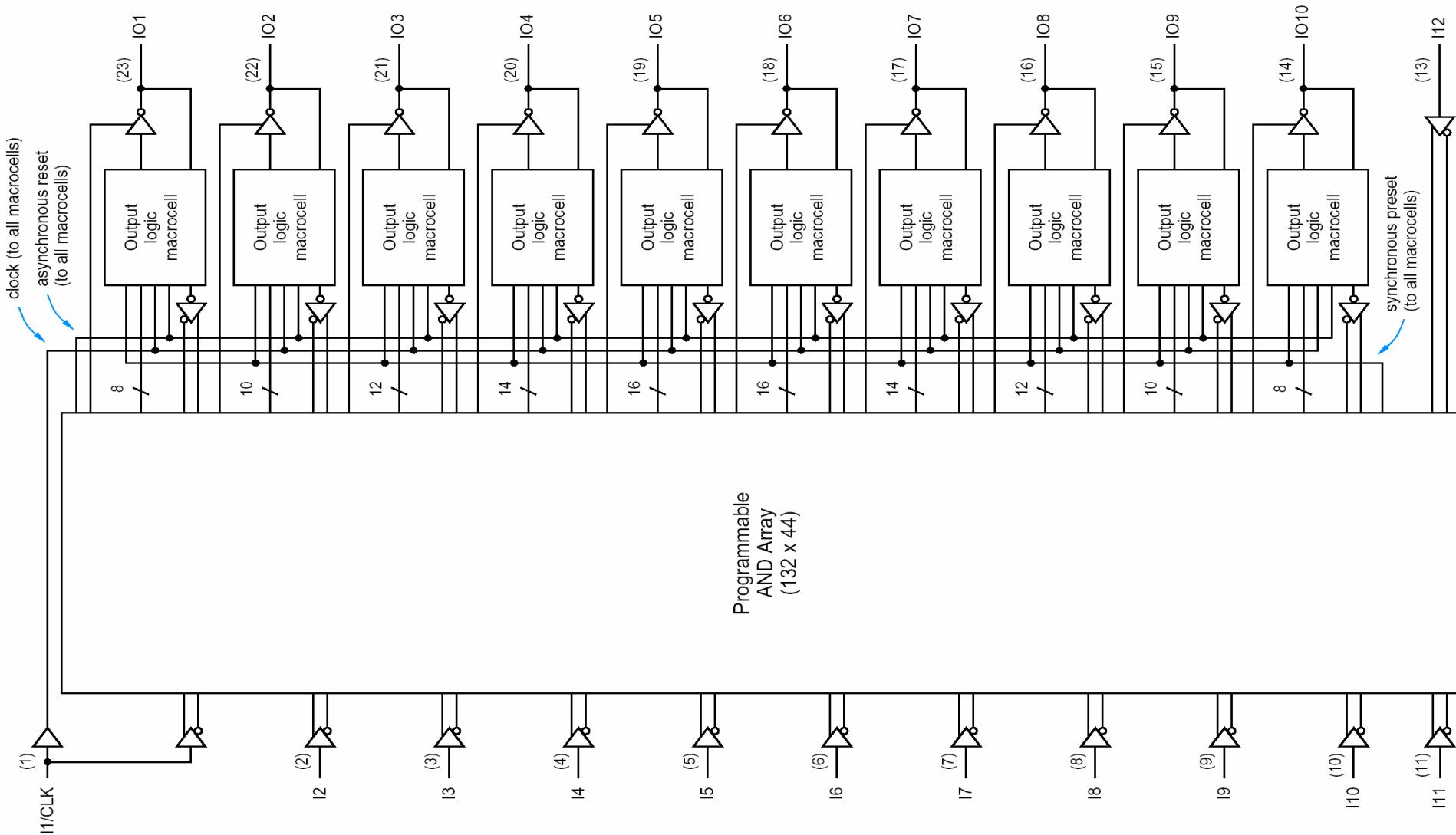
مدار داخلی GAL16V8 در حالت 16V8R



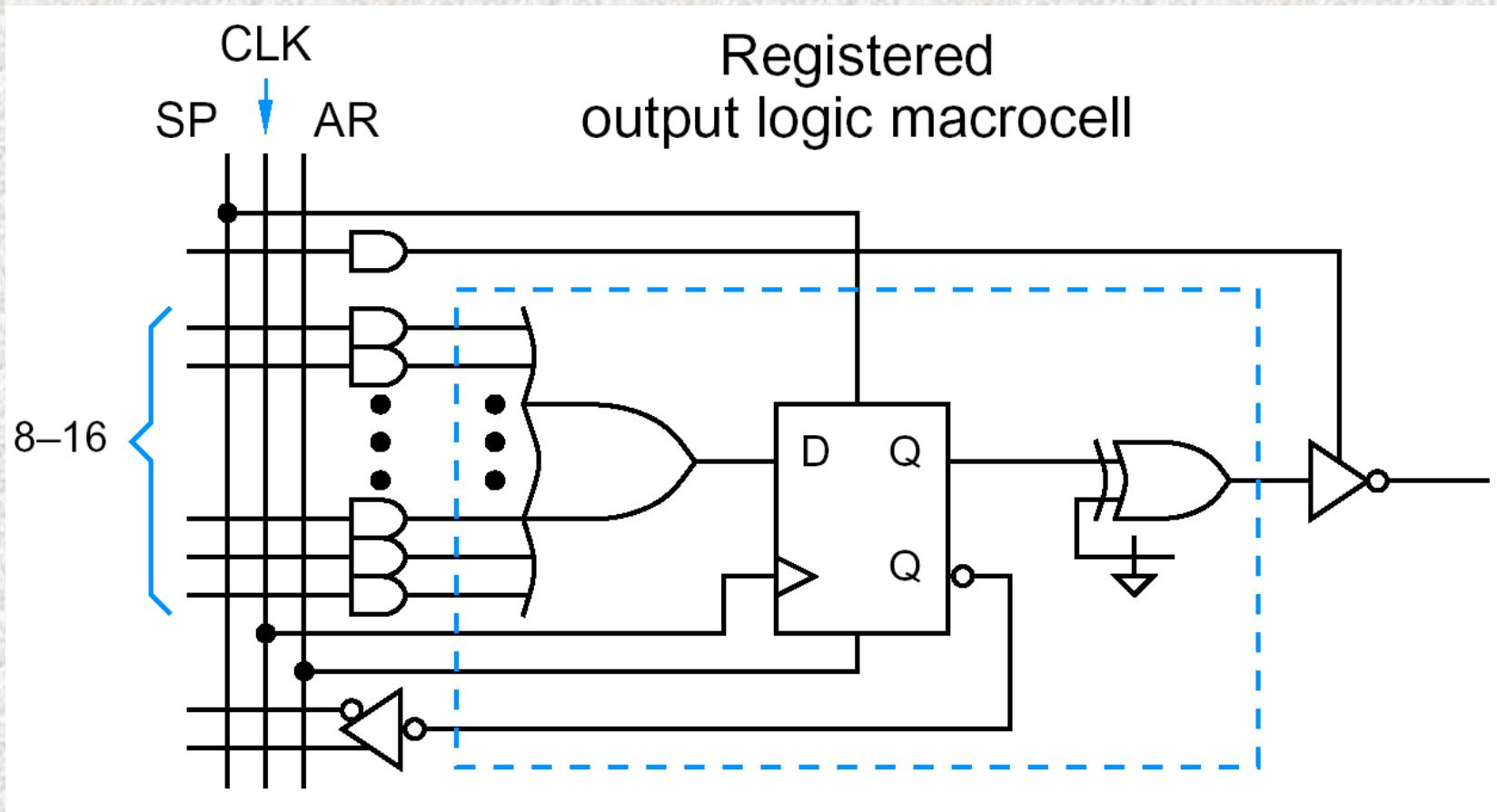
مدار داخلی GAL20V8 در حالت 20V8R



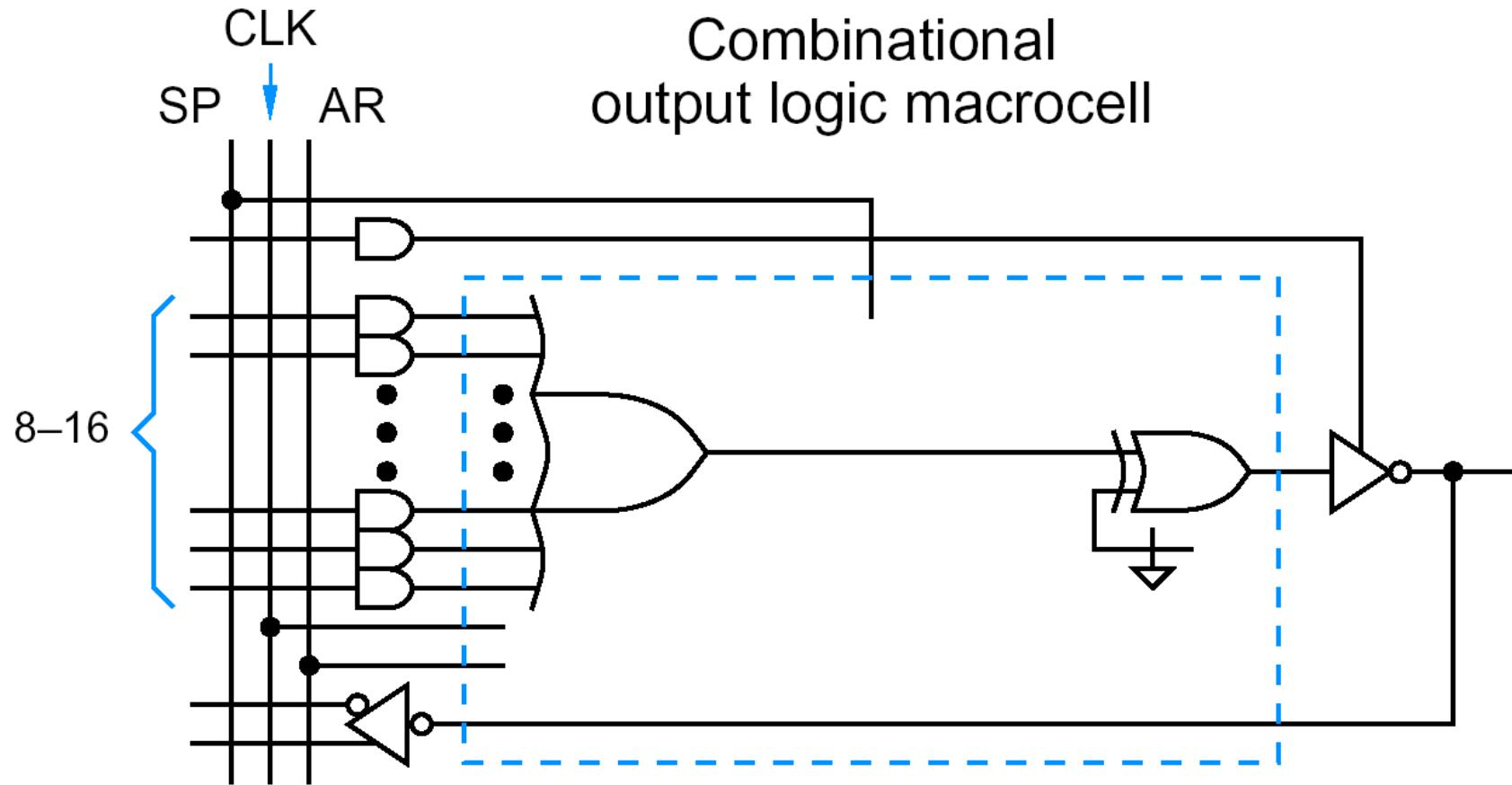
GAL22V10 مدار داخلی



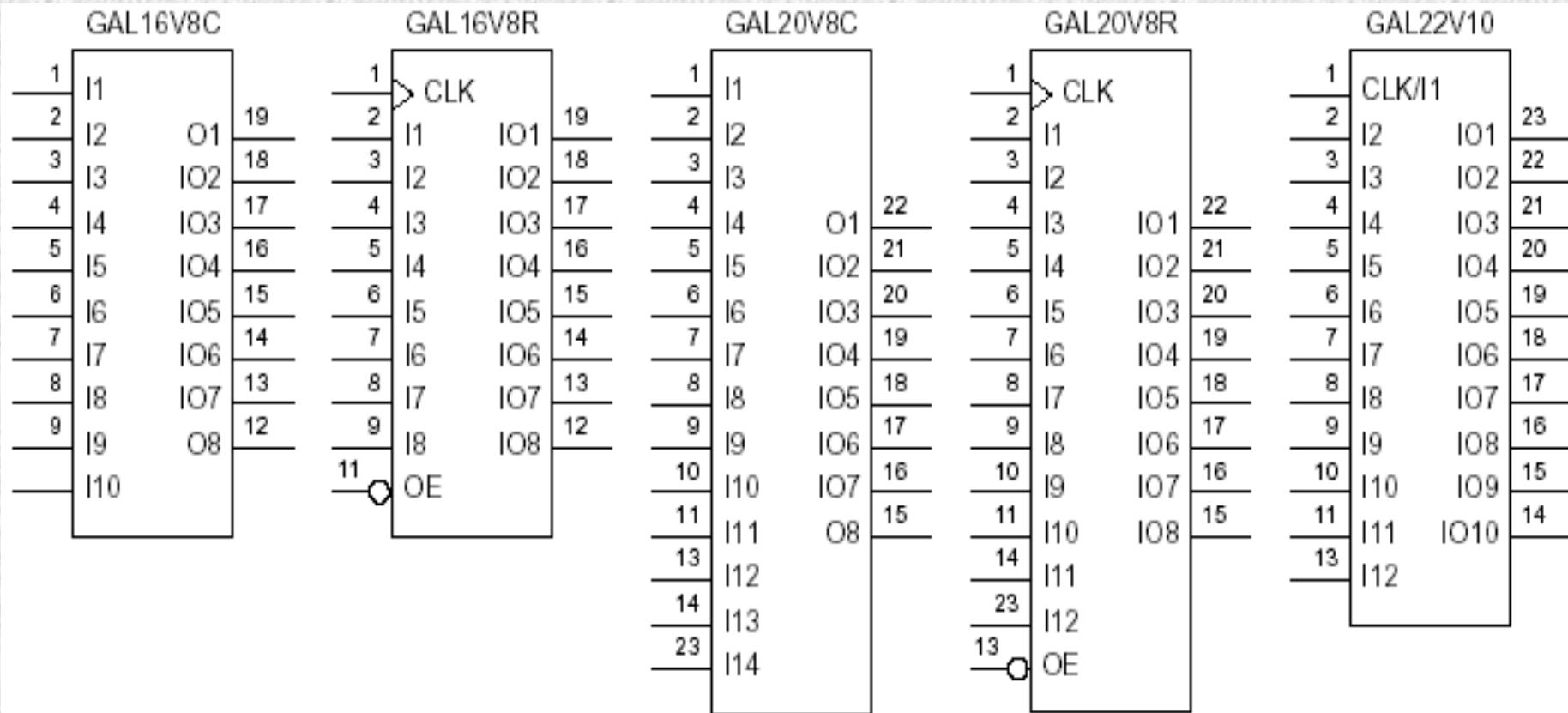
درشت سلول منطقی با خروجی ثبت شده مربوط به GAL22V10



درشت سلول منطقی با خروجی ترکیبی مربوط به GAL22V10



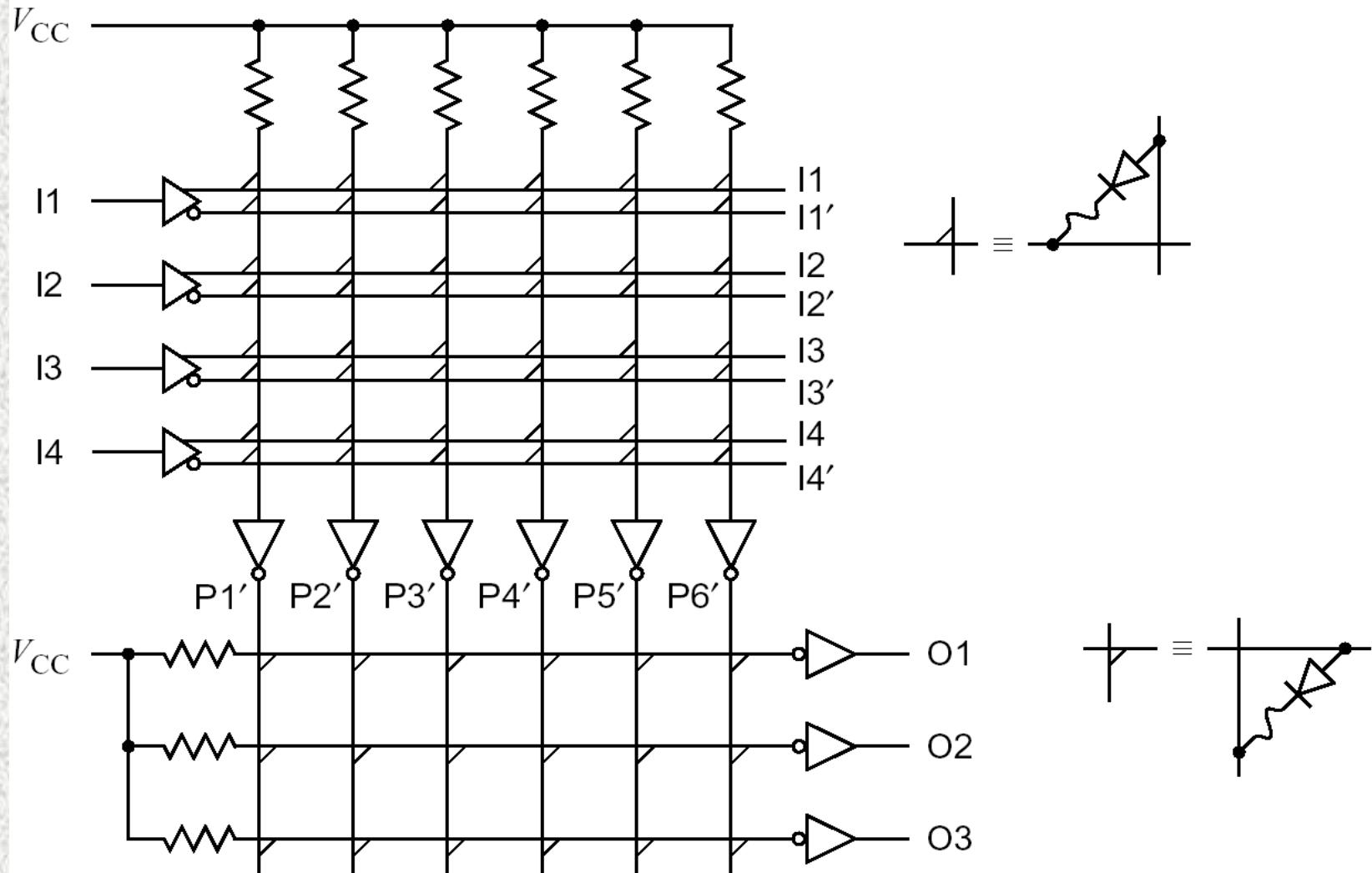
شماتیک پایه های تعدادی GAL استاندارد



تکنولوژی ساخت PLD ها

- ❑ افزاره منطقی برنامه پذیر دوقطبی (Bipolar PLD)
- ❖ هر اتصال بالقوه یک دیود سری با یک اتصال فلزی است
- ❖ اگر اتصال وجود داشته باشد AND
- ❖ اگر اتصال وجود نداشته باشد بدون اثر AND-OR معادل NAND-NAND ساختار

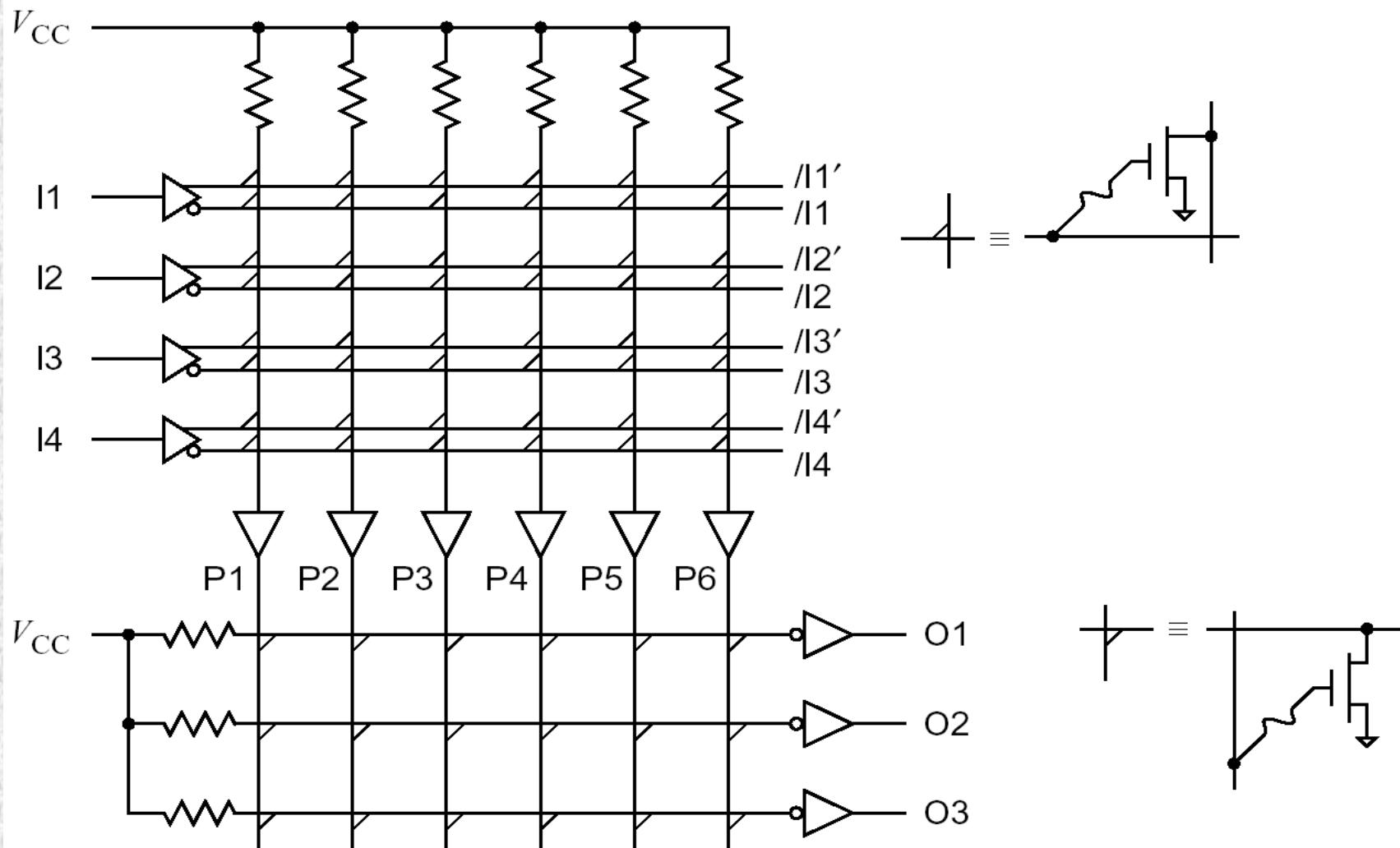
ساختار PLA دو قطبی



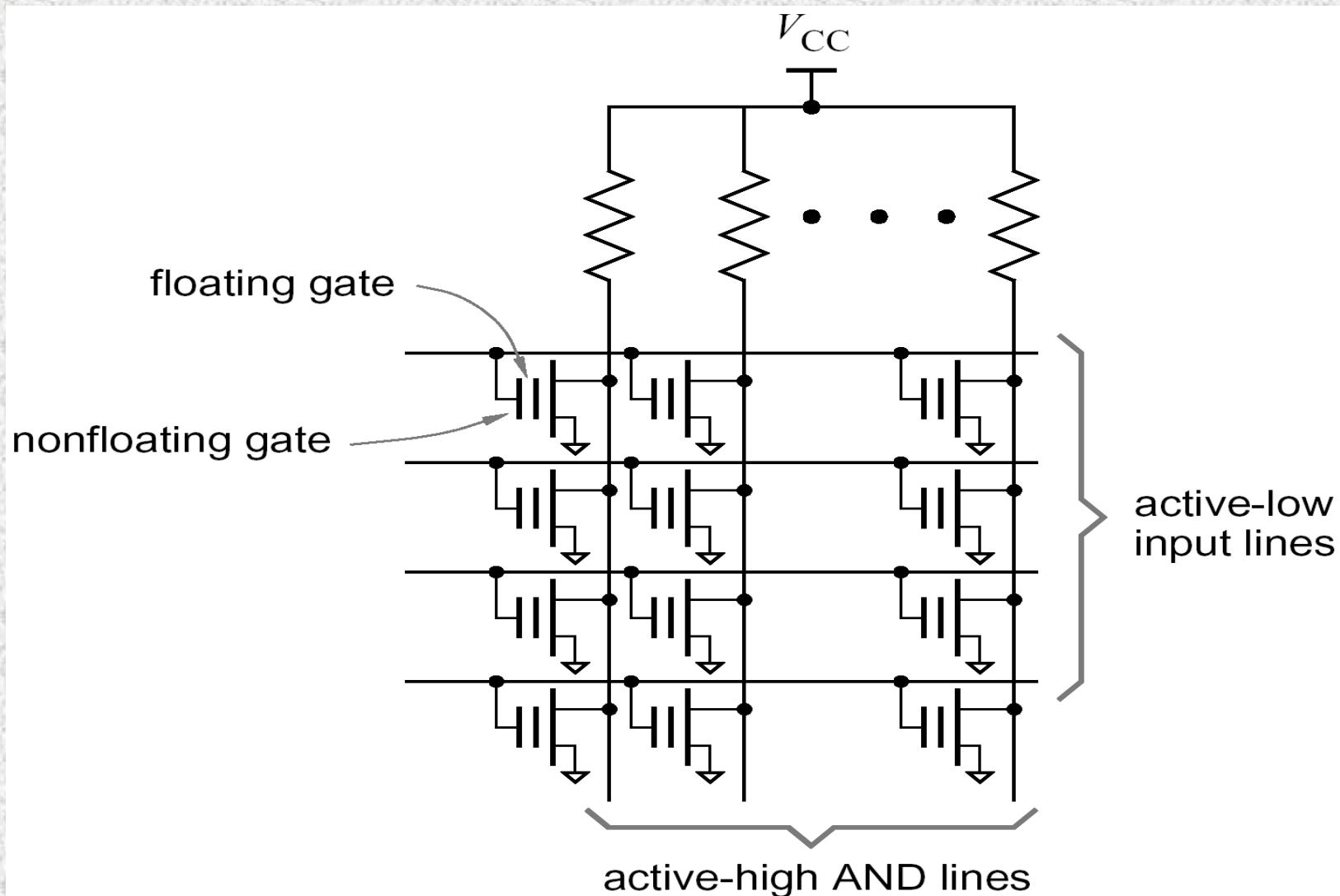
افزاره منطقی برنامه پذیر سیماس (PLD CMOS)

- مصرف کمتر
- قابلیت برنامه ریزی مجدد
- ورودی Low ترانزیستور Off
- ورودی High ترانزیستور On
- هر ترانزیستور مانند یک Not عمل می کند
- ساختار طبقه اول مشابه یک دروازه NORی CMOS با k ورودی
- وجود مکمل ورودی ها = حذف تاثیر Not وروی
- صفحه AND واقعا بصورت AND عمل می کند
- طبقه دوم بصورت NOR که در نهایت معکوس می شود (OR)
- بصورت دو طبقه AND-OR عمل
- در تکنولوژی CMOS فیوز ها همان گیت های شناور اند

ساختار PLA سیماس



تکنولوژی گیت شناور



تکنولوژی گیت شناور

- هر ترانزیستور دارای دو گیت (شناور و غیر شناور)
- در حالت عادی گیت شناور بی تاثیر
- اعمال ولتاژ بالا به گیت غیر شناور
- یک شارژ منفی در گیت شناور ایجاد شده
- از روشن شدن ترانزیستور جلوگیری می کند
- این شارژ مدت زمان طولانی باقی می ماند
- در معرض نور ماورای بنفش تخلیه می شود