

به نام خدا



درس : آزمایشگاه طراحی سیستم های دیجیتال

استاد : دکتر انصاری

آزمایش دوم

گروه ۲:

سیدعماد امام جمعه ۴۰۰۱۰۸۷۷۴

آرش ضیایی رازبان ۴۰۰۱۰۵۱۰۹

محمدعرفان سلیمان ۴۰۰۱۰۵۰۱۴

تیر ۱۴۰۲

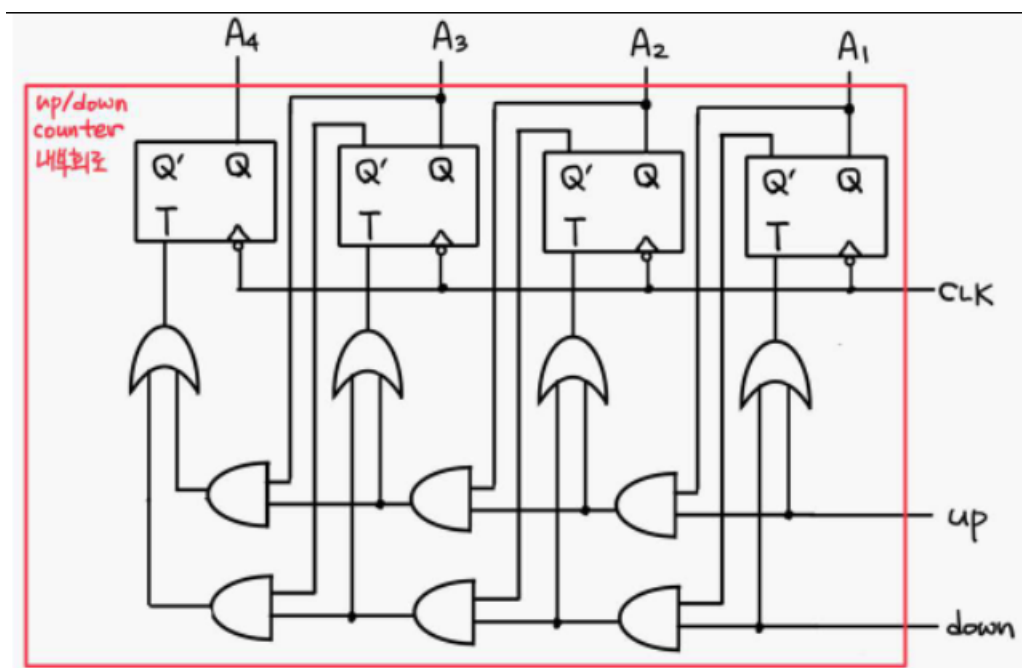
مقدمه و هدف :

در این آزمایش قصد داریم یک مدار ترتیبی پیاده سازی کنیم که درواقع یک شمارنده است و تعداد افراد حاضر در یک اتاق را نشان میدهد.

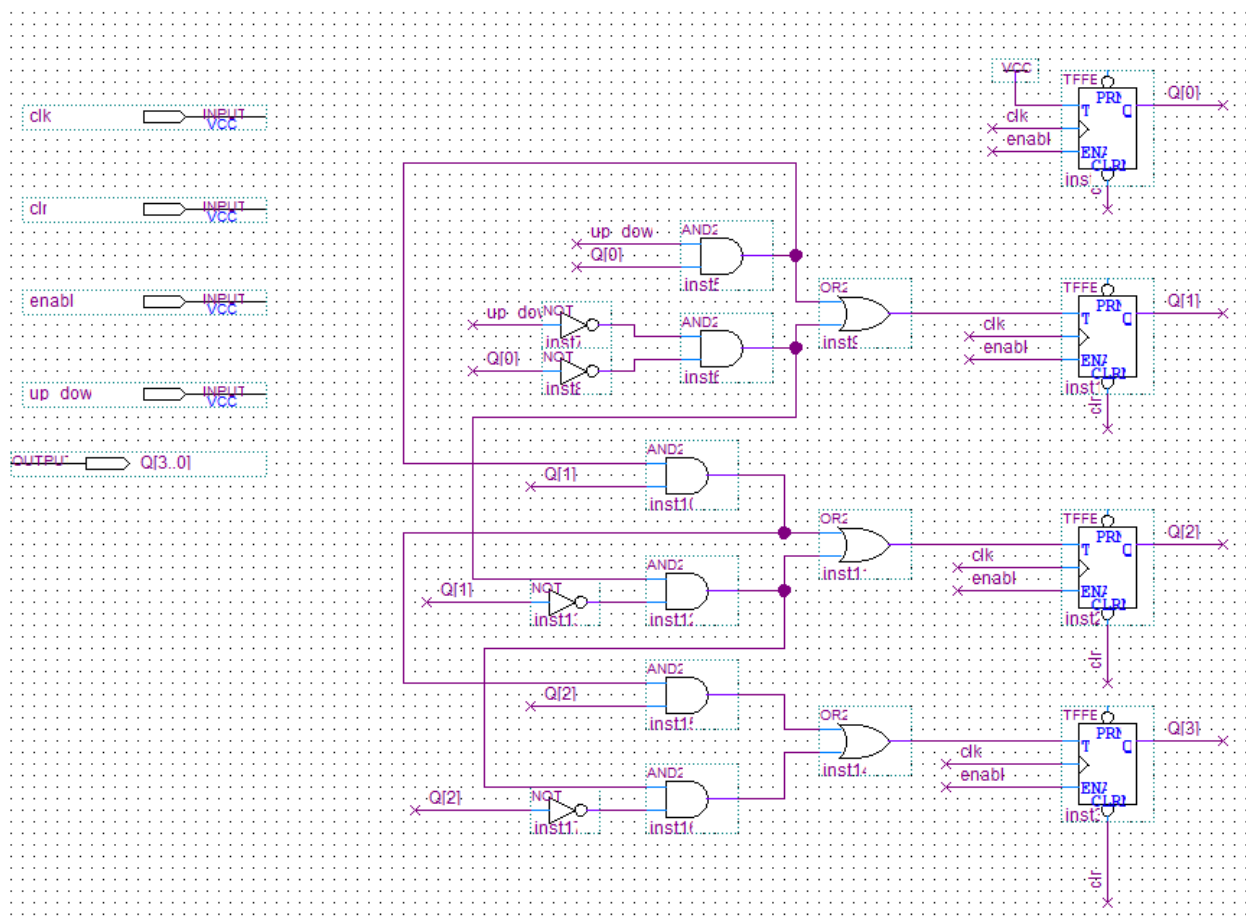
طراحی شمارنده :

یک شمارنده ۴ بیتی با تعدادی TFF میسازیم که طبق جدول دستور کار به clr و enable نیز نیاز داریم. از TFF هایی استفاده میکنیم که این قابلیت ها را داشته باشند.

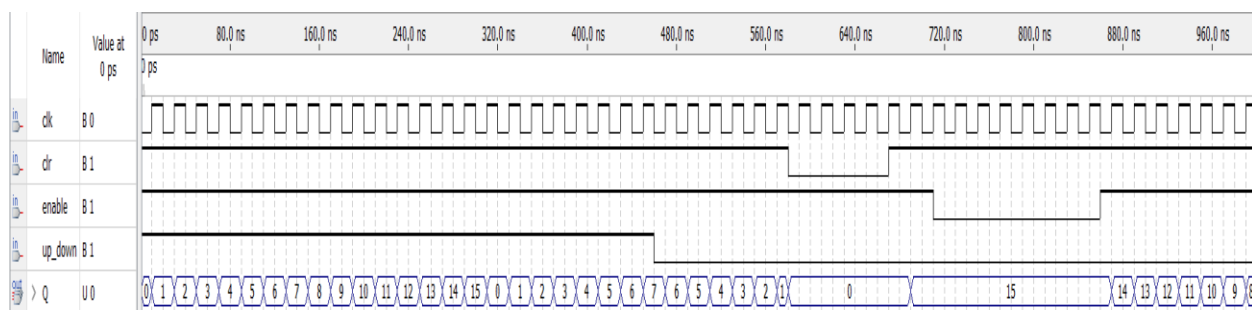
شمارنده به صورت زیر است با این تفاوت که بیت کنترلی down نداریم و از نات بیت کنترلی up استفاده میکنیم.



حال مدار پیاده سازی شده را مشاهده میکنید:



همانطور که میبینید هر TFF دارای دو ورودی ENA و CLRN میباشد که اگر clr برابر ۰ شود، هر TFF به صورت آسنکرون reset میشود و شمارش از اول شروع میشود. ورودی دیگر ENA است که هر گاه ۱ باشد در لبه بالا رونده کلاک load میکند.

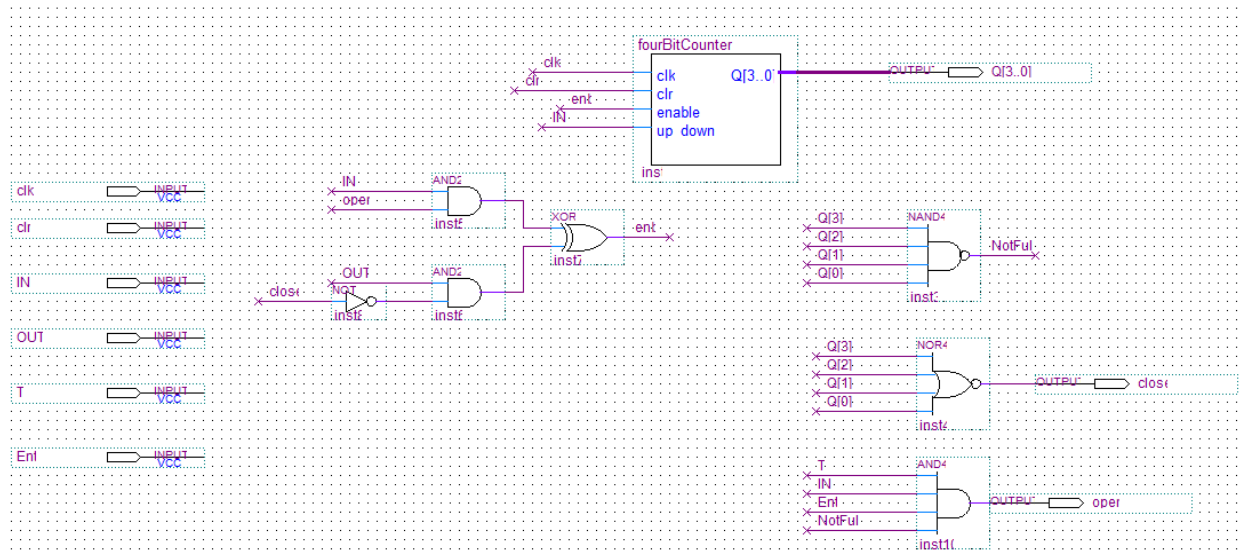


در این waveform کارکرد مدار بررسی شده است. از ابتدا تا ۰ تا ۴۸۰ نانوثانیه به صورت بالا شمار شمارش میکند سپس با ۰ شدن بیت کنترلی up_down تا ۵۸۰ نانوثانیه پایین شمار شمارش میکند. در این زمان تاثیر clr را مشاهده میکنید که تمامی TFF ها به صورت آسنکرون reset

میشوند. در نهایت تاثیر enable را میبینید که هنگامی که ۰ است شمارشی صورت نمیگیرد و TFF ها مقدار قبلی را نگه میدارند.

مدار نهایی :

ابتدا سیگنال های مدار را بررسی میکنیم:



سیگنال clk : همان کلاک مدار ترتیبی است.

سیگنال clr : به صورت آسنکرون مدار را ریست میکند

سیگنال IN : نشان دهنده فرایند ورود یک شخص به اتاق است.

سیگنال OUT : نشان دهنده فرایند خروج یک شخص است.

سیگنال T : زمان مجاز ورود به اتاق را مشخص میکند.

سیگنال Ent : هرگاه شخصی بخواهد وارد اتاق شود، آن دکمه را میزند.

سیگنال open : زمانی برابر با ۱ و در باز میشود که T ، IN ، Ent و NotFull برابر ۱ باشند.

سیگنال close : همواره در خروج باز است به جز زمانی که هیچکسی در اتاق نباشد.

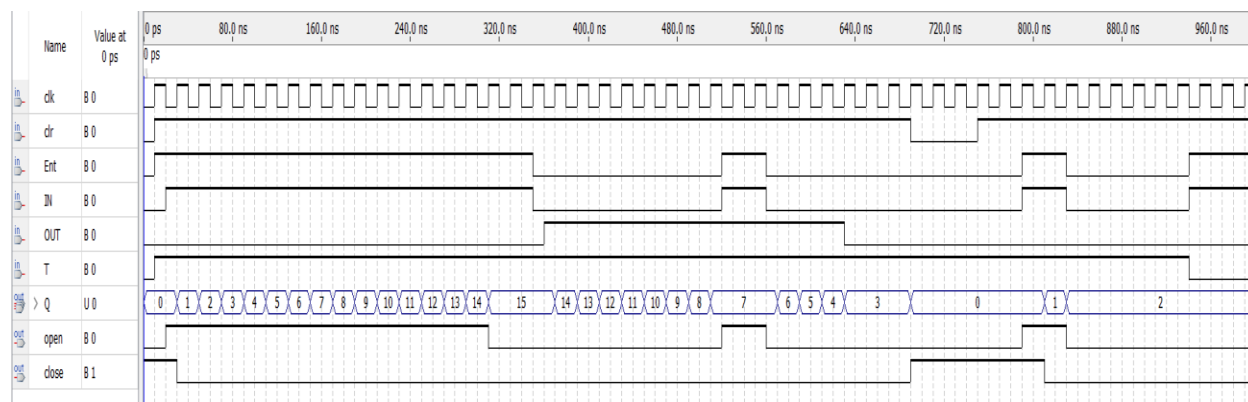
خروجی counter : تعداد افراد درون اتاق را نشان میدهد.

منطق مدار را توضیح می‌دهیم :

اند open و نات OUT بیت کنترلی برای پایین شمار یا بالا شمار بودن است. زمانی خروجی شمارنده تغییر میکند که enable برابر ۱ شود. یک حالت آن است که فردی وارد اتاق شود و در باز باشد و حالت دیگر آن است که در بسته نباشد و فردی از اتاق خارج شود. اگر همزمان این دو اتفاق بیفتند، خروجی مدار تغییری نخواهد کرد و به همین دلیل XOR میکنیم.

سیگنال NotFull از nand کردن بیت‌های خروجی شمارنده حاصل میشود و زمانی ۰ میشود که خروجی شمارنده ۱۵ باشد و در این صورت اتاق پر است.

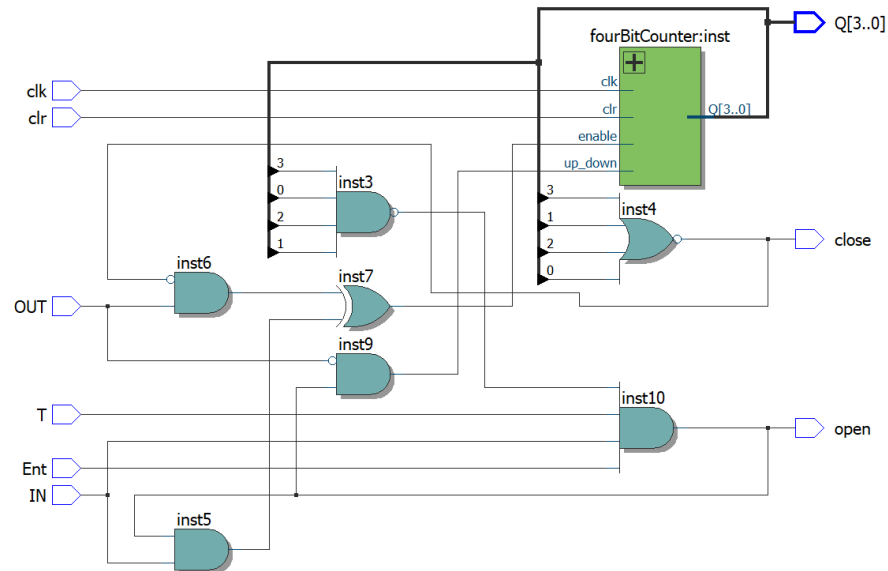
حال waveform زیر را برای تبیین کارکرد درست مدار مشاهده میکنید:

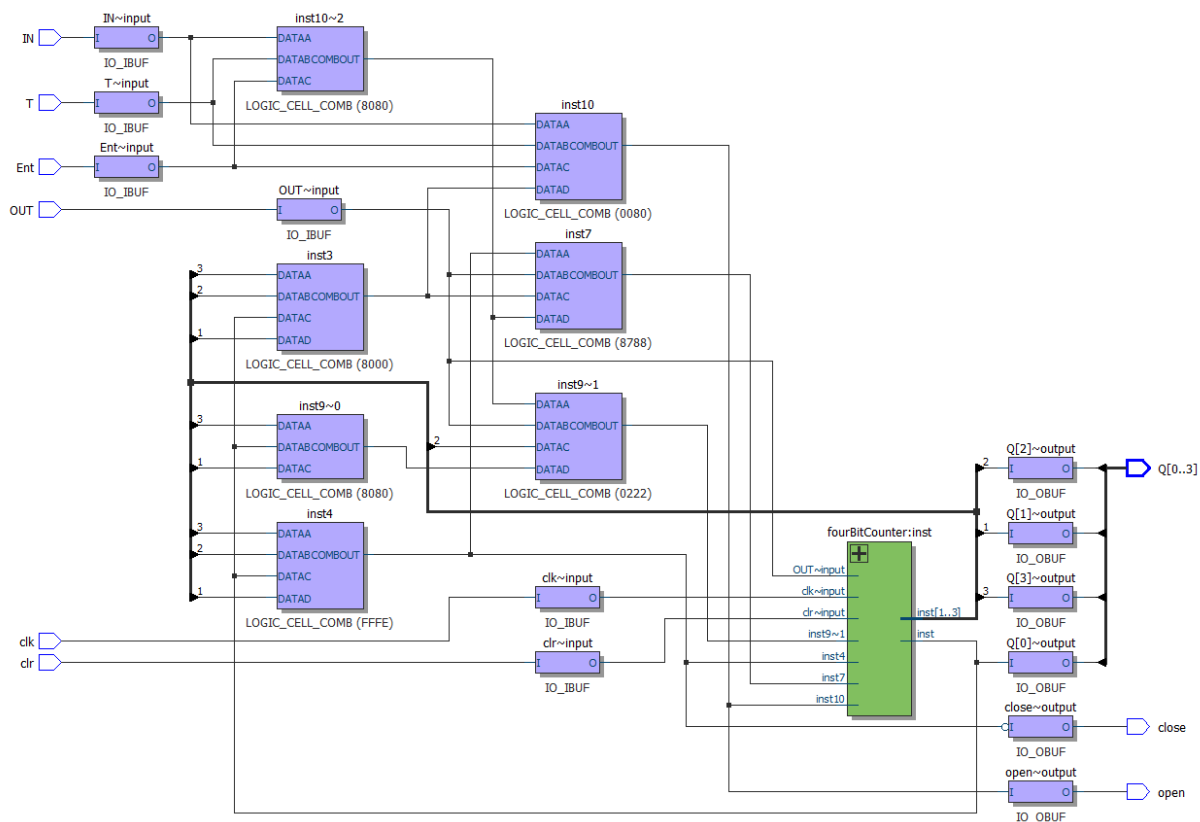


در ابتدا به دلیل آنکه کسی در اتاق نیست close برابر ۱ است و به محض ورود اولین نفر ۰ میشود. سپس ۱۵ نفر وارد اتاق میشوند و پس از ورود نفر ۱۵ سیگنال open برابر ۰ میشود. سپس خروج افراد بررسی میشود که میبینید تا ۵۱۰ نانوثانیه فقط خروج داریم و بعد از هر کلاک یک نفر کم میشود و از ۵۱۰ نانوثانیه تا ۵۶۰ نانوثانیه هم خروج داریم هم ورود پس نباید خروجی شمارنده تغییر کند که همینطور است. پس از این مرحله، سیگنال clr تست میشود که وقتی برابر ۰ میشود شمارنده ریست میشود و سپس چند نفر اضافه میشوند. در نهایت سیگنال T تست میشود که میبینید وقتی برابر ۰ میشود، کسی نمیتواند وارد اتاق شود و تعداد افراد ثابت میماند.

خروجی های دیگر نیز در ادامه آمده اند :

Flow Summary	
Flow Status	Successful - Sun Jul 09 02:22:03 2023
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Web Edition
Revision Name	Az2
Top-level Entity Name	WaitingRoom
Family	Cyclone IV GX
Total logic elements	13 / 14,400 (< 1 %)
Total combinational functions	13 / 14,400 (< 1 %)
Dedicated logic registers	4 / 14,400 (< 1 %)
Total registers	4
Total pins	12 / 81 (15 %)
Total virtual pins	0
Total memory bits	0 / 552,960 (0 %)
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 (0 %)
Total GXB Receiver Channel PMA	0 / 2 (0 %)
Total GXB Transmitter Channel PCS	0 / 2 (0 %)
Total GXB Transmitter Channel PMA	0 / 2 (0 %)
Total PLLs	0 / 3 (0 %)
Device	EP4CGX15BF14C6
Timing Models	Final





با توجه به waveform هر کلاک ۲۰ نانوثانیه زمان میبرد، پس فرکانس کاری مدار برابر ۵۰ مگاهرتز خواهد بود.