

**به نام خدا**



درس : آزمایشگاه طراحی سیستم های دیجیتال

استاد : دکتر انصاری

## **آزمایش اول**

**گروه ۲ :**

سیدعماد امام جمعه ۴۰۰۱۰۸۷۷۴

آرش ضیایی رازبان ۴۰۰۱۰۵۱۰۹

محمدعرفان سلیمان ۴۰۰۱۰۵۰۱۴

تیر ۱۴۰۲

## مقدمه و هدف :

این آزمایش دارای ۲ بخش است که در بخش اول مدارای طراحی میکنیم که چک میکند یک عدد ۴ رقمی بر ۳ بخش پذیر است یا خیر.

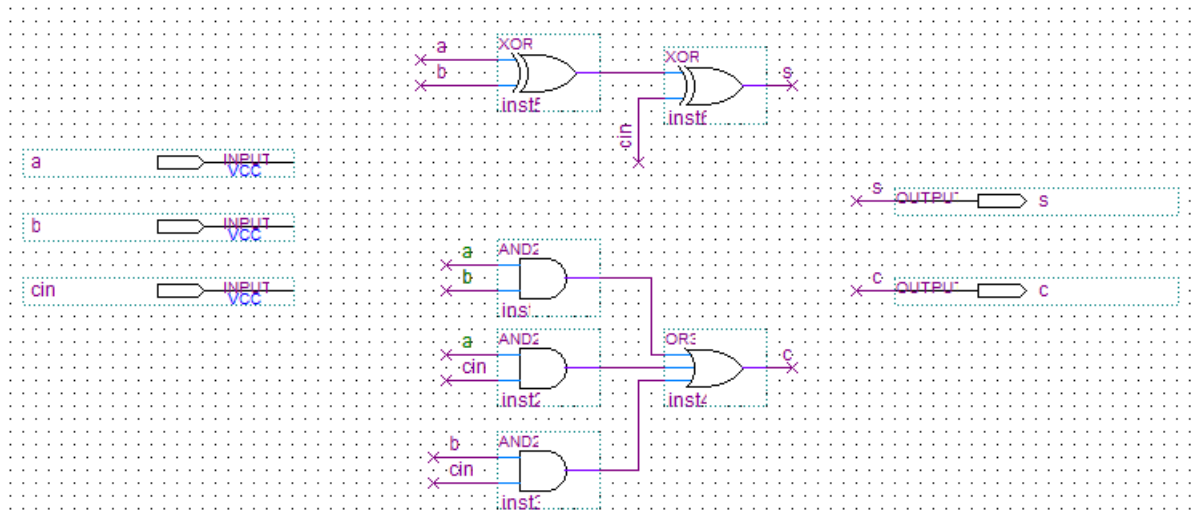
بخش دوم مداری طراحی میکنیم که چک میکند یک عدد ۴ رقمی بر ۱۱ بخش پذیر است یا خیر.

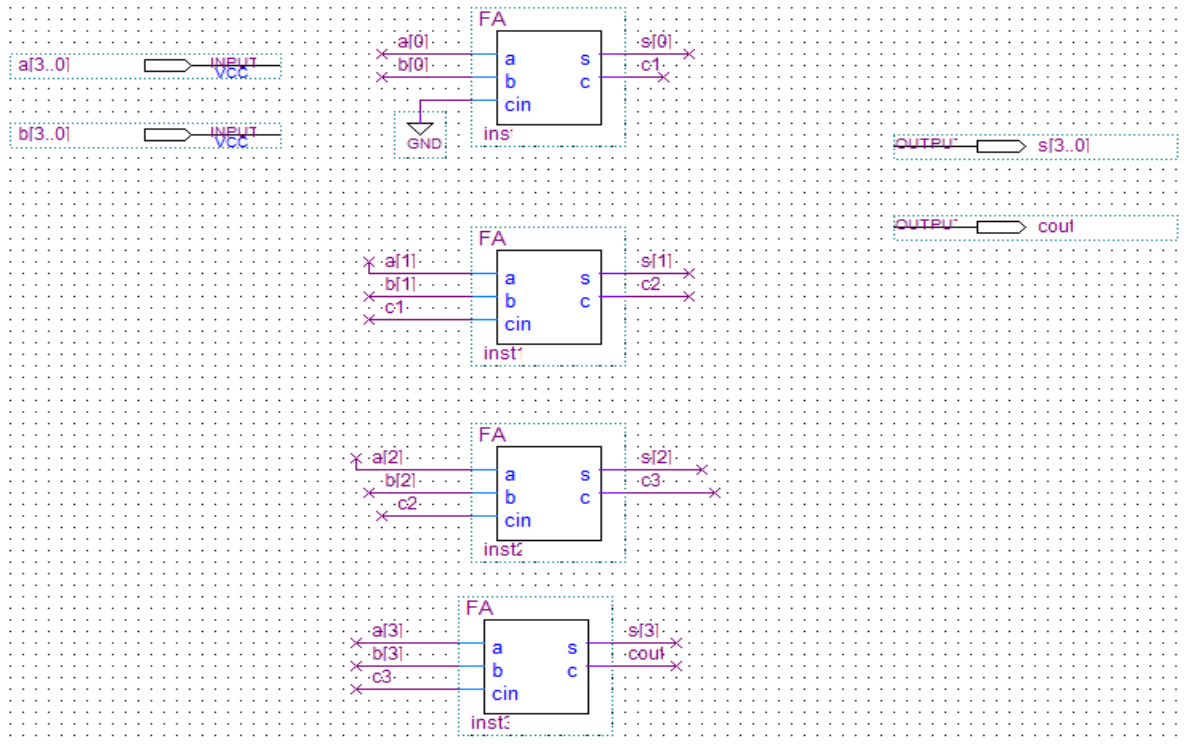
## بخش اول :

ابتدا کارکرد کلی مدار را توضیح داده و سپس تک تک ماژول ها را بررسی میکنیم:

باقیمانده هریک از ارقام را به ۳ پیدا کرده و سپس این باقیمانده ها را باهم جمع میکنیم و خروجی مدار برابر است با باقیمانده این حاصل جمع به ۳.

اول full adder را میسازیم و به وسیله ماژول های full adder یک جمع کننده ۴ بیتی ripple carry درست میکنیم.





حال مداری طراحی میکنیم که باقیمانده یک عدد BCD را بر ۳ به دست می آورد و یک عدد ۴ بیتی را به عنوان خروجی میدهد. (باید ذکر شود که باقیمانده بر ۳ ماکسیمم برابر ۲ میشود و با ۲ بیت میتوان آن را نمایش داد اما از آنجا که از جمع کننده های ۴ بیتی استفاده میکنیم، خروجی مدار را ۴ بیتی قرار میدهیم که بیت سوم و چهارم را برابر ۰ میگذاریم).

جداول کارنو مربوط به این مدار را در صفحه بعد مشاهده میکنید:

$b_3$	$b_2$	$b_1$	$b_0$	$x_1$	$x_0$
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	0	0

$b_3 b_2$ \ $b_1 b_0$	00	01	11	10
00	0	0	X	1
01	0	1	X	0
11	0	0	X	X
10	1	0	X	X

$b_3 \bar{b}_1 \bar{b}_0$  (points to cell 11, 10)  
 $\bar{b}_2 b_1 \bar{b}_0$  (points to cell 01, 11)  
 $\bar{b}_2 b_1 \bar{b}_0$  (points to cell 10, 00)

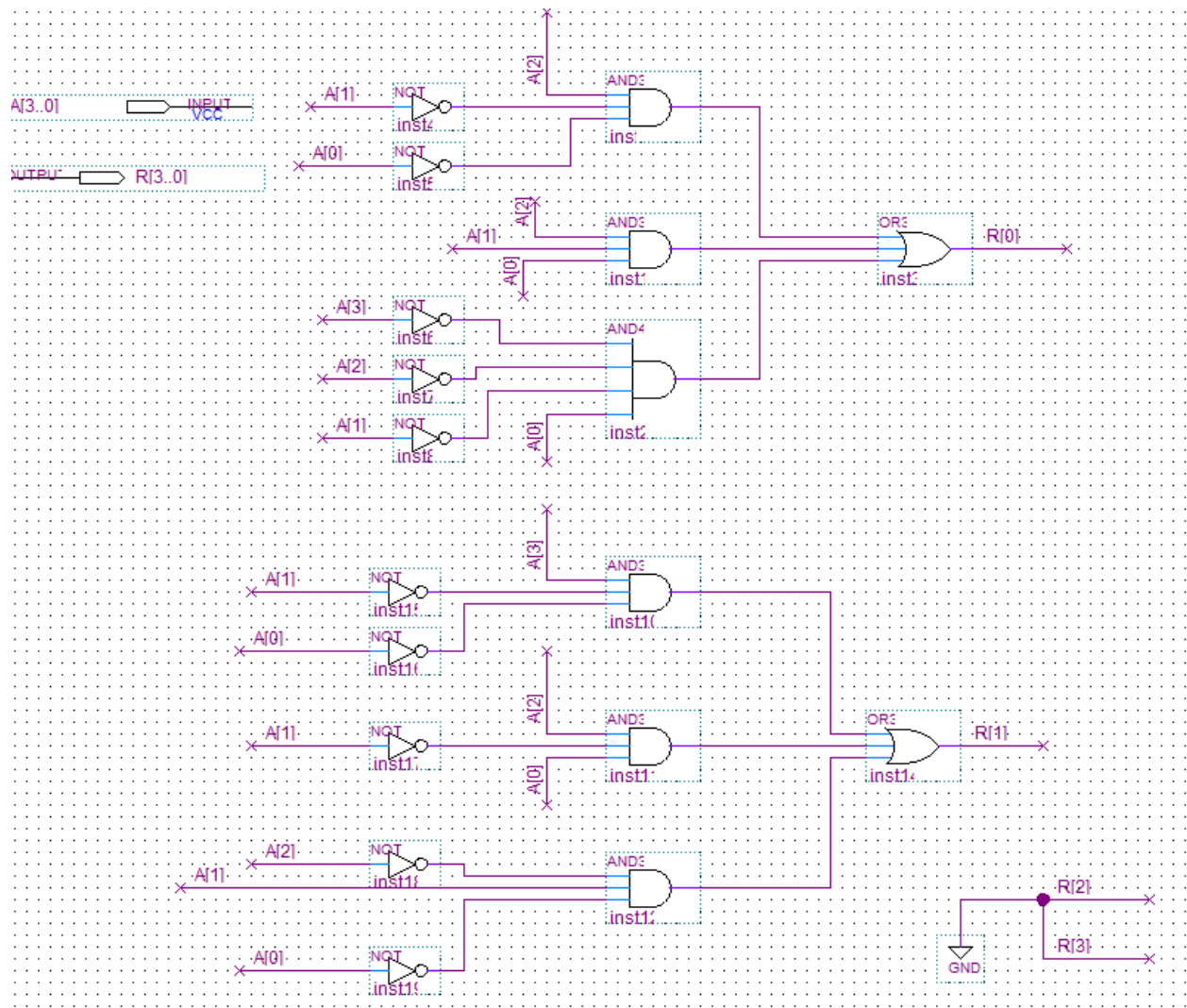
$$x_1 = b_3 \bar{b}_1 \bar{b}_0 + b_2 \bar{b}_1 b_0 + \bar{b}_2 b_1 \bar{b}_0$$

$b_3 b_2$ \ $b_1 b_0$	00	01	11	10
00	0	1	X	0
01	1	0	X	0
11	0	1	X	X
10	0	0	X	X

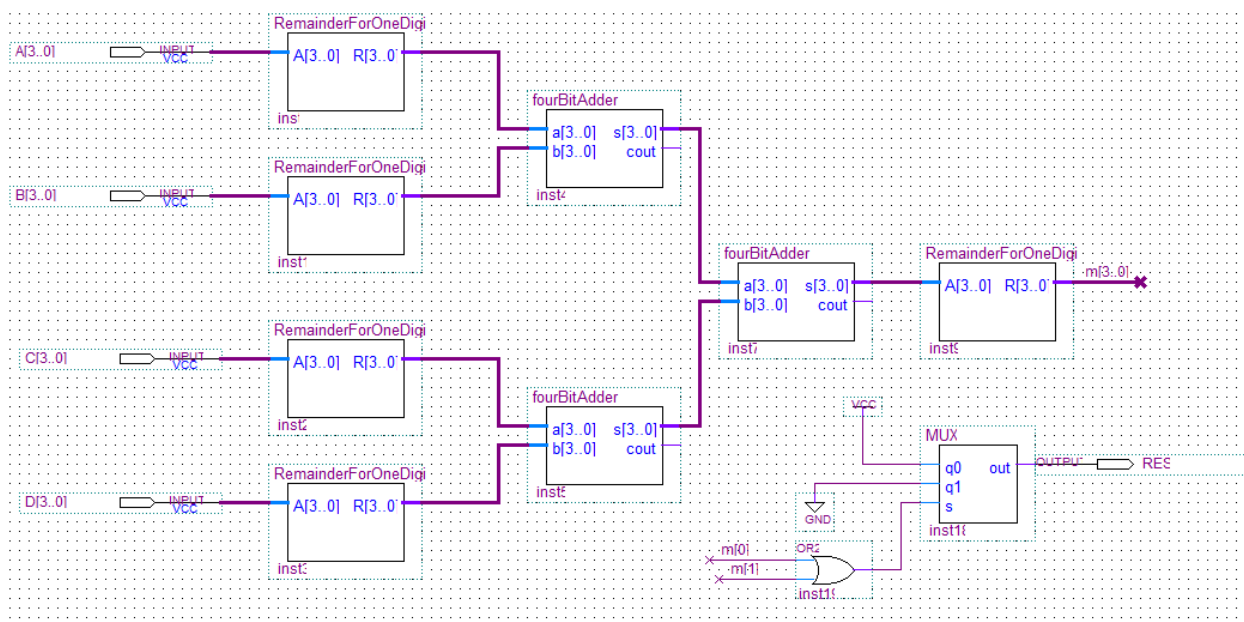
$b_2 \bar{b}_1 \bar{b}_0$  (points to cell 01, 11)  
 $\bar{b}_3 \bar{b}_2 \bar{b}_1 b_0$  (points to cell 01, 00)  
 $b_3 b_1 b_0$  (points to cell 11, 01)

$$x_0 = \bar{b}_3 \bar{b}_2 \bar{b}_1 b_0 + b_2 b_1 b_0 + b_2 \bar{b}_1 \bar{b}_0$$

حال با استفاده از این جداول کارنو مدار را درست میکنیم:



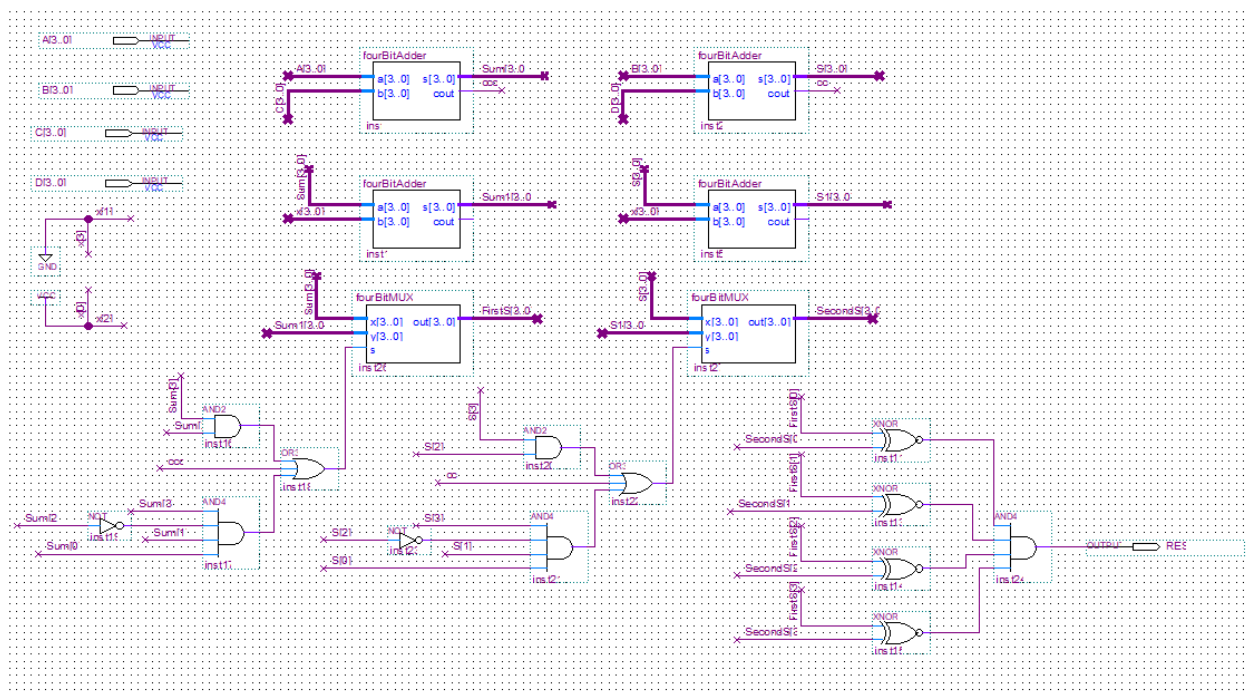
حال با استفاده از این مازول ها، مدار نهایی را به دست می آوریم:



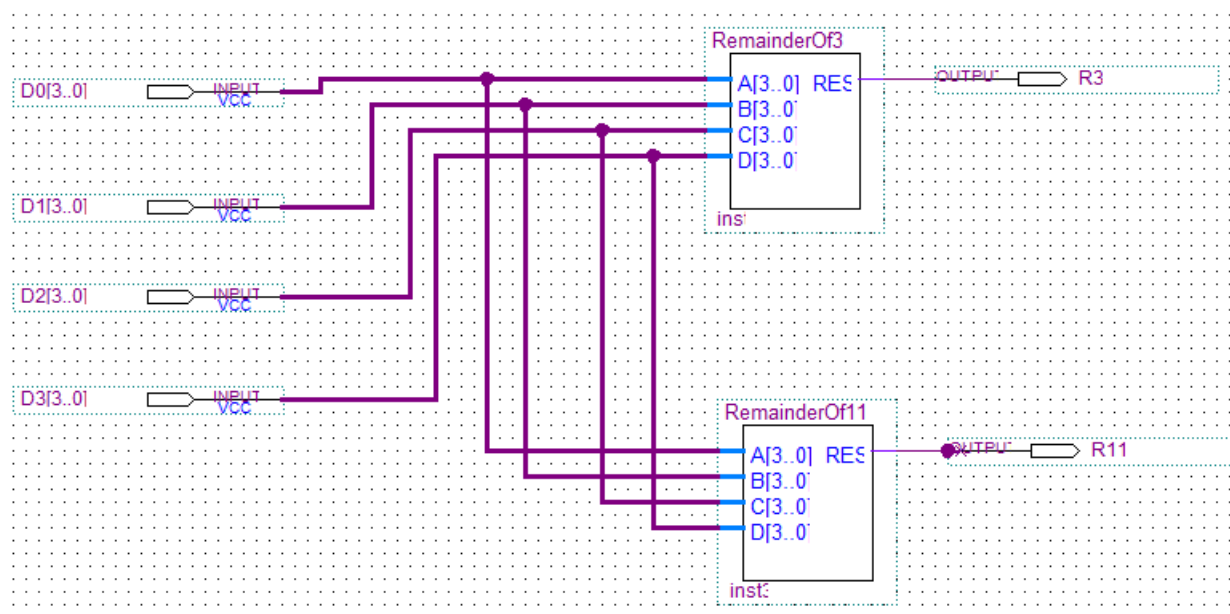
تنها جایی که نیاز به توضیح دارد، قسمت خروجی آن است که با استفاده از یک مالتی پلکسر به جواب میرسیم. بیت سلکت مالتی پلکسر برابر است با  $0r$  دو بیت سمت راست باقیمانده. اگر  $\bullet$  شود یعنی عدد بر  $3$  بخش پذیر است و خروجی برابر  $1$  میشود در غیر این صورت خروجی  $\bullet$  میشود.

## بخش دوم :

برای تعیین بخش پذیری بر ۱۱ بدین صورت عمل میکنیم که رقم اول و سوم را باهم و رقم دوم و چهارم را باهم جمع کرده و باقیمانده آن بر ۱۱ را حساب میکنیم. ( اگر حاصل جمع دو رقم از ۱۱ بیشتر بود، باید منهای ۱۱ ( به اضافه ۵) بکنیم تا باقیمانده آن جمع بر ۱۱ معلوم شود). در نهایت اگر دو عددی که به دست آورده ایم باهم برابر باشند، عدد بر ۱۱ بخش پذیر و خروجی ۱ میشود در غیر اینصورت ۰ میشود.



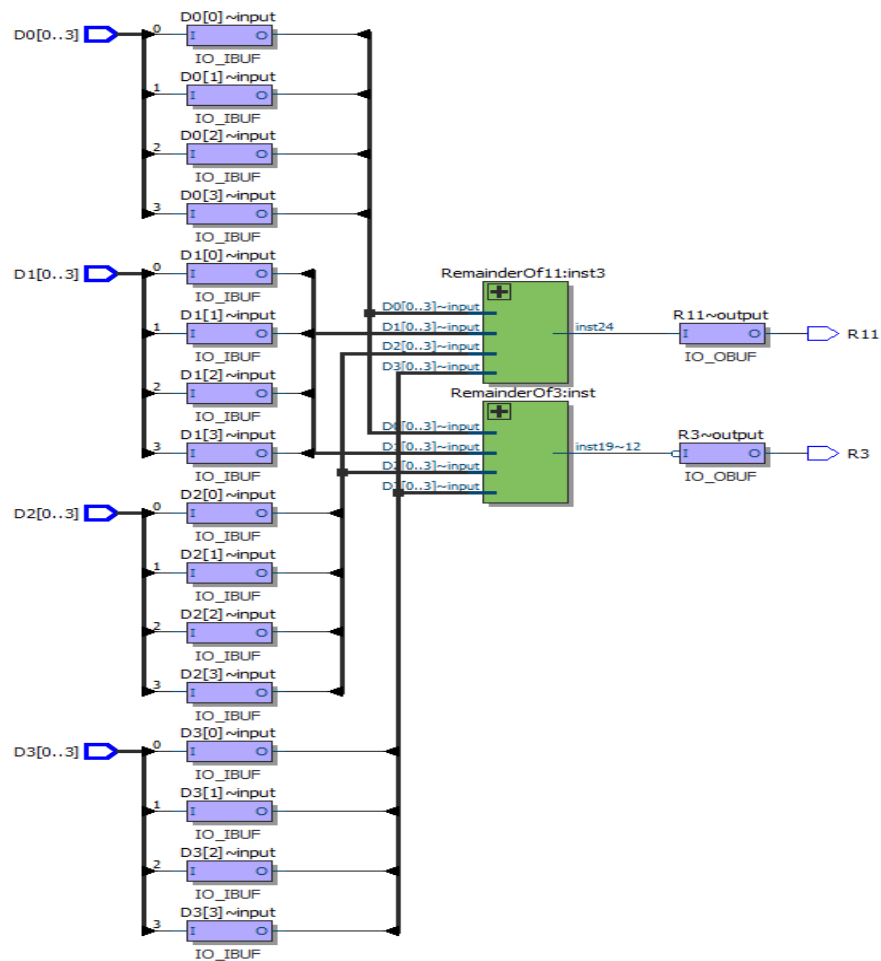
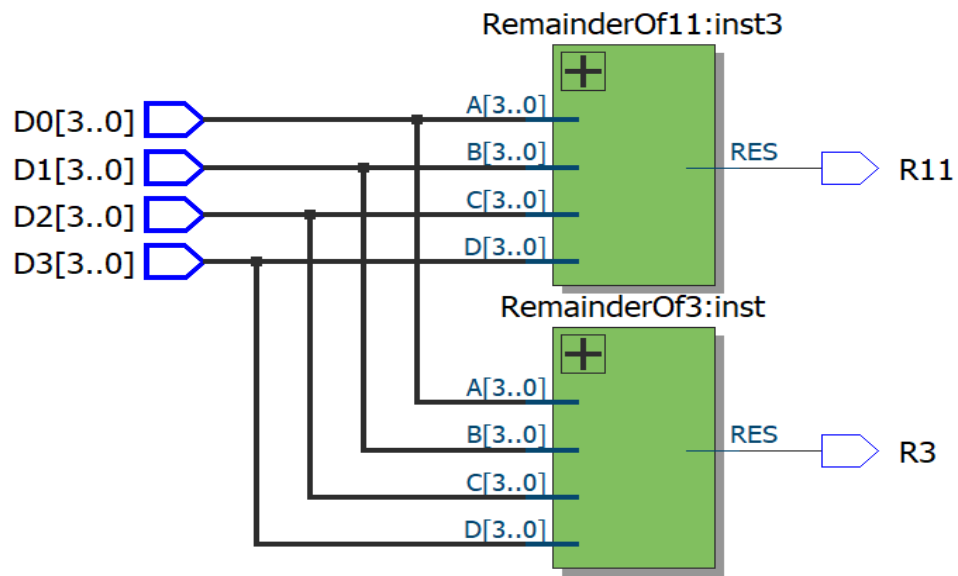
حال نتیجه هریک از ۲ بخش قبل را در یک ماژول قرار میدهم و مدار نهایی بدین شکل است.



در نهایت به ترتیب خروجی Flow Summary ، خروجی RTL viewer ، خروجی Technology map viewer و نتایج شبیه سازی (waveform) را مشاهده میکنید.

Flow Summary	
Flow Status	Successful - Thu Jul 06 03:10:40 2023
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Web Edition
Revision Name	Az1
Top-level Entity Name	Az1
Family	Cyclone IV GX
Total logic elements	43 / 14,400 ( < 1 % )
Total combinational functions	43 / 14,400 ( < 1 % )
Dedicated logic registers	0 / 14,400 ( 0 % )
Total registers	0
Total pins	18 / 81 ( 22 % )
Total virtual pins	0
Total memory bits	0 / 552,960 ( 0 % )
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 ( 0 % )
Total GXB Receiver Channel PMA	0 / 2 ( 0 % )
Total GXB Transmitter Channel PCS	0 / 2 ( 0 % )
Total GXB Transmitter Channel PMA	0 / 2 ( 0 % )
Total PLLs	0 / 3 ( 0 % )
Device	EP4CGX15BF14C6
Timing Models	Final





9