به نام خدا



درس : آزمایشگاه طراحی سیستم های دیجیتال

استاد : دکتر انصاری

**آزمایش اول**

**گروه ۲ :**

سیدعماد امام جمعه ۴۰۰۱۰۸۷۷۴

آرش ضیایی رازبان ۴۰۰۱۰۵۱۰۹

محمدعرفان سلیما ۴۰۰۱۰۵۰۱۴

تیر ۱۴۰۲

**مقدمه و هدف :**

این آزمایش دارای ۲ بخش است که در بخش اول مداری طراحی میکنیم که چک میکند یک عدد ۴ رقمی بر ۳ بخش پذیر است یا خیر.

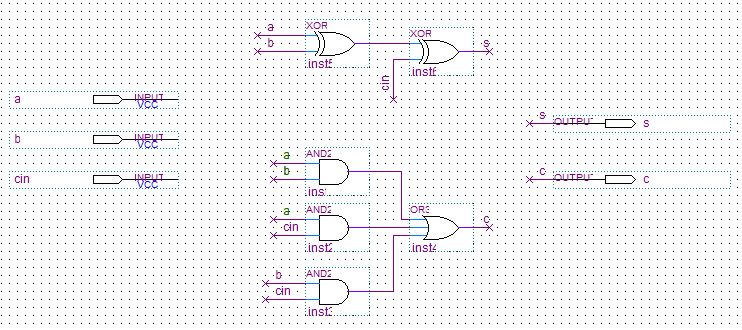
بخش دوم مداری طراحی میکنیم که چک میکند یک عدد ۴ رقمی بر ۱۱ بخش پذیر است یا خیر.

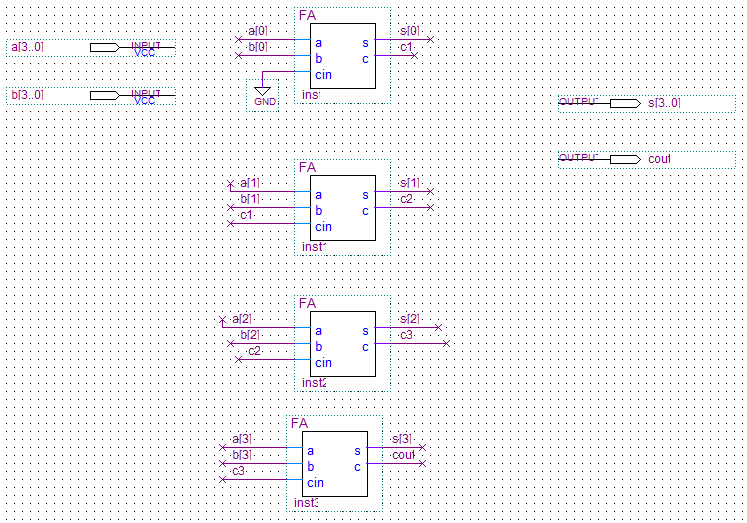
**بخش اول :**

ابتدا کارکرد کلی مدار را توضیح داده و سپس تک تک ماژول ها را بررسی میکنیم:

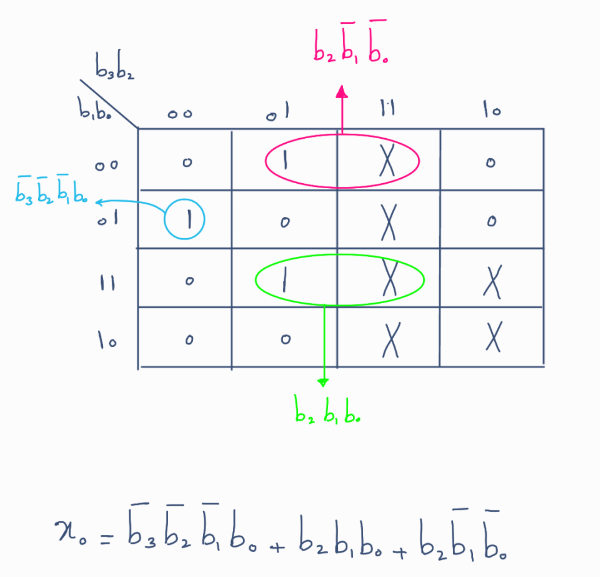
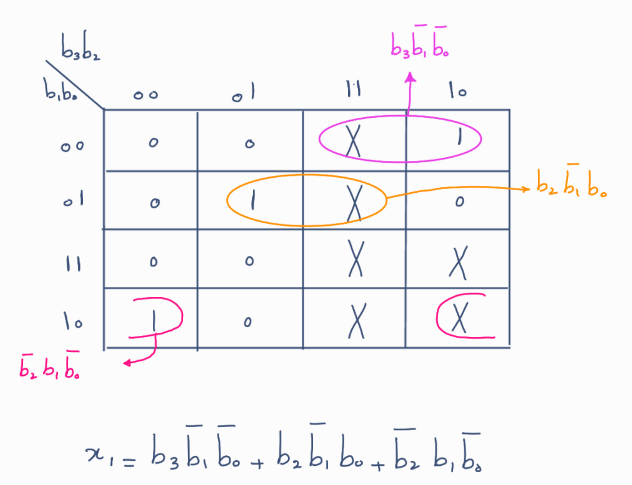
باقیمانده هریک از ارقام را به ۳ پیدا کرده و سپس این باقیمانده ها را باهم جمع میکنیم و خروجی مدار برابر است با باقیمانده این حاصل جمع به ۳.

اول full adder را میسازیم و به وسیله ماژول های full adder یک جمع کننده ۴ بیتی ripple carry درست میکنیم.

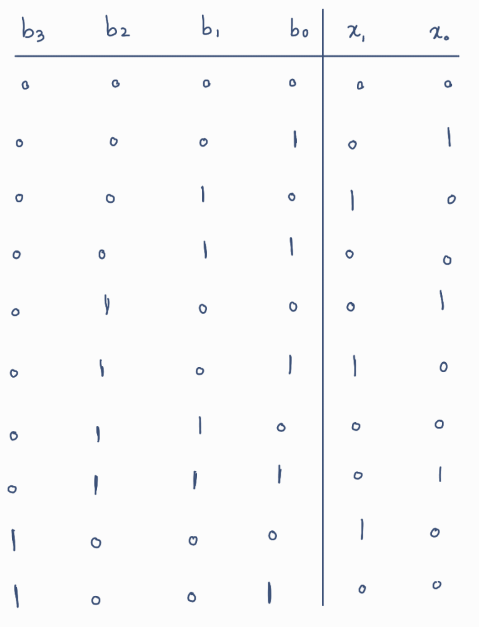


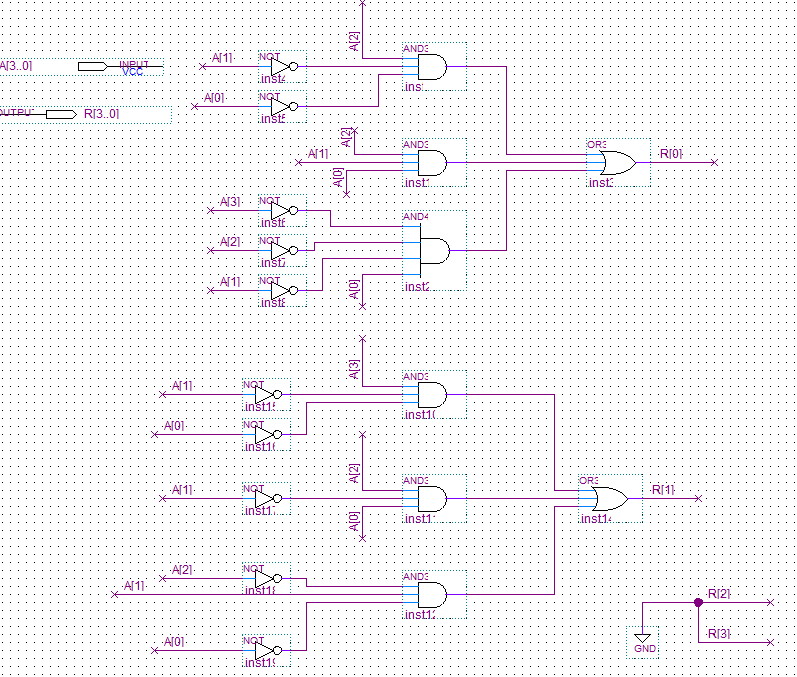
حال مداری طراحی میکنیم که باقیمانده یک عدد BCD را بر ۳ به دست می آورد و یک عدد ۴ بیتی را به عنوان خروجی میدهد. (باید ذکر شود که باقمیانده بر ۳ ماکسیمم برابر ۲ میشود و با ۲ بیت میتوان آن را نمایش داد اما از آنجا که از جمع کننده های ۴ بیتی استفاده میکنیم، خروجی مدار را ۴بیتی قرار میدهیم که بیت سوم و چهارم را برابر ۰ میگذاریم.)

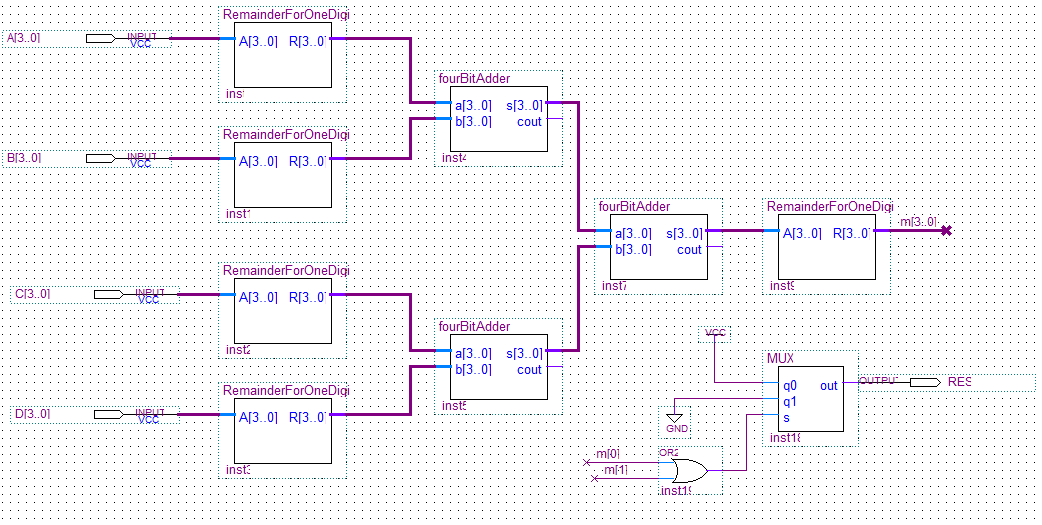
جداول کارنو مربوط به این مدار را در صفحه بعد مشاهده میکنید:

****

حال با استفاده از این جداول کارنو مدار را درست میکنیم:

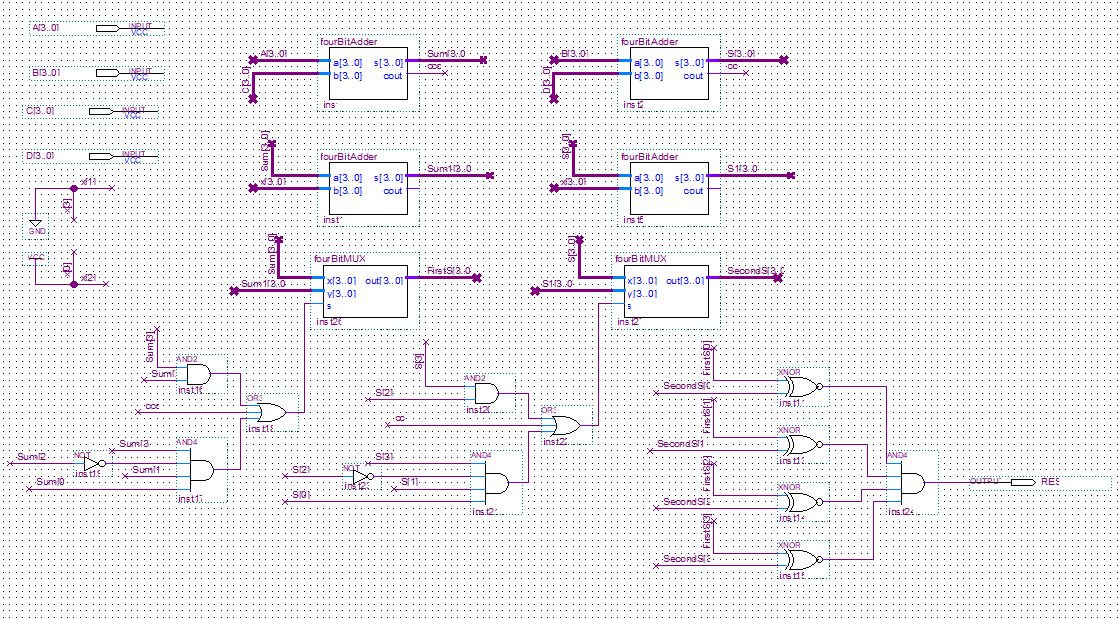


****

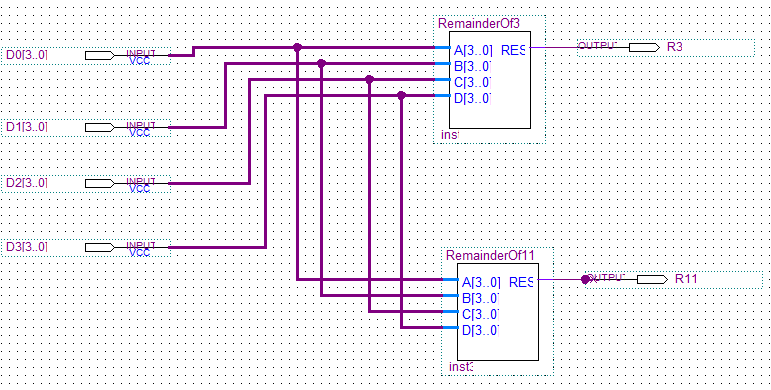
حال با استفاده از این ماژول ها، مدار نهایی را به دست می آوریم:

تنها جایی که نیاز به توضیح دارد، قسمت خروجی آن است که با استفاده از یک مالتی پلکسر به جواب میرسیم. بیت سلکت مالتی پلکسر برابر است با or دو بیت سمت راست باقیمانده. اگر ۰ شود یعنی عدد بر ۳ بخش پذیر است و خروجی برابر ۱ میشود درغیراینصورت خروجی ۰ میشود.

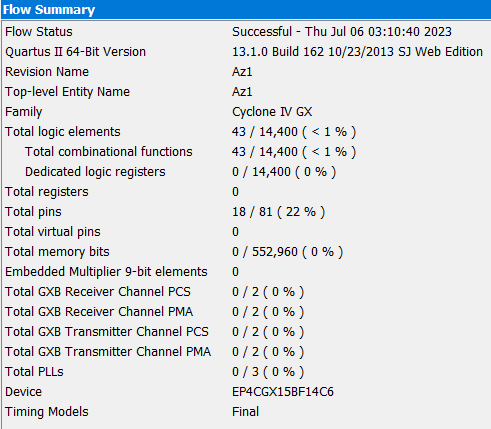
**بخش دوم :**

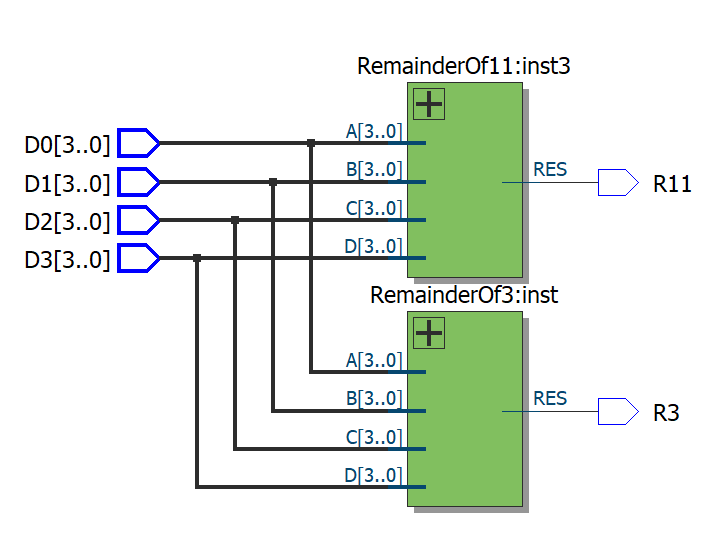
برای تعیین بخش پذیری بر ۱۱ بدین صورت عمل میکنیم که رقم اول و سوم را باهم و رقم دوم و چهارم را باهم جمع کرده و باقیمانده آن بر ۱۱ را حساب میکنیم. ( اگر حاصل جمع دو رقم از ۱۱ بیشتر بود، باید منهای ۱۱ ( به اضافه ۵) بکنیم تا باقیمانده آن جمع بر ۱۱ معلوم شود.) در نهایت اگر دو عددی که به دست آورده ایم باهم برابر باشند، عدد بر ۱۱بخش پذیر و خروجی ۱ میشود در غیر اینصورت ۰ میشود.

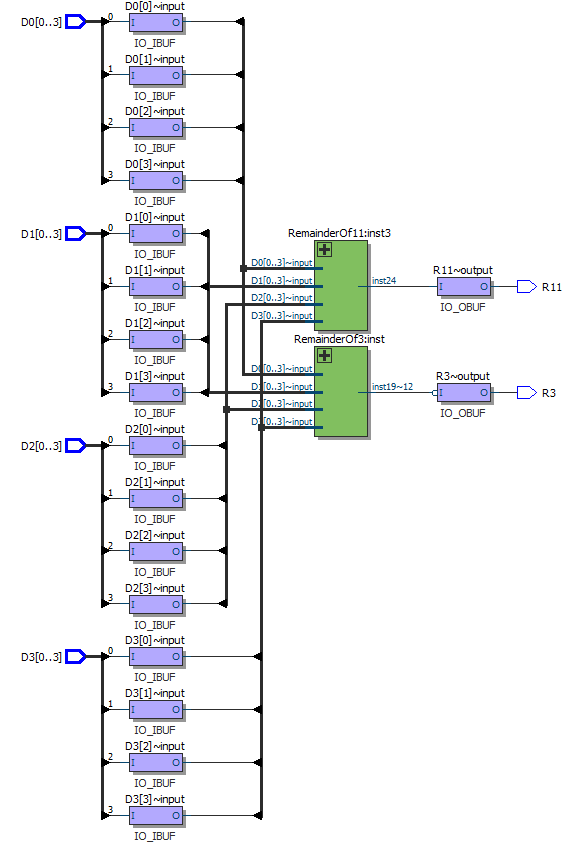
حال نتیجه هریک از ۲ بخش قبل را در یک ماژول قرار میدهیم و مدار نهایی بدین شکل است.

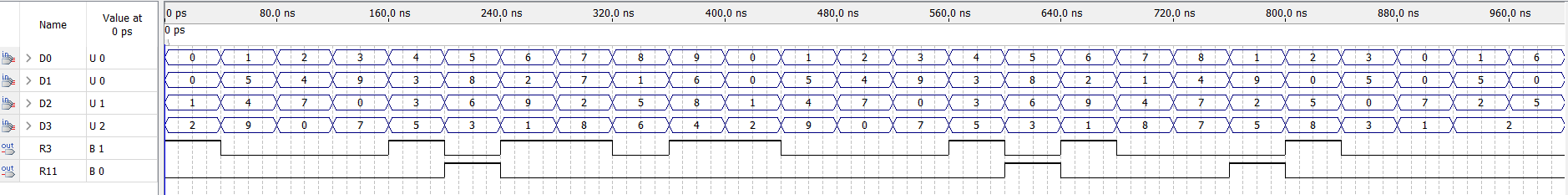


در نهایت به ترتیب خروجی Flow Summary ، خروجیRTL viewer، خروجی Technology map viewer و نتایج شبیه سازی (waveform) را مشاهده میکنید.



****

****

****