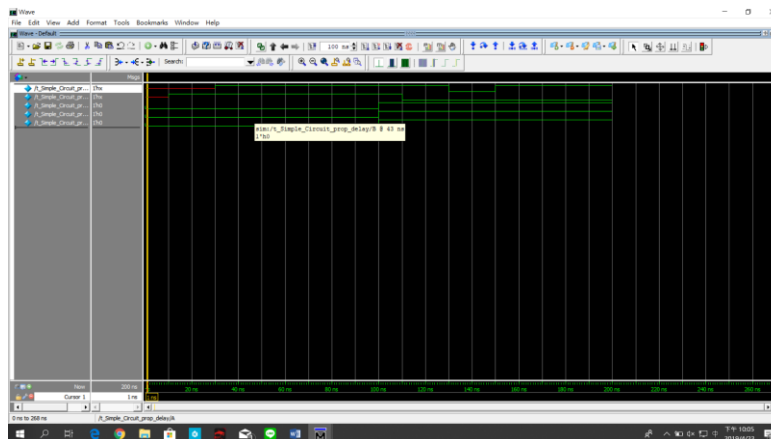
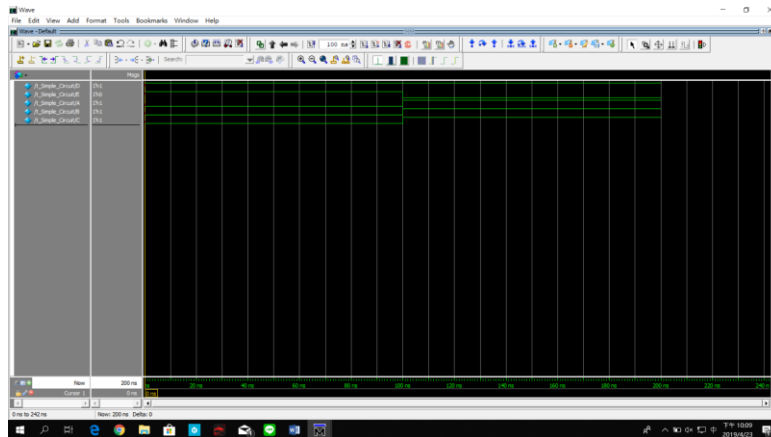
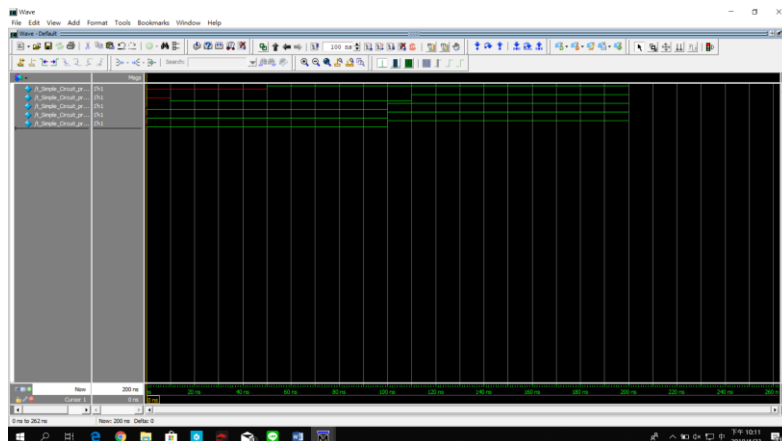


1.



第一張圖是 Simple_Circuit.v 之波形圖，第二張是 Simple_Circuit_prop_delay.v 的波形圖，兩者的差距在於第二張圖中的 and or not gate 都是有延遲的，所以 output 的波型圖也會較第一張圖延遲。

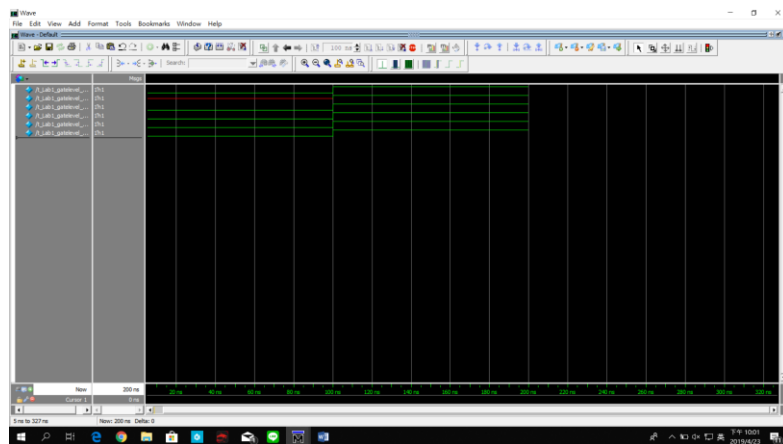
2.



更改過後，not 和 or 對調，變成 or 那行一定是對的，而 not 那行則是原來是

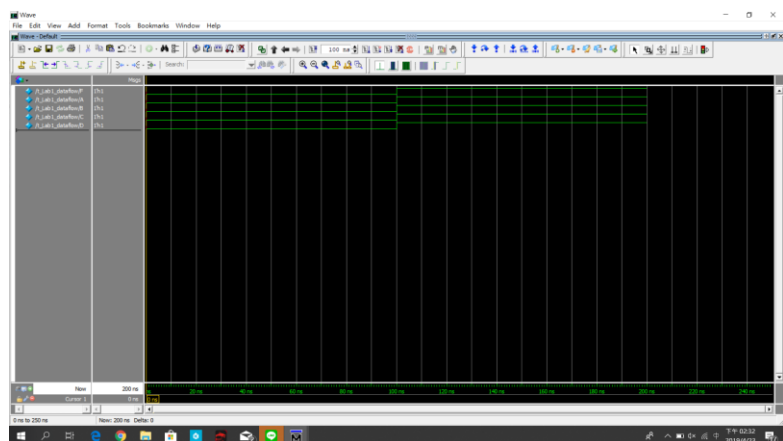
true 的質都變成 false 了。

3.



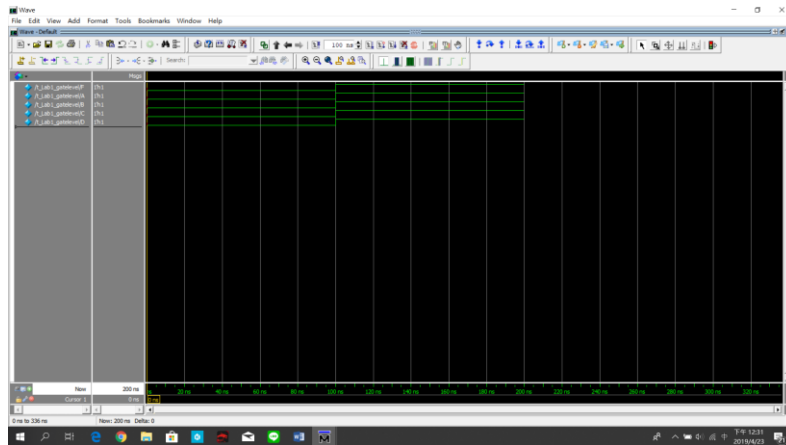
是正確的，在 100ns 前 input 的值都為 0，output 為 0，而在 100ns 所有 input 的值都變為 1，而 output 的值就變為 1 了。

4.



是正確的，只是用邏輯判斷式來寫而已，所以結果會與前者相同。

5.



是正確的，這次式改用一部分用真值表的方式來寫，而無庸置疑的，結果當然也與上述兩者相同。

7.

這次的 lab 使我了解了如何撰寫 verilog，也讓我對硬體的操控有了初步的了解，在上網或看書查詢資料的過程中也讓我對上課的內容有共鳴，進而讓我對撰寫 verilog 更加得心應手，剛開始寫時因為是沒碰過的程式預言，所以花了點時間摸索，在一些格式的使用上會出現一些小錯誤，我覺得主要的困難就是找出這些錯誤點並加以改正。